

DS3174DK

DS3/E3 单芯片收发器开发板

www.maxim-ic.com.cn

概述

DS3174DK是一款易用的DS3174开发板。表贴安装的DS3174以及精心布局的模拟信号路径提供了最佳的信号完整性,可用来验证DS3174的发送和接收特性。利用板载Dallas公司与8051兼容的微控制器和附带软件,通过计算机就可访问所有配置和状态寄存器。板上的通用LED可以方便地设置成针对四个端口的不同的告警状态。开发板线路侧的8对发送和接收差分信号采用了BNC接头,另外还有两个支持附加功能的FPGA。所有连接器和LED都通过清晰的丝印标示出与之相关的信号。

开发工具包括

DS3174DK 板 CD-ROM

> ChipView 软件 DS3174 说明文件 DS3174DK 数据资料 DS3174 数据资料

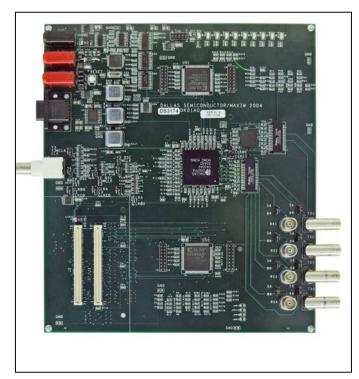
定购信息

PART	DESCRIPTION
DS3174DK	Demo Kit for the DS3174

特性

- 直接焊接的 DS3174 保证了最佳的信号完整性
- 为全部 4 个 LIU 提供 BNC 接头、变压器和端接无源器件
- 精心的模拟通路布线
- 板载 DS3、E3 和 STS-1 晶体振荡器
- DS3174 设置为全功能的 CPU 总线操作模式
- 可以通过板载 Dallas 控制器和相应软件设置访问 DS3174 寄存器组
- 通用 LED 可设置显示多种报警状态
- V_{DD} 和 GND采用香蕉插头,支持实验电源
- 独立的DS3174 V_{DD},便于测量I_{DD}
- 易读的丝印符号标示出与所有接头、跳线和 LED 相关的信号

DS3174 开发板



1 of 23 REV: 060106

元件列表

DESIGNATION QTY		DESCRIPTION	MANUFACTURER	PART	
C1, C2, C12, C13, C14, C18, C19, C44, C54, C57, C65, C69, C70, C74, C75	15	10μF ±20%, 10V ceramic capacitors (1206)	Panasonic	ECJ-3YB1A106M	
C3–C7, C9, C10, C11, C20, C21, C24–C38, C46, C47, C58–C64, C66, C67, C68, C76–C87, C95, C98, C100, C102, C109–C137	82	0.1μF ±20%, 16V X7R ceramic capacitors	AVX	0603YC104MAT	
C8, C15, C39, C40	4	4.7μF ±10%, 25V X5R ceramic capacitors	Panasonic	ECJ-3YB1E475K	
C16, C17, C41, C42	4	6.8μF 10%, 6.3V X5R ceramic capacitors (1206)	Panasonic	ECJ-3YB0J685K	
C22, C23	2	22pF ±5%, 25V NPO ceramic capacitors	AVX	06033A220JAT	
C43, C103	2	68μF ±20%, 16V tantalum capacitors (D case)	Panasonic	ECS-T1CD686R	
D1	1	Diode, 1A, 50V, general-purpose silicon	General Semiconductor	1N4001	
DS1, DS10	2	Green SMD LEDs	Panasonic	LN1351C	
DS2-DS9	8	Red SMD LEDs	Panasonic	LN1251C	
DS21	1	Red SMD LED	Panasonic	LN1251C	
J1, J4	2	Sockets, banana plug, horizontal, red	Mouser (distributor)	164-6219	
· · · · · · · · · · · · · · · · · · ·		Plugs, SMD, 140-pin, 0.8mm, 2-row vertical	AMP	179031-6	
J5	1	Socket, banana plug, horizontal, black	Mouser (distributor)	164-6218	
J6, J8, J10, J12	4	BNC connectors 75Ω, vertical, 5-pin	Cambridge	CP-BNCPC-004	
J7, J9, J11, J13	4	Connector, BNC, 75 ohm, right angle, 5-pin	Trompeter	UCBJR220	
J14	1	Amphenol, right-angle BNC	Amphenol	31-5431	
J15–J18	4	Terminal strip, 16-pin, dual-row, vertical	Samtec	TSW-108-07-T-D	
J21	1	Connector, DB9, right-angle, long case	AMP	747459-1	
J25	1	Terminal strip, 10-pin, dual-row, vertical	_	_	
JMP1, JMP2, JMP15	3	2-pin header, 0.100 centers, vertical	Samtec	TSW-102-07-T-S	
JMP3-JMP6, JMP11-JMP14, JMP16, JMP17, JMP18, JMP23- JMP26	15	3-pin header, 0.100 centers, vertical	Samtec	TSW-103-07-T-S	
JMP7–JMP10, JMP19–JMP22	8	Do not place, open 2 pin TH jumper	_	_	
R1, R2, R3, R16– R19, R36–R39, R41–R51, R53– R59, R61–R68, R229–R231, R244	41	0Ω ±1%, 1/16W resistors (0603)	AVX	CJ10-000F	
R4, R146, R147, R148, R158, R159, R160	7	Resistors (0603) Do not populate	_	_	
R5, R8–15, R92, R93, R95, R161, R270–R285, R313– R320		10kΩ \pm 5%, 1/16W resistors (0603)	Panasonic	ERJ-3GEYJ103V	

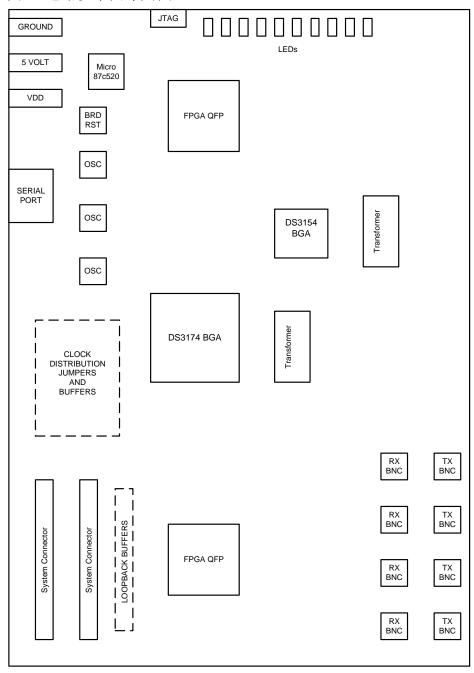
DESIGNATION QTY		DESCRIPTION	MANUFACTURER	PART	
R6, R7, R28–R35, R77–R91, R94, R96–R145, R149– R157, R162–R228, R233–R240, R255– R266, R305–R312, R321–R329	189	33Ω $\pm 5\%$, 1/16W resistors (0603) Panasonic		ERJ-3GEYJ330V	
R20-R27, R69-R76	16	332 Ω ±1%, 1/16W resistors (0603)	Panasonic	ERJ-3EKF3320V	
R52, R246–R254	10	330Ω ±5%, 1/16W resistors (0603)	Panasonic	ERJ-3GEYJ331V	
R232	1	51.1Ω ±1%, 1/16W resistor (0603)	Panasonic	ERJ-3EKF51R1V	
R241	1	3.3kΩ ±5%, 1/16W resistor (0603)	Panasonic	ERJ-3GEYJ332V	
R242, R243, R245, R267, R268, R269	6	4.7kΩ ±5%, 1/16W resistors (0603)	Panasonic	ERJ-3GEYJ472V	
R286-R304, R330	20	100Ω ±5%, 1/16W resistors (0603)	Panasonic	ERJ-3GEYJ101V	
SW5	1	Switch, momentary, 4-pin, single pole	Panasonic	EVQPAE04M	
T1, T2	2	Octal T3/E3 transformers, 1 to 2, SMD 32-pin	Pulse Engineering	T3049	
TP3–TP10, TP17, TP21–TP32, TP70 22		Test points, 1 plated hole, do not stuff	_	_	
U1	1	Quad DS3\E3 single-chip transceiver (400-pin CSBGA)	Dallas Semiconductor	DS3174	
U2	1	Quad DS3/E3/STS1 LIU (144-pin CSBGA)	Dallas Semiconductor	DS3154	
U3	1	Dual RS-232 transmitter/receiver (16-pin SO, 300 mils)	Dallas Semiconductor	DS232AS	
U4, U5, U6, U10, U11, U12	6	IC, 3.3V octal buffer/driver (20-pin narrow SOP)	Texas Instruments	SN74ALVC244NSR	
U8 1		IC, 3-line to 8-line decoder/demultiplexer (16-pin SOIC)	Texas Instruments	SN74HC138NSR	
U9 1		Microprocessor voltage monitor, 3.08V reset (4-pin SOT143)	Maxim	MAX811TEUS-T	
U13	1	IC, TinyLogic ultra-high-speed 2-input exclusive-OR gate (5-pin SOT23)	Fairchild	NC7SZ86M5	
U14	1	Microprocessor voltage monitor, 4.38V reset (4-pin SOT143)	Maxim	MAX812MEUS-T	
U17	1	Microprocessor reset circuit, 3.08V reset (3-pin SC70)		MAX803TEXR-T	
U18–U25, U41–U46	14	IC, TinyLogic ultra-high-speed 2-input OR gate (5-pin SOT23)	Fairchild	NC7SZ32M5	
U26, U27, U29	3	3.3V linear regulator (16-pin TSSOP-EP)	Maxim	MAX1793EUE-33	
U28	1	IC, Xilinx platform flash in-system-programmable config PROM (20-pin TSSOP)	Xilinx	XCF04SVO20C	
U30	1	1.8V linear regulator (16-pin TSSOP-EP)	Maxim	MAX1793EUE-18	
U31	1	IC, hex inverter, SOIC	Toshiba	TC74HC04AFN	

DESIGNATION	QTY	DESCRIPTION	MANUFACTURER	PART	
U32, U33, U34	3	IC, 5.0V octal buffer/driver (20-pin narrow SOIC)	Texas Instruments	SN74HC244NSR	
U40	1	High-speed microcontroller (44-pin TQFP)	Dallas Semiconductor	DS87C520-ECL	
U50, U51	2	IC, Xilinx Spartan 100k gate, 1.8V FPGA (144-pin TQFP)	Xilinx	XC2S100E-6TQ144C	
Y1	1	11.0592MHz low-profile crystal	Pletronics	LP49-33-11.0592M	
Y2	1	3.3V, 34.368MHz oscillator	Saronix	NTH089AA3-34.368	
Y4	1	3.3V, 44.736MHz oscillator	Saronix	NTH089AA3-44.736	
Y3	1	3.3V, 51.840MHz oscillator	Saronix	NTH089AA3-51.840	

电路板平面布局图

图 1所示为DS3174DK的平面布局图。DS3174 位与板的中心附近。模拟电路在板的右侧,包括变压器和BNC连接器。某些配置下还有一个可选的外部LIU (DS3154)。DS3174 的上方和下方各有一个FPGA,与插针一起提供对关键信号的访问。微处理器位于电路板左上部,时钟分配器在左中位置,系统接口在左下部。可选取输出源的通用LED在板的上方。左上角是用于连接地、5V(调节后提供给板上的V_{DD})以及单独的DS3174 V_{DD}(用于DS3174 的I_{DD}测量)的香蕉接头。板上还有一些用于连接微处理器和JTAG链的串行接口,DS3、E3 和STS-1 振荡器以及设置DS3174 和DS3174 时钟所需的跳线。

图 1. 电路板平面布局图



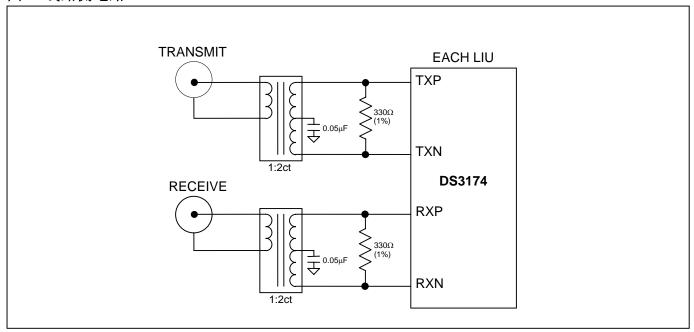
时钟跳线

跳线 JMP16 (板的左中部) 用来选择 DS3174 的 CLKA 和系统时钟的时钟源(外部 BNC 或者板载振荡器)。跳线 JMP17, JMP18 和 JMP23 选择到外部 LIU (DS3154)的时钟源,可以是板载振荡器或 DS3174 的 CLAD 输出。跳线 JMP24, JMP25 和 JMP26 选择某条 CLAD 输出至 DS3154 的 LIU 时钟输入。

线路侧连接

DS3174DK采用了DS3174 数据资料中推荐的发送(Tx)和接收(Rx)线路接口网络,参见图 2。LIU1 的BNC连接器标记为TX1 和 RX1; LIU2 的BNC连接器标记为TX2 和 RX2; LIU3 的BNC连接器标记为TX3 和 RX3; LIU4 的BNC连接器标记为TX4 和 RX4。

图 2. 线路侧电路



系统连接器

DS3174DK 板上的系统接口连接器 J2 和 J3 未使用。

微控制器

DS87C520 微控制器在片内非易失性存储器内预存出厂固件,该固件可将来自 RS-232 串口的存储器访问请求转换为 DS3174 寄存器的访问请求。微控制器启动时点亮绿色 LED DS1,用于指示控制器工作是否正常。

电源连接器

正常工作时,额定电流至少为 1 安培的 5.0V 电源接在红色的 J1 和黑色的 J5 (地)香蕉头上。香蕉插头 J4 用来测量 DS3174 的 IDD。通过移除跳线 19,20,21 和 22,可将板上的 VDD 和 DS3174 的 VDD 断开,从而完成 IDD 的测量。二极管 D1 用于提供电源反接保护。LED DS21 用来指示 5V 电源连接是否正确。5V 电源经调整后为板上的不同电路提供适当的电压。

与计算机的连接

用一根标准DB-9 串行电缆连接DS3174DK串口和主机上的可用串口。主机必须为基于Windows[®]操作系统的PC。必须确保该电缆为标准的直通电缆而不是零调制解调器电缆。零调制解调器电缆无法正常工作。

软件的安装及运行

ChipView是支持Dallas Semiconductor众多开发板的通用程序。安装ChipView软件时,从DS3174DK中的光盘上找到SETUP.EXE,或者从网址www.maxim-ic.com.cn/DS3174DK下载zip文件,然后运行。

安装完成后,将 DS3174DK 板接至 PC 并上电,运行 ChipView。如果安装时采用了默认选项,点击 Windows 工具 栏上的 Start 按钮并选择 Programs→ChipView→ChipView,即可运行 ChipView 。在打开的窗口上点击 Register View 按钮(Demo 和 Terminal 按钮不支持 DS3174DK)。在 *Port Selection* 对话框中选择正确的串口,然后点击 OK。

接下来会出现 *Definition File Assignment* 窗口。该窗口下的子窗口用于选择其他 Dallas 评估板的定义文件,最多可支持四个独立的开发板。由于 ChipView 与 DS3174DK 之间通信,所以此时仅有一个子窗口是激活的。在激活的子窗口中,从所列条目中选择 DS3174.DEF 定义文件,或通过浏览其他目录找到该文件。点击 Continue 按钮。

选择完定义文件后,ChipView 窗口主要显示的是 DS3174 寄存器表(定义在 DS3174 数据资料中)。要选择某个寄存器,可在寄存器表中点击选取。一旦某个寄存器被选中,该寄存器的全称和它的比特值会显示在 ChipView 窗口的底部。逻辑 0 显示为白色,逻辑 1 显示为绿色。

ChipView 软件支持下列操作:

- **反转某位**,在寄存器表中选择寄存器然后点击位比特值中的某位。
- 写寄存器,选择该寄存器,点击 Write 按钮并键入要写的值。
- **写所有寄存器,**点击 Write All 按钮并键入要写的值。
- 读寄存器,在寄存器表中选择该寄存器并点击 Read 按钮。
- 读所有寄存器,点击 Read All 按钮。

Windows 是 Microsoft Corp. 的注册商标。

DS3174DK 的基本配置

通过下列 DS3 配置实例可以快速着手使用 DS3174DK。DS3174 和 DS3174DK 可以通过多种方式配置,要实现其他配置,参见 DS3174 数据资料第 9 章以及该数据资料的其它章节。

以下配置仅适用于端口 1。其他端口与之相同,通过支持该特定端口的 DEF 文件实现。

- 将 5V 电源接在 J1 和 J5 上,并检查跳线 19 至 22 是否已经安装。查看 LED DS1 和 DS21 是否点亮。用 75Ω同轴电缆连接 J6 (Rx)和 J7 (Tx)。检查跳线 J3 和 J4 是否设置到 84 位置。
- 将计算机串口连接至 J21。运行 ChipView 应用程序并加载开发板提供的名为 DS3174.DEF 的定义文件。

DS3174的下列寄存器需要配置。ChipView专用帮助文件参见ChipView手册。

从"DEF File Selection"菜单选择"DS3174.def slot 0"。

点击 Read All。

使能 Global Reset 将 DS3174 的所有寄存器设置为默认值,将其置于已知状态。

SET GCR1L.RST CLEAR GCR1L.RST CLEAR GCR1L.RSTDP

CLEAR GCR1L.RSTDP clear data path resets

注:同时配置全部 4 个端口时,应设置 GCR1U.GWRM。

SET GCR1U.SIW[1:0] = 01 16 bit system interface

SET GCR1U.SIM[1:0] = 11 POS PHY L3

注: UTOPIA L2 为默认设置: GCR1U.SIM[1:0] = 00。

配置内部 CLAD

注:下面的 CLAD 配置需要将 DS3 时钟连接到 CLKA (CLKB 和 CLKC 驱动为低)。

其他设置参见 DS317x 数据资料中的 CLAD 表。

CLEAR GCR2L.CLAD3
SET GCR2L.CLAD2
CLEAR GCR2L.CLAD1
CLEAR GCR2L.CLAD0

从"DEF File Selection"菜单选择"ports.def slot 0"。

点击 Read All。

CLEAR	PCR1L.RSTDP	normal operation
CLEAR	PCR1L.PD	-
SET	PCR1U.PAIS2	disable payload AIS
SET	PCR1U.PAIS1	
SET	PCR1U.PAIS0	
SET	PCR1U.LAIS1	disable line AIS
SET	PCR1U.LAIS0	

配置成帧器和 LIU

对于 DS3 C 位格式 (默认模式)

PCR2L.FM5
PCR2L.FM4
PCR2L.FM3
PCR2L.FM2
PCR2L.FM1
PCR2L.FM0

SET PCR2U.LM0 LIU on, No JA SET PCR2U.LM1 JA on in RX path

PCB 布线建议

当设计 DS3174 的 PCB 时,应当参照通用的高速布线指南。下列方法有助于提供稳定的电源电压,并保证器件之间的信号完整性:通过电源层和良好的去耦方案给 DS3174 提供一个低阻电源供给路径,去耦电容应当以最短的走线直接接地;每个电源引脚都应有 0.1μF 的表贴陶瓷电容以提供足够的去耦,电源连接器附近应采用大体积大容量的钽电容以提供低频去耦; DS3174 的所有高速接口应做阻抗匹配并有合适的端接以防止反射;从 DS3174 到变压器初级或系统侧的差分连接要尽量短,并且差分线对应互相靠近,变压器次级或网络侧的走线应当做 75Ω阻抗匹配。

DS3174 信息

Maxim网站的DS3174 快速浏览网页提供最新版的DS3174 数据资料和应用笔记,可供用户下载。如果需要相关信息,请访问www.maxim-ic.com.cn/DS3174。

DS3174DK 信息

Maxim网站的DS3174DK快速浏览网页提供最新版的DS3174DK数据资料和ChipView软件,可供用户下载。如需相关信息,请登录www.maxim-ic.com.cn/DS3174DK。

技术支持

如需更多技术支持,请将您的问题email至 telecom.support@dalsemi.com (English only)。

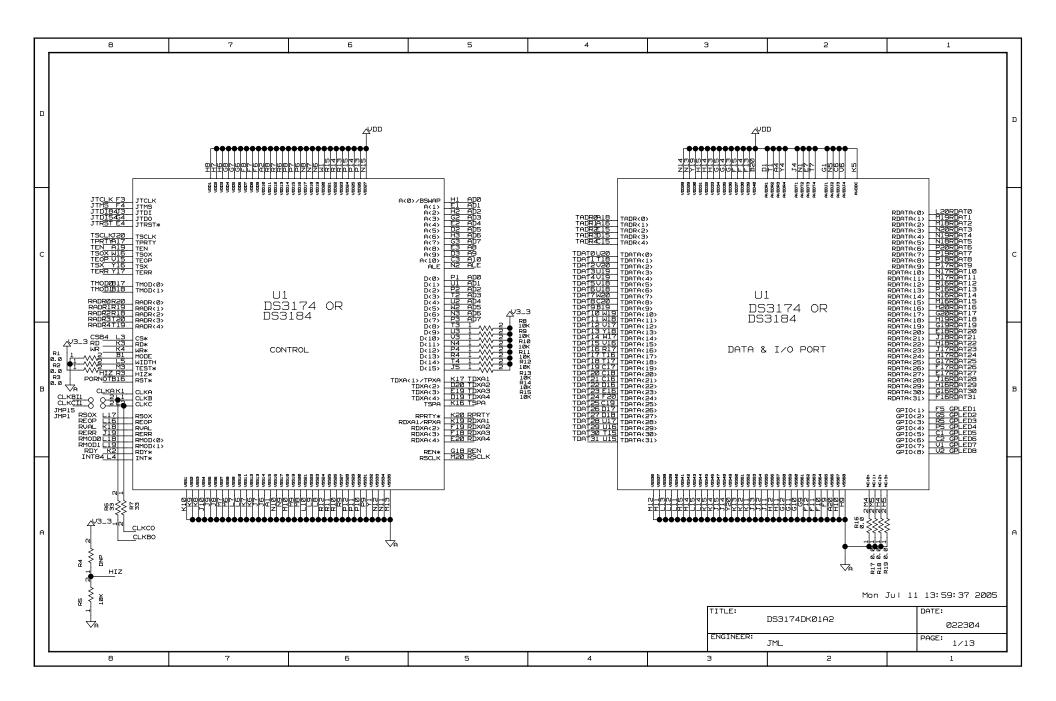
电路原理图

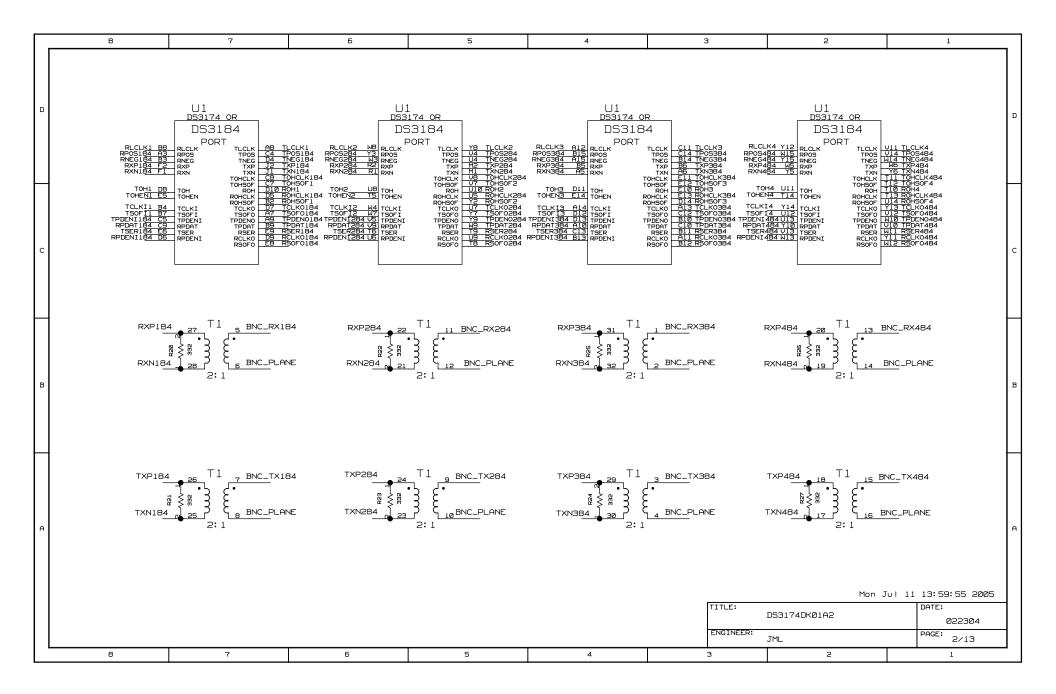
下面的 13 页提供了 DS3174DK 的电路原理图。

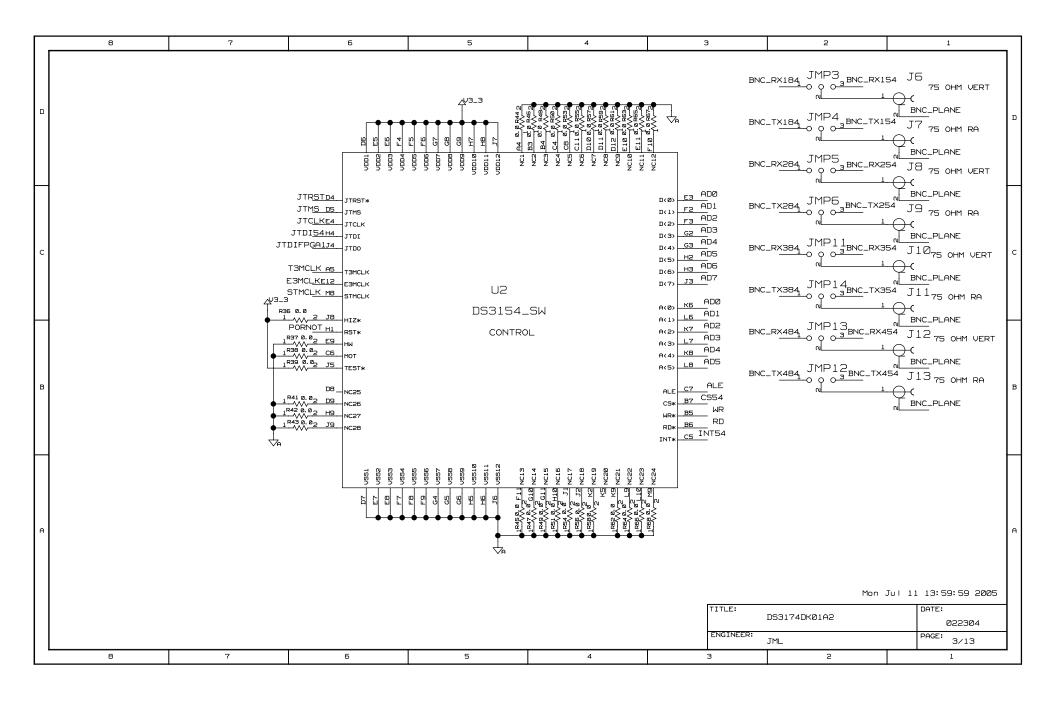
Maxim北京办事处

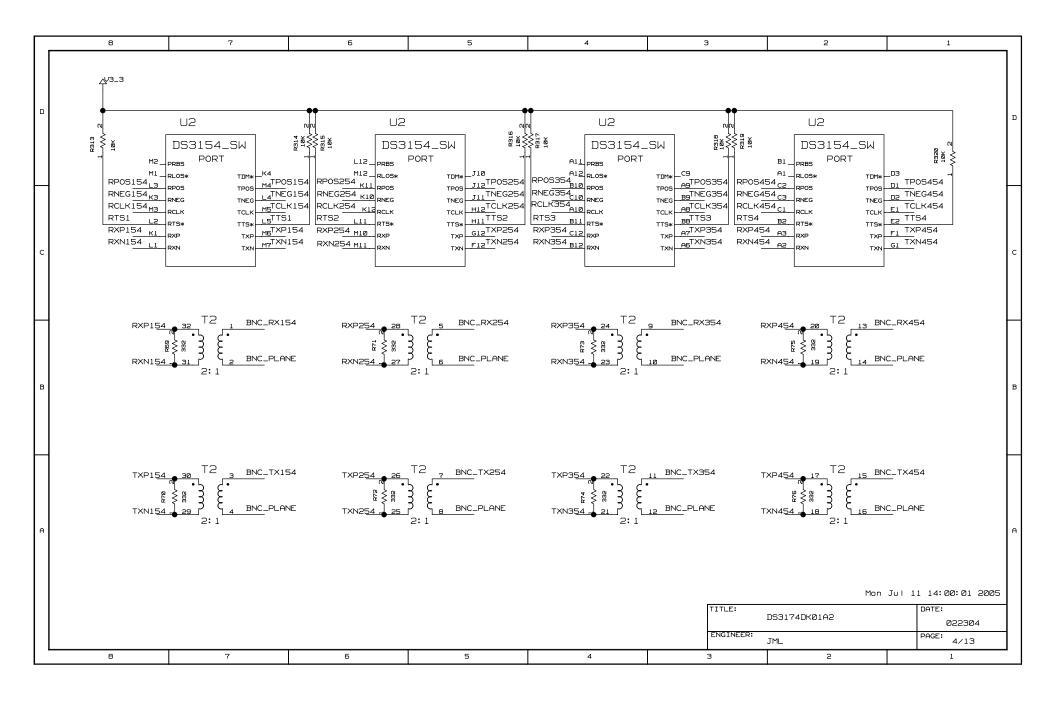
北京8328信箱 邮政编码100083 免费电话: 800 810 0310 电话: 010-6211 5199

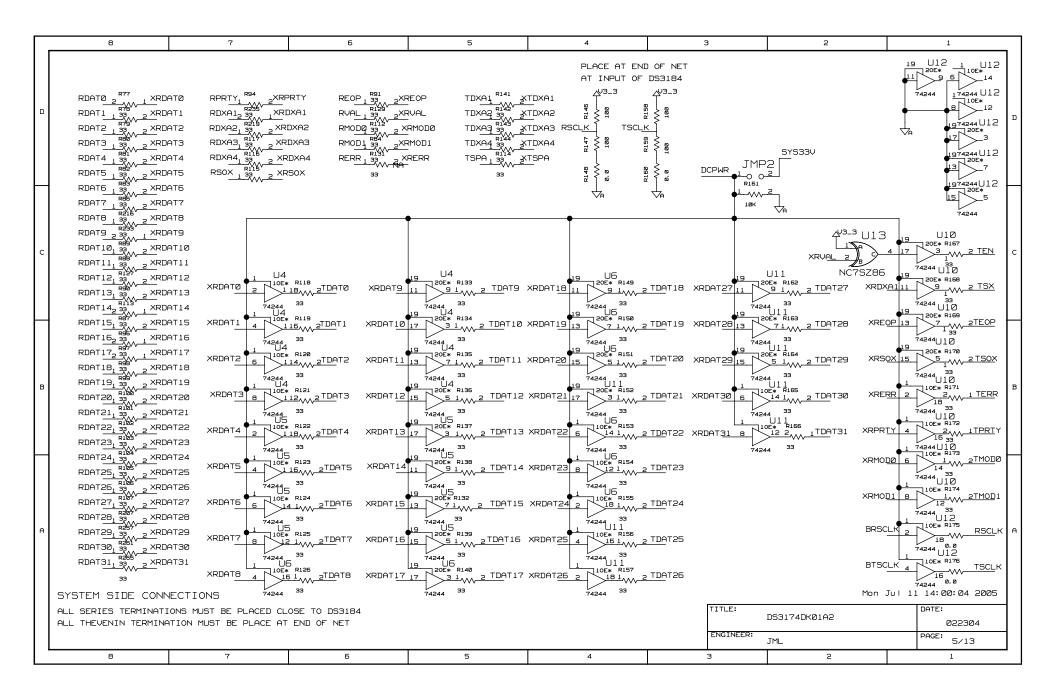
传真: 010-6211 5299

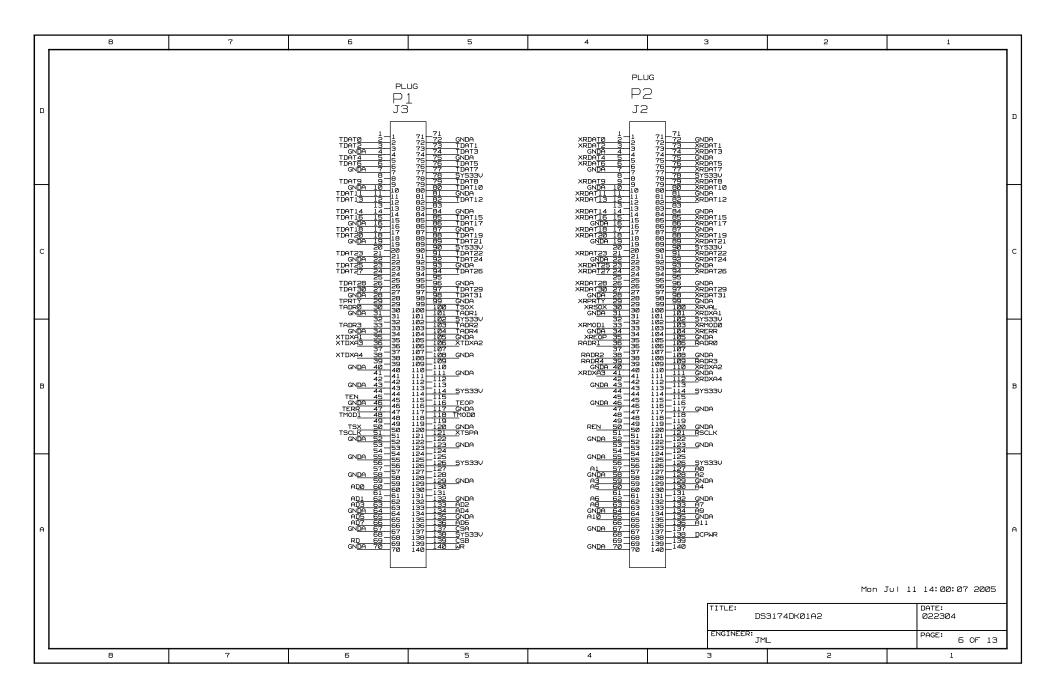




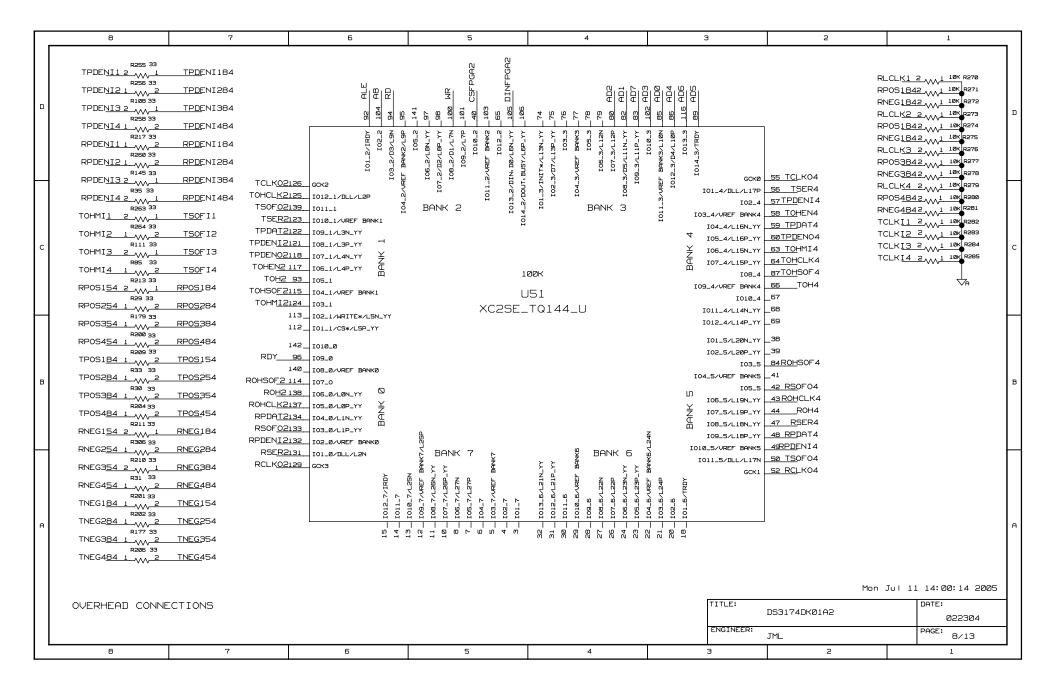


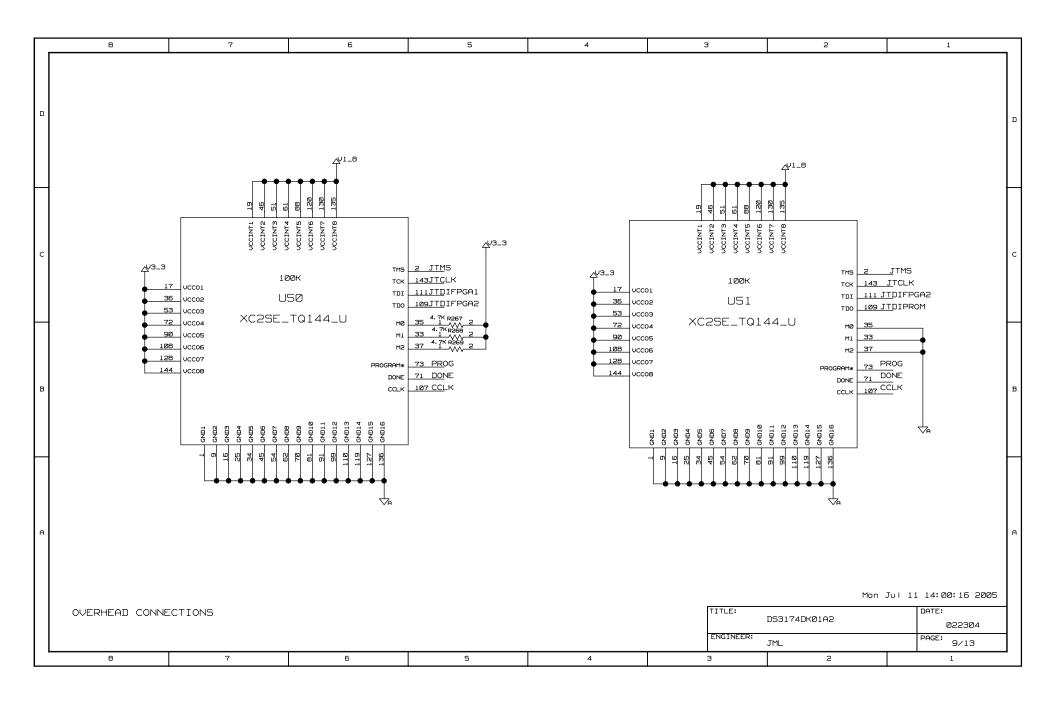


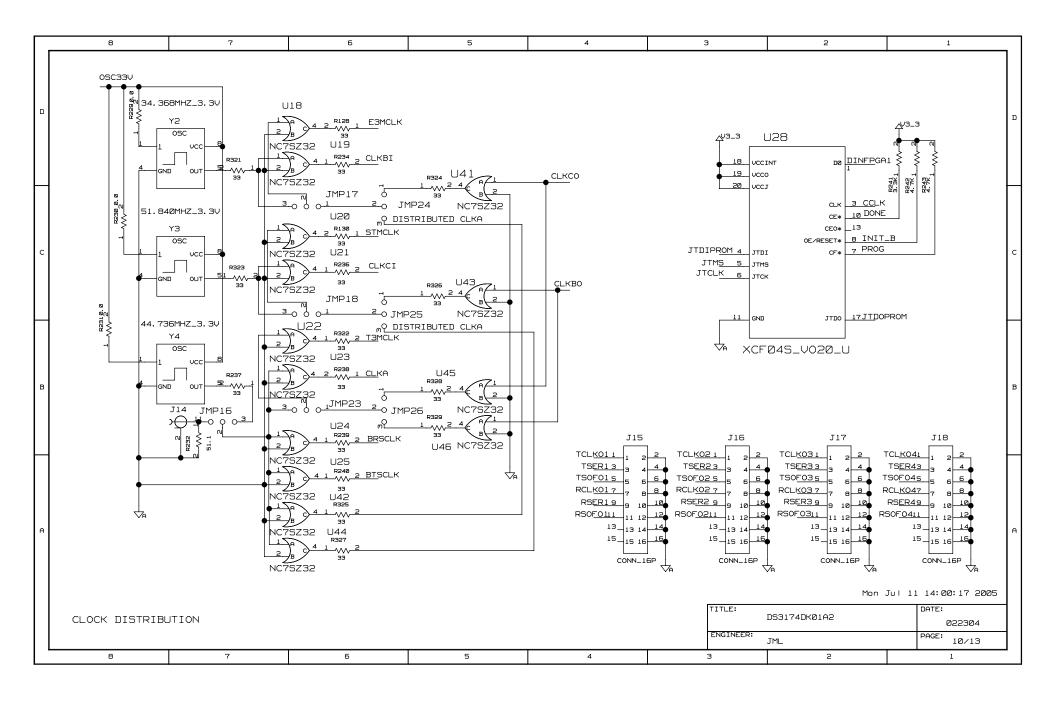


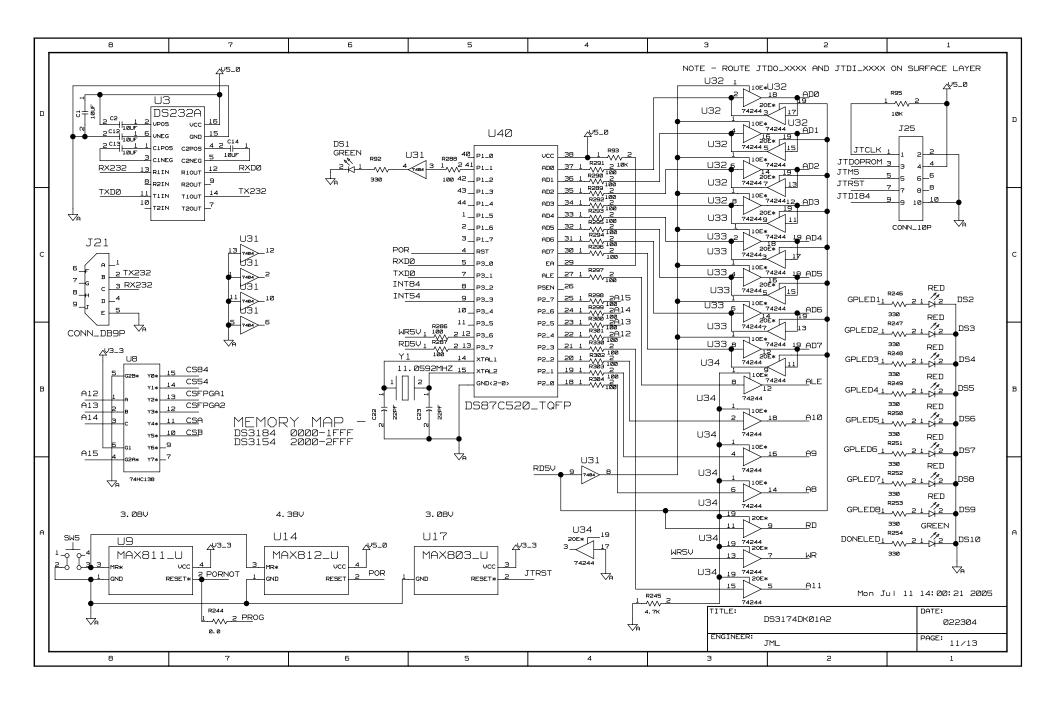


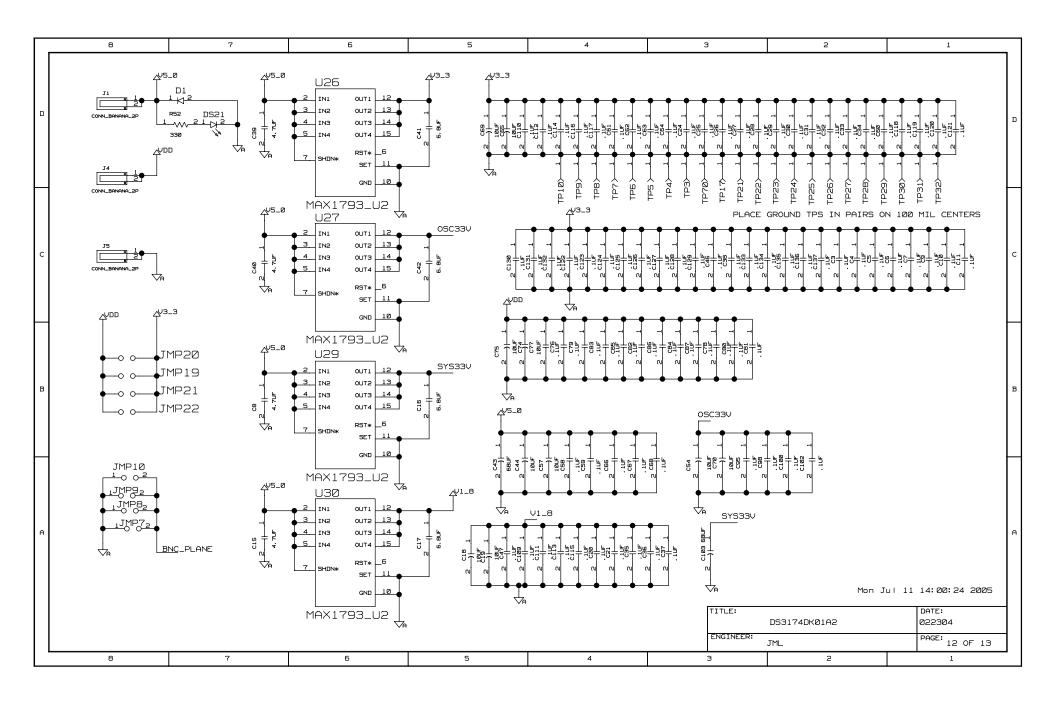
	8	7	6	5	4	3	2	1	\neg
	R203			. 21	!		RSO	R259 33 F01 <u>84 1 </u>	
	RCLK1 <u>54 2 M 1</u>	RLCLK1		141 97 A7 98 A5 100 WR 140 140 140 140 140 140 150 150 150 150 150 150 150 15	0.1 ~ ~	0 4 10 10		R218 33 F02 <u>84 2 </u>	
D	ICLK154 1 M	2 TLCLK1	88 [8]	141 92 A7 98 A6 199 MR 191 194 CSFP 193 DONE 124 DONE 195 DINF	HS H	HD H		R227 33 F03 <u>84 1 _{VW} 2 RS0</u> F03	
	RCLK2 <u>54 1 </u>	RLCLK2 2 TLCLK2	92 4 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8	97 98 98 100 101 103 103 105 105	74 76 77 77 79 88 88 83		RSO	F 0484 2 1 RSOF 04	ם
	R305 33 RCLK3 <u>54 1 </u>	RLCLK3	2/IRDY 102-2 703/190	105.2 L8N_YY L8P_YY D1/L7N 1018.2 I012.2 L6N_YY	13N_YY 13P_YY 103_3 103_3 105_3 3/L12N 13/L12P	(3/18/3) 1013-3 -3/TRDY	TSO	F0184 1 2 TS0F01	
	- R307	1 TLCLK3	101_271RDY 101_271RDY 102_2 102_19P	106.24.8N-YY 27.024.8P-YY 108.24.7P 1010.2 27.WEF BANK2 1012.2 1N. 1012.2 1N. 1012.2	INIT*/LI3N_TY 3-J07/LI3P_TY 103_3 3-VREF BANK3 105_3/LI3N_TY 107_3/LI3P_TY 109_3/LI1P_TY 109_3/LI1P_TY	· · · · · · · · · · · · · · · · · · ·		F02 <u>84 1 2 TS0</u> F02	
Н	RCLK4 <u>54 1 </u>	RLCLK4 TCLKO <u>3</u>	1 8 L	106-77-277 108-108-117-117-117-117-117-117-117-117-117-11	H \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \	F G CKØ	<u>55 TCL</u> K01	F0 <u>384 1 </u>	\vdash
	TCLK4 <u>54 33 R28</u>		3 125 IO12 1/DLL/L2P	BB I I I I I I I I I I I I I I I I I I	102.3707.139.77 102.3707.139.77 103.37 104.37.WEF BRNKK 105.37.139 106.37.137 109.37.1127 109.37.1127	702.4		R309 33 CLK <u>1841 2 TOHCL</u> K1	
	33	TSER:	3 123 I010_1/VREF BANK1	BANK 2 0 44	º BANK 3	×	58 TOHEN1	R310 33 CLK <u>284 _{VW} 2 TOHCL</u> K2	
c	R205 33 TCLK0 <u>184 1 2</u> R182 33	TCLK01 TPDAT <u>:</u> TCLK01 TPDEN <u>I:</u>				4 102 ⁻⁴ /L16P ⁻ YY	<u>60TPDE</u> N01 TOH	R109 33 CLK <u>384L _{VVV} 2 TOHCL</u> K3	С
	TCLK0284 12	TCLK02 TPDENOS				¥ 106_4/L15N_YY	<u>63 TO</u> HMI1 <u>64TOH</u> CLK1 TOH	R312 33 CLK <u>4841 </u>	
	TCLK0 <u>384 1 </u>	TCLK03 TOH	3114 105_1		00K	108_4 109_4/VREF BANK4	<u>66</u> [OH1	CLK <u>184</u>	
	TCLK0 <u>484 1 _M 2</u> RIB5 33 RCLK0 <u>184 1 _M 2</u>	<u>TC</u> LK04 TOHSOF <u>;</u> TOHM <u>I;</u> RCLK01			J5Ø _TQ144_U	1010_4	_110	CLK <u>284</u>	
П	RCLKO <u>284 1 2</u>	RCLK02	113 IO2_1/WRITE*/L5N_YY 112 IO1_1/C5*/L5P_YY	\C23L_	10144_0		59	CL <u>K3842 _M 1 ROHCL</u> K3 - R212 33 CL <u>K4842 _M 1 ROHCL</u> K4	П
	R187 33 RCLK03 <u>84 12</u>	RCLK03	40_ 1010_0				_38 _39 RPD(R197 33	
	R188 33 RCLK04 <u>84 1 2</u>	RCLK04	84 109_0 140 108_0/UREF BANKO			103_5	75ROHSOF1 RPDI	R198 33 AT2 1 00 2 RPDAT284	
В	RSER1 <u>84 1 2</u> RSER1 <u>84 1 2</u>		<u>3 96 107_0</u>			IO4_5/VREF BANK5 IO5_5	_41 _ <u>42 RS</u> 0F01 RPD(R199 33 AT3 1 _{VW} 2 RPDAT384	В
	RSER2 <u>84 1 2</u> R311 33	ROHCLK	3 137 105_0/L0P_YY ¥			I06_5/L19N_YY	43ROHCLK1 RPDI	R220 33 AT 4 1 <u>2 RPDAT 4</u> 84 R221 33	
	RSER384 12	RSER3 RPDA <u>T</u> RSOFQ RSER4	3 134 104_0/L1N_YY	0		Щ 108_5/L18N_YY _		AT1 <u>84 1 2 TPD</u> AT1	
Н	RSER4 <u>84 1 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2</u>	TSER184 RPDENIS		ig BANK 7 k	¥ BANK 6	1010_5/VREF BANK5	49RPDENI1	AT <u>284 1 </u>	\vdash
	TSER2 1 2		3 129 сскз	BANK	<u>Z</u>	I011_5/DLL/L17N		AT <u>384 1 </u>	
	TSER3 1 W 2	TSER384	:012-7.IRD	1010–77.25% 109_77.85 108_77.26% 106_77.27% 106_77.27% 105_77.27% 103_77.85 103_77.85 103_77.85	1013-6/L21N-YY 1012-6/L21P-YY 1011-6 1010-6-VREF BF 109-6-L22N 107-6-L22P 107-6-L22P	03_6/L24P		R181 33 ENO1841 2 TPDENO1	
	R256 33 TSER4 1 2	<u>TSE</u> R484	1012-7.	1018_77.25 109_77.456 108_77.256 108_77.277 106_7 104_7 103_77.477 103_77.4777 103_77.4777	1013_E 1012_E 1011_E 1016_E 109_E 107_E 105_E	103_67.24p		R226 33 EN <u>0284 ¹ </u>	
A			15		31 2 2 2 2 3 3 1 1 1 1 1 1 1 1 1 1 1 1 1	18 28 1		R223 33 EN <u>03841 </u>	A
				4			TPDI	ENO4841 2 TPDENO4	
	OVERHEAD CONNE	CTIONS				TITLE:	Mc	on Jul 11 14:00:10 2005	
	OVERHEND CONNE	CITONO					DS3174DKØ1A2	022304	
			_				JML	PAGE: 7/13	
	8	7	6	5	4	3	2	1	











	8	7	6	5	4	3	2	1	
ם	REVISION H	HISTORY — - AØ — INITIAL	RELEASE						ם
	040805 -	- A1 — ADDED M: - A2 — ADDED VI	ISSING SIGNAL DD CONNECTION	NAMES ON PAGE TO TTS/RTS NET		UP TEXT ON VAF	RIOUS PAGES.		
		FIXED AI CHANGED CHANGED	RMOD1/RVAL CON LE SHORT ACROS R92 VALUE TO R175 AND R176	3S U34 330 OHMS 5 TO 33 OHMS FF	ROM Ø				Н
С		CHANGED CHANGED	R146,R147,R15 JMP19 TO JMP2) FROM DNP TO (58,R159 FROM DI 22 FROM DNP TO)CUMENT CHANGE(NP TO 100 OHMS PLACE		WITH SCHEMATIC		С
В									В
Ф									А
	В	7	6	5	4	TITLE: DS ENGINEER:	53174DKØ1A2 JML 2	DATE: Ø223Ø4 PAGE: 13 OF 13	- - -