19-5217; Rev 6; 4/10

DS12R885/DS12CR887/DS12R887
带有恒压涓流充电器的RTC

概述

DS12R885是一款与DS12885实时时钟(RTC)功能兼容的替代产品。该器件提供RTC/日历、定时闹钟、三个可屏蔽的中断和一个通用中断输出、可编程方波以及114字节电池备份的静态RAM。少于31天的月份，月末日期可自动调整，其中包括闰年补偿。该器件还可以工作于24小时或带AM/PM指示的12小时格式。一个精密的温度补偿电路用来监视V_{CC}的状态。如果检测到主电源故障，该器件可以自动切换到备用电源供电。V_{BACKUP}引脚用于支持可充电电池或超级电容，内部包括一个始终有效的涓流充电器。DS12R885可以通过一个多路复用的单字节接口访问，该接口支持Intel和Motorola模式。DS12CR887和DS12R887将DS12R885与石英晶体和电池集成在一起。

应用

嵌入式系统

电表

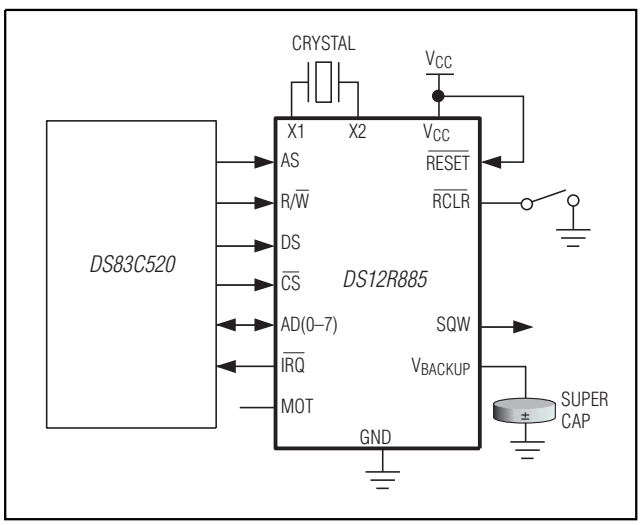
安全系统

网络集线器，网桥，路由器

特性

- ♦ 为充电电池或超级电容提供涓流充电
- ♦ 可选的Intel或Motorola总线时序
- ♦ RTC计数秒、分、时、星期、日期、月份和年份，闰年补偿至2100年
- ♦ 具有三个可单独屏蔽中断标志位的中断输出
- ♦ 定时闹钟为每秒一次至每日一次
- ♦ 122µs至500ms周期速率
- ♦ 时钟更新周期结束标志
- ♦ 14字节的时钟和控制寄存器
- ♦ 114字节具有清零输入的通用电池备份NV RAM
- ♦ 可编程方波输出
- ♦ 自动电源故障检测和切换电路
- ♦ +5.0V或+3.3V工作电源
- ♦ 工业级温度范围
- ♦ DS12CR887密封DIP (EDIP)模块集成了电池与石英晶体
- ♦ DS12R887 BGA模块为表面贴封装，集成了石英晶体和充电电池

典型工作电路



引脚配置在数据资料的最后给出。

定购信息

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK*
DS12R885S-5+	-40°C to +85°C	24 SO (300 mils)	DS12R885-5
DS12R885S-5+ T&R	-40°C to +85°C	24 SO (300 mils)	DS12R885-5
DS12R885S-33+	-40°C to +85°C	24 SO (300 mils)	DS12R885-33
DS12R885S-33+ T&R	-40°C to +85°C	24 SO (300 mils)	DS12R885-33
DS12CR887-5+	-40°C to +85°C	24 EDIP (700 mils)	DS12CR887-5
DS12CR887-33+	-40°C to +85°C	24 EDIP (700 mils)	DS12CR887-33
DS12R887-5	-40°C to +85°C	48 BGA	DS12R887-5
DS12R887-33	-40°C to +85°C	48 BGA	DS12R887-33

+表示无铅(Pb)/符合RoHS标准的封装。
T&R = 卷带包装。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。
有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V_{CC} Pin Relative to Ground .....-0.3V to +6.0V
Operating Temperature Range .....-40°C to +85°C
Storage Temperature Range
EDIP, BGA .....-40°C to +85°C
SO .....-55°C to +125°C

Lead Temperature (soldering, 10s) .....+260°C
(**Note:** EDIP is hand or wave-soldered only.)
Soldering Temperature (reflow)
SO .....+260°C
BGA.....+240°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(**V_{CC} = $V_{CC(MIN)}$ to $V_{CC(MAX)}$**, T_A = -40°C to +85°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage (Note 2)	V_{CC}	-33	2.97	3.3	3.63	V
		-5	4.5	5.0	5.5	
V_{BACKUP} Input Voltage (DS12R885 Only)	V_{BACKUP}	(Note 2)	2.0		V_{OUT}	V
Input Logic 1	V_{IH}	(Note 2)	2.2		V_{CC} + 0.3	V
Input Logic 0	V_{IL}	(Note 2)	-0.3		+0.8	V
V_{CC} Power-Supply Current (Note 3)	I_{CC1}	-33		0.7	2	mA
		-5		0.8	2	
V_{CC} Standby Current (Note 4)	I_{CCS}	-5		0.250	0.5	mA
		-33		0.140	0.3	
Input Leakage	I_{IL}		-1.0		+1.0	µA
I/O Leakage	I_{OL}	(Note 5)	-1.0		+1.0	µA
Input Current	I_{MOT}	(Note 6)	-1.0		+500	µA
Output Current at 2.4V	I_{OH}	(Note 2)	-1.0			mA
Output Current at 0.4V	I_{OL}	(Note 2)			4.0	mA
Power-Fail Voltage (Note 2)	V_{PF}	-33	2.7	2.88	2.97	V
		-5	4.05	4.33	4.5	
VRT Trip Point	VRT_{TRIP}	-33		1.3		V
		-5				
Trickle-Charger Current-Limiting Resistor	R1	DS12R885 Only		10		kΩ
Trickle-Charger Output Voltage	V_{OUT}	DS12R885 Only		3.05		V

DC ELECTRICAL CHARACTERISTICS (DS12R885 Only)

(**V_{CC} = 0V, V_{BACKUP} = 3.2V**, T_A = -40°C to +85°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_{BACKUP} Current (OSC On); T_A = +25°C, V_{BACKUP} = 3.0V	$I_{BACKUP2}$	(Note 7)		800	1000	nA
V_{BACKUP} Current (Oscillator Off)	$I_{BACKUPDR}$	(Note 7)			100	nA

AC ELECTRICAL CHARACTERISTICS

(**V_{CC} = 4.5V to 5.5V**, T_A = -40°C to +85°C.) (Note 1)

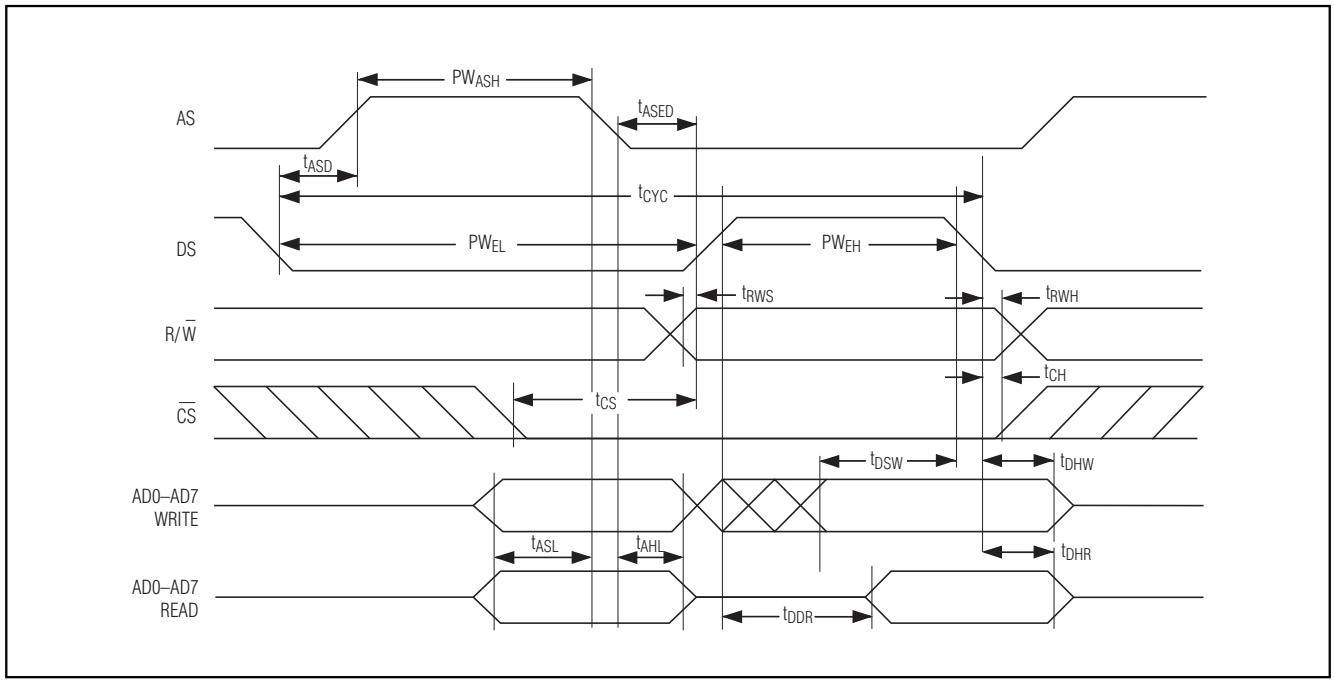
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Cycle Time	t_{CYC}		180		DC	ns
Pulse Width, DS Low or R/$\overline{W}$ High	PW_{EL}		80			ns
Pulse Width, DS High or R/$\overline{W}$ Low	PW_{EH}		65			ns
Input Rise and Fall	t_R, t_F				30	ns
R/$\overline{W}$ Hold Time	t_{RWH}		0			ns
R/$\overline{W}$ Setup Time Before DS/E	t_{RWS}		10			ns
Chip-Select Setup Time Before DS or R/$\overline{W}$	t_{CS}		5			ns
Chip-Select Hold Time	t_{CH}		0			ns
Read-Data Hold Time	t_{DHR}		5		35	ns
Write-Data Hold Time	t_{DHW}		0			ns
Address Valid Time to AS Fall	t_{ASL}		20			ns
Address Hold Time to AS Fall	t_{AHL}		5			ns
Delay Time DS/E to AS Rise	t_{ASD}		10			ns
Pulse Width AS High	PW_{ASH}		30			ns
Delay Time, AS to DS/E Rise	t_{ASED}		35			ns
Output Data Delay Time from DS or R/$\overline{W}$	t_{DDR}	(Note 8)	15		60	ns
Data Setup Time	t_{DSW}		50			ns
Reset Pulse Width	t_{RWL}		5			µs
$\overline{IRQ}$ Release from DS	t_{IRDS}		0		2	µs
$\overline{IRQ}$ Release from $\overline{RESET}$	t_{IRR}		0		2	µs

AC ELECTRICAL CHARACTERISTICS

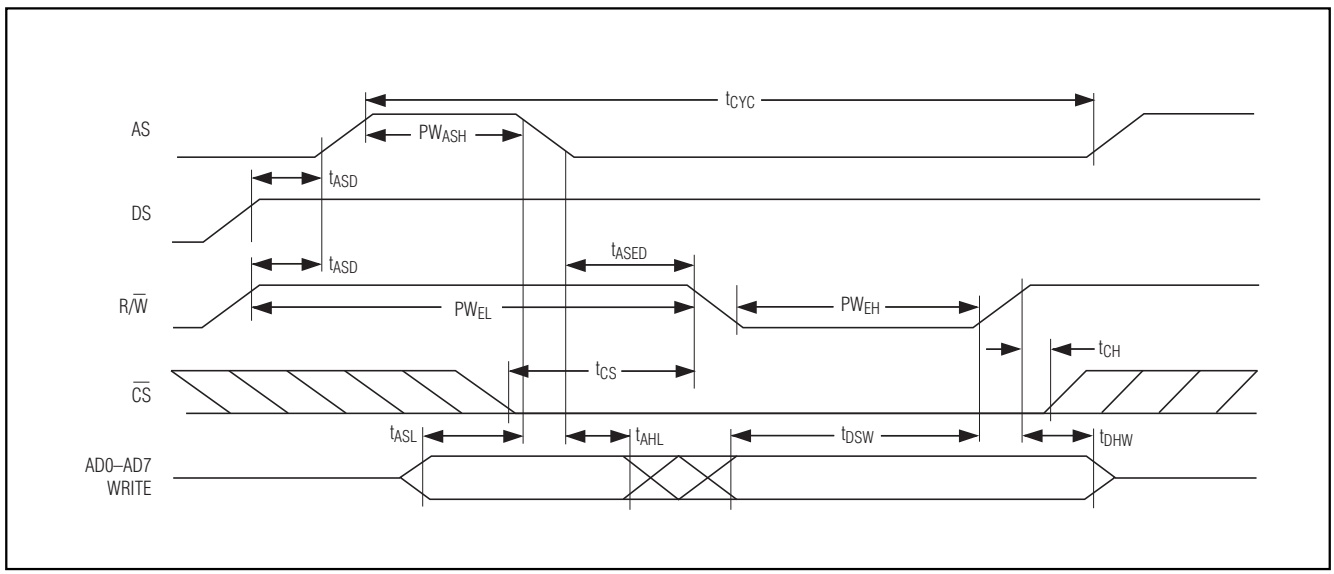
(V_{CC} = 2.97V to 3.63V, T_A = -40°C to +85°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Cycle Time	t_{CYC}		280		DC	ns
Pulse Width, DS Low or R/$\overline{W}$ High	PW_{EL}		130			ns
Pulse Width, DS High or R/$\overline{W}$ Low	PW_{EH}		90			ns
Input Rise and Fall	t_R, t_F				30	ns
R/$\overline{W}$ Hold Time	t_{RWH}		0			ns
R/$\overline{W}$ Setup Time Before DS	t_{RWS}		15			ns
Chip-Select Setup Time Before DS or R/$\overline{W}$	t_{CS}		8			ns
Chip-Select Hold Time	t_{CH}		0			ns
Read-Data Hold Time	t_{DHR}		5		55	ns
Write-Data Hold Time	t_{DHW}		0			ns
Address Valid Time to AS Fall	t_{ASL}		30			ns
Address Hold Time to AS Fall	t_{AHL}		15			ns
Delay Time DS to AS Rise	t_{ASD}		15			ns
Pulse Width AS High	PW_{ASH}		45			ns
Delay Time, AS to DS Rise	t_{ASED}		55			ns
Output Data Delay Time from DS or R/$\overline{W}$	t_{DDR}	(Note 8)	20		80	ns
Data Setup Time	t_{DSW}		70			ns
Reset Pulse Width	t_{RWL}		5			µs
$\overline{IRQ}$ Release from DS	t_{IRDS}		0		2	µs
$\overline{IRQ}$ Release from $\overline{RESET}$	t_{IRR}		0		2	µs

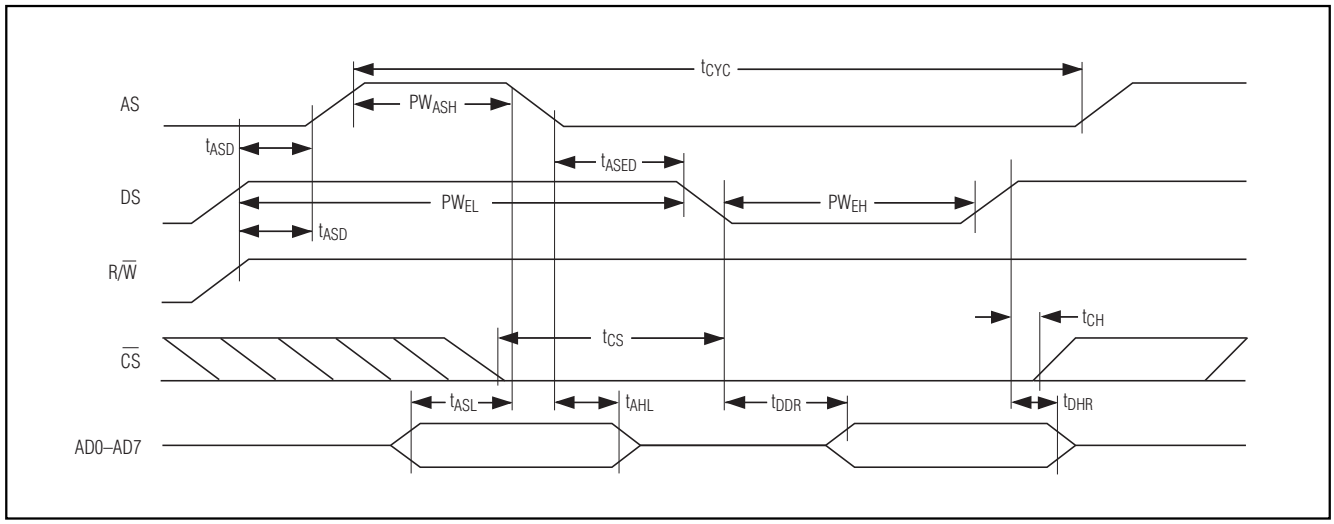
Motorola总线读/写时序



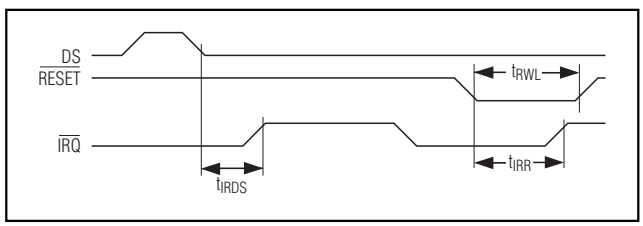
Intel总线写时序



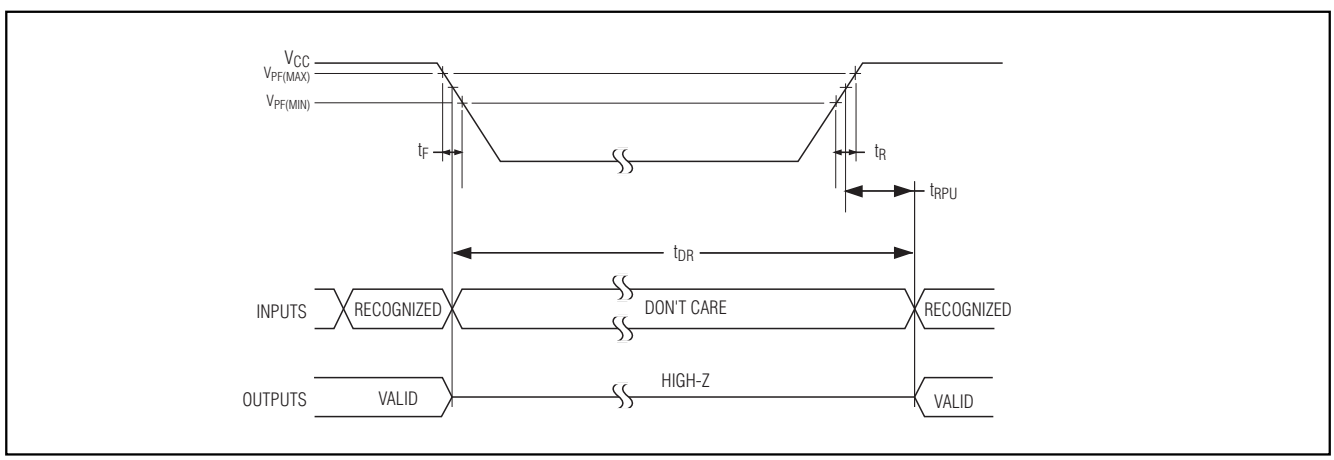
Intel总线读时序



IRQ 释放延迟时序



上电/断电时序



POWER-UP/POWER-DOWN CHARACTERISTICS

(T_A = -40°C to +85°C) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Recovery at Power-Up	t_{RPU}		20		200	ms
V_{CC} Fall Time; $V_{PF(MAX)}$ to $V_{PF(MIN)}$	t_F		300			µs
V_{CC} Rise Time; $V_{PF(MIN)}$ to $V_{PF(MAX)}$	t_R		0			µs

DATA RETENTION (DS12CR887)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Expected Data Retention	t_{DR}	T_A = +25°C	5			Years

CAPACITANCE

(T_A = +25°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Capacitance on All Input Pins Except X1 and X2	C_{IN}	(Note 9)			10	pF
Capacitance on $\overline{IRQ}$, SQW, and DQ Pins	C_{IO}	(Note 9)			10	pF

AC TEST CONDITIONS

PARAMETER	TEST CONDITIONS
Input Pulse Levels (-5)	0 to 3.0V
Input Pulse Levels (-33)	0 to 2.7V
Output Load Including Scope and Jig (-5)	50pF + 1TTL Gate
Output Load Including Scope and Jig (-33)	25pF + 1TTL Gate
Input and Output Timing Measurement Reference Levels	Input/Output: V_{IL} maximum and V_{IH} minimum
Input-Pulse Rise and Fall Times	5ns

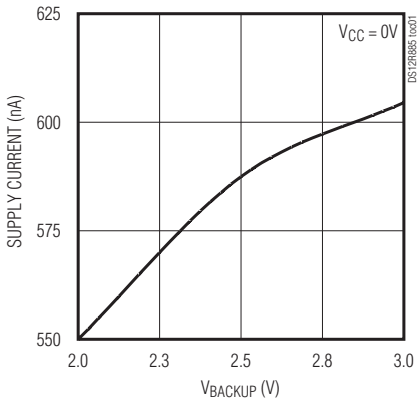
WARNING: Negative undershoots below -0.3V while the part is in battery-backed mode may cause loss of data.

Note 1: Limits at -40°C are guaranteed by design and not production tested.
Note 2: All voltages are referenced to ground.
Note 3: All outputs are open.
Note 4: Specified with $\overline{CS}$ = DS = R/$\overline{W}$ = $\overline{RESET}$ = V_{CC}; MOT, AS, AD0–AD7 = 0; V_{BACKUP} open.
Note 5: Applies to the AD0 to AD7 pins, the $\overline{IRQ}$ pin, and the SQW pin when each is in a high-impedance state.
Note 6: The MOT pin has an internal 20kΩ pulldown.
Note 7: Measured with a 32.768kHz crystal attached to X1 and X2.
Note 8: Measured with a 50pF capacitance load.
Note 9: Guaranteed by design. Not production tested.

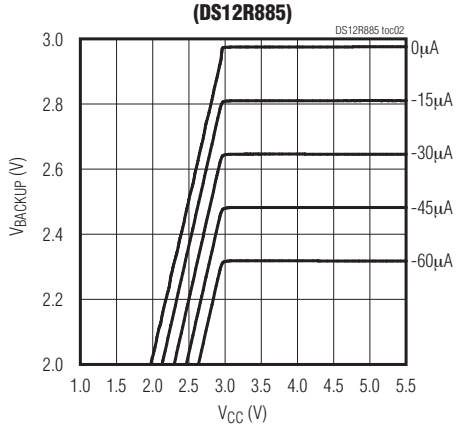
典型工作特性

(V_{CC} = +3.3V, T_A = +25°C, unless otherwise noted.)

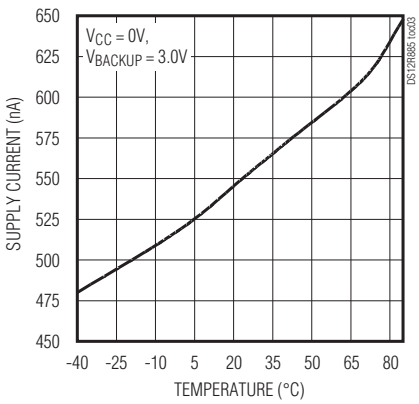
I_{BACKUP} vs. V_{BACKUP} (DS12R885)



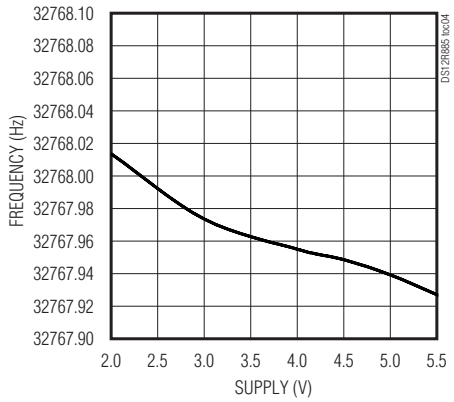
V_{BACKUP} vs. V_{CC} vs. I_{BACKUP} (DS12R885)



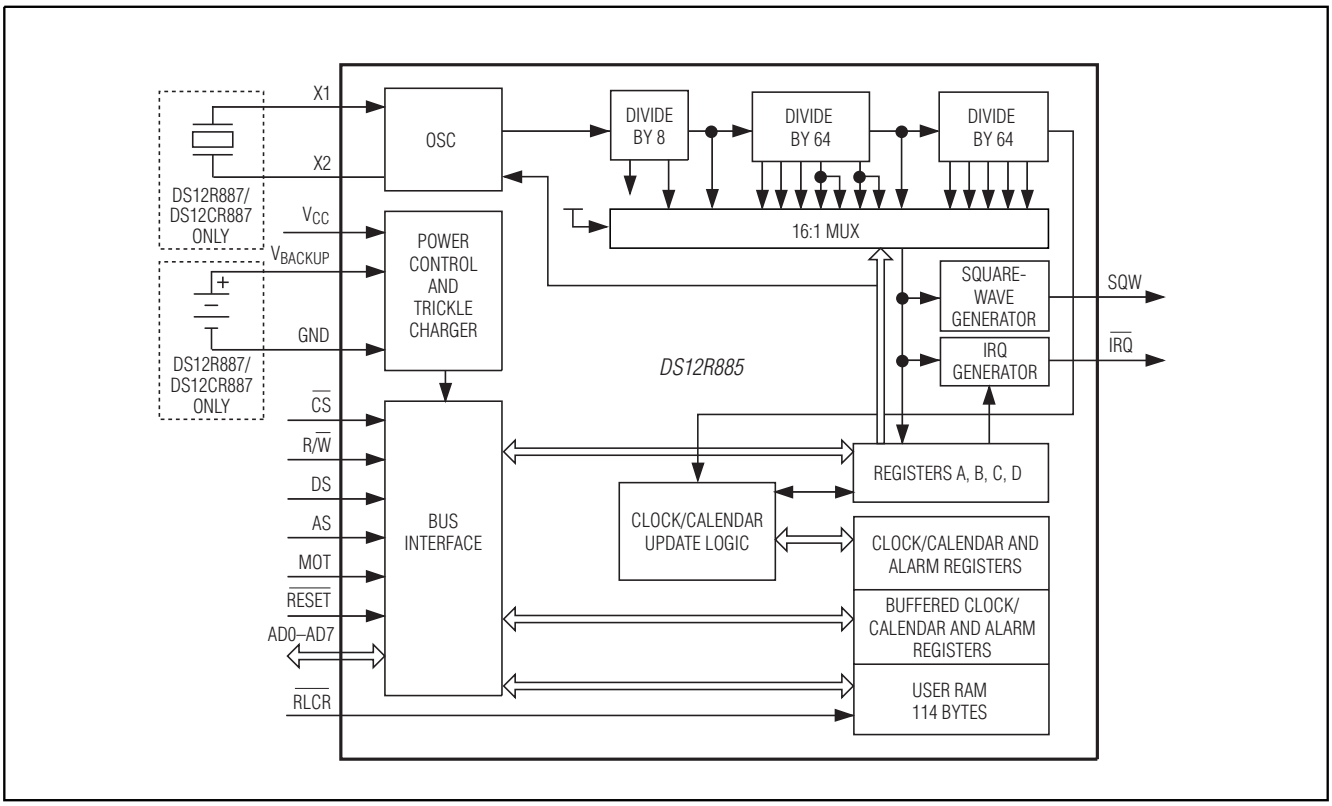
I_{BACKUP} vs. TEMPERATURE (DS12R885)



OSCILLATOR FREQUENCY vs. SUPPLY VOLTAGE



功能框图



引脚说明

引脚			名称	功能
SO	EDIP	BGA		
1	1	C5	MOT	Motorola或Intel总线时序选择端。利用此引脚选择两种总线类型中的一种。连接到V_{CC}时选择Motorola总线时序，接GND或悬空时选择Intel总线时序。该引脚内部有一个下拉电阻。
2	—	—	X1	连接标准的32.768kHz石英晶体。内部振荡电路设计用于驱动负载电容(C_L)为12.5pF的石英晶体。引脚X1为振荡器的输入，可选接外部32.768kHz振荡器。引脚X1外接振荡器时，内部振荡器输出引脚X2不连接。
3	—	—	X2	
4–11	4–11	F4, D4, F3, D3, F2, D2, F1, D1	AD0–AD7	双向地址/数据复用总线。地址于总线周期的开始发送到总线上，并由AS信号的下降沿锁存到DS12R885。所写的数据由DS信号的下降沿(Motorola时序)或R/$\overline{W}$信号的上升沿(Intel时序)锁存。读周期中，DS12R885于DS信号的后期(Motorola时序中DS和R/$\overline{W}$均为高，Intel时序中DS为低、R/$\overline{W}$为高)将数据发送到总线上。读周期结束后，总线恢复到高阻状态，同时DS在Motorola时序中变低，在Intel时序中变高。

引脚说明(续)

引脚			名称	功能
SO	**EDIP**	**BGA**		
12, 16	12	D5–D8, E1–E8, F5–F8	GND	地。
13	13	C1	$\overline{CS}$	片选信号输入。片选信号低电平有效，在访问DS12R885的总线周期内必须保持低电平。在Motorola时序中的DS和AS信号工作期间，Intel时序中的DS和R/$\overline{W}$信号工作期间，$\overline{CS}$必须保持有效。在$\overline{CS}$信号无效的情况下，总线操作将锁存地址，但不能访问芯片。当V_{CC}低于V_{PF}电压时，DS12R885内部通过禁止$\overline{CS}$输入来拒绝访问。此举旨在断电时保护RTC数据和RAM数据。
14	14	C3	AS	地址选通输入。由低变为高的地址选通脉冲用来分离总线信号。在AS信号的下降沿，地址锁存到DS12R885内。无论$\overline{CS}$信号是否有效，AS的下一个上升沿都将清除地址。地址选通信号必须先于每个读或写访问。如果在$\overline{CS}$信号无效的情况下执行了读或写操作，则必须在$\overline{CS}$信号有效时且在读或写访问之前，重新发送一次地址选通信号。
15	15	C2	R/$\overline{W}$	读/写输入。R/$\overline{W}$引脚有两种操作模式。在MOT引脚接V_{CC}的Motorola时序中，R/$\overline{W}$电平用来指示当前周期是读还是写。DS为高时，R/$\overline{W}$为高电平表示读周期，R/$\overline{W}$为低电平则表示写周期。在MOT引脚接GND的Intel时序中，R/$\overline{W}$为低电平有效。在此模式下，R/$\overline{W}$引脚与普通RAM的写使能信号($\overline{WE}$)工作方式类似。在此信号的上升沿锁存数据。
22	2, 3, 16, 20–22	A3	N.C.	未连接。此引脚应保持悬空。在EDIP封装中没有此引脚。
17	17	A1	DS	数据选通或读输入。DS引脚根据MOT引脚电平有两种模式。MOT引脚接V_{CC}时，选择Motorola总线时序。此模式下，总线周期的后期DS为正脉冲，称作数据选通脉冲。在读周期中，DS表明DS12R885将要驱动双向总线。在写周期中，DS信号的下降沿使DS12R885锁存所写的数据。当MOT接GND时，选择Intel总线时序。DS表示读取DS12R885数据驱动总线的时间周期。此模式下，DS引脚与普通RAM的输出使能信号($\overline{OE}$)工作方式类似。

引脚说明(续)

引脚			名称	功能
SO	EDIP	BGA		
18	18	A2	$\overline{RESET}$	复位输入。低电平有效$\overline{RESET}$引脚对时钟、日历或RAM不起作用。上电时可将$\overline{RESET}$引脚首先保持低电平，以等待电源稳定下来。保持低电平的时间可根据应用需要而定。但是，如果上电时使用$\overline{RESET}$信号，$\overline{RESET}$保持低电平的时间应当超过200ms，以保证控制DS12R885上电的内部定时器定时结束。当$\overline{RESET}$为低电平，而且V_{CC}大于V_{PF}时，将产生以下操作： A. 周期性中断使能(PIE)位清0。 B. 闹钟中断使能(AIE)位清0。 C. 更新结束中断使能(UIE)位清0。 D. 周期性中断标志(PF)位清0。 E. 闹钟中断标志(AF)位清0。 F. 更新结束中断标志(UF)位清0。 G. 中断请求状态标志(IRQF)位清0。 H. $\overline{IRQ}$引脚置为高阻状态。 I. 直到$\overline{RESET}$恢复为高电平才能访问器件。 J. 方波输出使能(SQWE)位清0。 在典型应用中，可将$\overline{RESET}$与V_{CC}连接。使得DS12R885在进入或退出电源失效状态时不影响任何控制寄存器的值。
19	19	A4	$\overline{IRQ}$	中断请求输出。DS12R885的$\overline{IRQ}$引脚低电平有效，可用作处理器的中断申请输入。只要引起中断的状态位置位，并且相应中断使能位也置位，$\overline{IRQ}$将一直保持低电平。处理器程序通常读取C寄存器来清除$\overline{IRQ}$引脚输出。$\overline{RESET}$引脚也会清除未处理的中断。没有中断发生时$\overline{IRQ}$为高阻状态。可将多个中断器件接到一条$\overline{IRQ}$总线上，只要它们均为漏极开路输出。$\overline{IRQ}$引脚为漏极开路输出，需要使用一个外接上拉电阻与V_{CC}相连。
20	—	—	V_{BACKUP}	连接可充电电池或超级电容。在V_{CC}大于V_{BACKUP}时，此引脚提供涓流充电功能。DS12CR887和DS12R887中没有V_{BACKUP}引脚，由内部连接到锂电池。
21	—	A5	$\overline{RCLR}$	清除RAM。$\overline{RCLR}$引脚低电平有效，用来清除(设为逻辑1)所有114个字节的通用RAM，但不影响与RTC相关的RAM。要清除RAM，必须在未加V_{CC}的后备电池模式下，将$\overline{RCLR}$强制为逻辑0。$\overline{RCLR}$功能通过人机接口使用(手工或通过一个开关实现对地短接)，而不是通过外部缓冲器驱动。该引脚已通过内部上拉，不要外接上拉电阻。
23	23	C4	SQW	方波输出。SQW引脚能提供RTC内部15级分频器的13个分频比之一。可通过对寄存器A编程来控制SQW引脚的输出信号频率，见表3。SQW信号可通过设置寄存器B的SQWE位打开或关闭。当V_{CC}低于V_{PF}时，SQW信号无法输出。
24	24	A6–A8, B1–B8, C6–C8	V_{CC}	主电源的DC电源引脚。V_{CC}在正常范围内时，可访问器件的所有功能，并能进行数据读写。如果V_{CC}低于V_{PF}，则禁止读和写。

详细说明

DS12R885是一款与DS12885 RTC兼容的替代产品。该器件提供14字节的实时时钟/日历、闹钟、控制/状态寄存器以及114字节的非易失、电池备份的静态RAM。还提供一个定时闹钟、三个可屏蔽中断和一个通用中断输出，以及可编程方波输出。DS12R885可以工作于24小时或带AM/PM指示的12小时格式。一个精密的温度补偿电路用来监视V_{CC}的状态。如果检测到主电源故障，该器件可以自动切换到备用电源供电。备用电源支持可充电电池或超级电容，器件内部包括一个集成的涓流充电器。涓流充电器始终有效。可通过多路复用的地址/数据总线访问DS12R885，总线支持Intel和Motorola模式。

DS12R887是一款集成了DS12R885裸片、32.768kHz石英晶体和一个可充电电池的表面贴封装器件。该器件提供实时时钟/日历、定时闹钟、三个可屏蔽中断和一个通用中断输出、可编程方波以及114字节非易失、电池备份的静态RAM。少于31天的月份，月末日期可自动调整，其中包括闰年补偿。该器件还可以工作于24小时或带AM/PM指示的12小时格式。一个精密的温度补偿电路用来监视V_{CC}的状态。如果检测到主电源故障，该器件可以自动切换到内部封装的备用电源供电。该器件可以通过一个多路复用的单字节接口访问，该接口支持Intel和Motorola模式。

DS12CR887 EDIP集成了DS12R885裸片、石英晶体和电池。DS12R885的充电电路被禁止。在没有提供V_{CC}的+25°C环境下，电池容量可为振荡器和寄存器供电长达五年之久。

DS12R887 BGA包括一个石英晶体和一个可充电电池。充满电的电池能够在没有提供V_{CC}的条件下(+25°C环境下，典型电流)为振荡器和寄存器供电大约11天(消耗10%的容量)或98天(消耗90%的容量)。如果放电深度为电池容量的10%，电池可最多充电1000次。如果放电深度为容量的90%，电池可最多充电30次。因此，该器件的寿命大约为30年(11天 x 1000次)或8年(98天 x 30次)。接通V_{CC}，电池充满大约需要两天时间。

有关电池寿命与放电深度的关系，以及基于充电次数的产品预期寿命问题的详细信息请参考有关应用笔记。

振荡器电路

DS12R885使用一个外部32.768kHz石英晶体。振荡器电路不需外接任何电阻和电容就能工作。表1给出了外接石英晶体的几个参数。振荡器电路的功能原理图见图1。振荡器由控制寄存器的一个使能位控制。振荡器启动时间高度依赖于石英晶体的特性、PCB泄露和电路布局。高ESR和过大的容性负载是导致较长启动时间的主要原因。如果电路使用符合推荐参数特性的石英晶体并且布局合理，启动时间通常不会超过1秒。

也可使用一个外部32.768kHz的振荡器来驱动DS12R885。在此配置中，X1引脚外接振荡器信号，X2引脚不连接。

表1. 石英晶体说明*

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Nominal Frequency	f_O		32.768		kHz
Series Resistance	ESR			50	kΩ
Load Capacitance	C_L		12.5		pF

**石英晶体、引线和石英晶体输入引脚应与RF信号隔离。更多说明请参考应用笔记58：*Crystal Considerations with Dallas Real-Time Clocks (RTCs)。

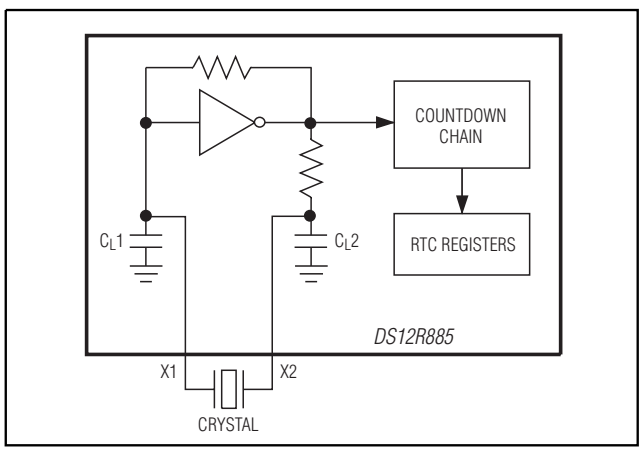


图1. 振荡器，用于说明内部偏置网络

时钟精度

时钟精度依赖于石英晶体精度和振荡器电路容性负载与石英晶体谐振容性负载之间的匹配度。温度变化所引起的石英晶体频率漂移会导致额外的误差。耦合到振荡器电路中的外部电路噪声会使时钟速度加快。图2展示了将石英晶体和振荡器与噪声进行隔离的典型PCB布局。更多详细信息请参考应用笔记58：*Crystal Considerations with Dallas Real-Time Clocks (RTCs)*。

DS12R887和DS12CR887出厂时经过校准，在t_{DR}数据保持时间内，+25°C环境下运行每月误差为±1分钟。

断电/上电注意事项

无论V_{CC}输入电平如何，实时时钟始终运行，RAM和闹钟存储器单元保持非易失。未加V_{CC}时，V_{BACKUP}必须保持在最低和最高限之间。当V_{CC}接入而且超过V_{PF} (电源失效门限值)，并经过t_{REC}时间后，能够访问该器件，前提是振荡器在运行而且振荡器的计时链没有复位(寄存器A)。该时间保证了系统加电后能够稳定下来。如果振荡器没有使能，振荡器使能位在上电时置位，并且马上可以访问该器件。

时钟、日历和闹钟单元

时钟和日历信息可通过读取相应寄存器字节获得。通过写相应的寄存器字节对时钟、日历和闹钟进行设置或初始化。存储时间、日历和闹钟的10个字节内容可以是二进制格式，也可以是BCD格式。

星期寄存器在午夜加一，从1递增到7。夏令时功能用到了星期寄存器，因此1被定义为星期天。少于31天的月份，月末日期可自动调整，其中包括闰年补偿。

在写内部时钟、日历和闹钟寄存器前，须将寄存器B的SET位设为逻辑1，以防止意外的读写操作引起时钟更新。除了用所选的格式(二进制或BCD码)写入10个字节的时钟、日历和闹钟寄存器外，寄存器B的数据模式位(DM)必须置为适当的逻辑值。所有10个时钟、日历和闹钟字节必须使用相同的数据模式。写入数据模式位后，寄存器B的SET位应该清0，以允许RTC更新时钟和日历数据。一旦初始化完成，RTC将使用所选的模式更新所有的数据。未重新初始化10个数据字节前不能更改数据模式。表2A和2B展示了时钟、日历和闹钟单元的BCD码和二进制格式。

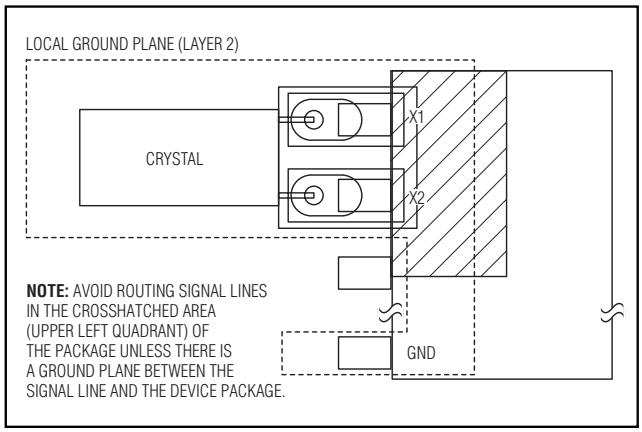


图2. 布局示例

未重新初始化小时单元前，不能更改24/12位。如选择12小时格式，小时字节的高位为逻辑1时代表PM。由于时钟、日历和闹钟字节为双缓冲结构，所以总可以进行访问。这七个字节每秒更新一次，每次增加一秒，同时检查闹钟条件。

如果在数据更新时读取时钟和日历数据，会产生一个问题，即秒、分、小时等可能彼此不相关。读到错误时钟和日历数据的概率很低。本文后面介绍了几种方法，以避免读到任何可能的错误时钟和日历数据。

可通过两种方法使用三个闹钟字节。第一，将闹钟时间正确写入时、分、秒闹钟单元，且闹钟使能位设为高，则每天在指定的时间都会触发闹钟中断。在此模式中，闹钟寄存器和相应时钟寄存器的“0”位必须总是写入0(见表2A和2B)。在闹钟和/或时钟寄存器的“0”位写入1时可能会导致不确定的操作。

第二种使用条件是向三个闹钟字节中的一个或多个字节插入一个“随意”状态。随意码可以是十六进制C0至FF中的任意一个。每个字节的最高两位设为逻辑1时即设置成随意状态。如果小时字节被设置为随意状态，则每小时都会产生一个闹钟信号。同样，如果小时和分钟闹钟字节设为随意码，则每分钟都会产生一个闹钟信号。三个闹钟字节均设为随意码，则每秒产生一次中断。

所有128个字节除了下面所列出的，其余都可以直接读写：

1) 寄存器C和D为只读。

2) 寄存器A的第7位只读。

3) 秒字节的MSB只读。

表2A. 时钟、日历和闹钟数据模式—BCD模式(DM = 0)

ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	FUNCTION	RANGE
00H	0	10 Seconds			Seconds				Seconds	00–59
01H	0	10 Seconds			Seconds				Seconds Alarm	00–59
02H	0	10 Minutes			Minutes				Minutes	00–59
03H	0	10 Minutes			Minutes				Minutes Alarm	00–59
04H	AM/PM	0	0	10 Hours	Hours				Hours	1–12 +AM/PM
	0		10 Hours							00–23
05H	AM/PM	0	0	10 Hours	Hours				Hours Alarm	1–12 +AM/PM
	0		10 Hours							00–23
06H	0	0	0	0	0	Day			Day	01–07
07H	0	0	10 Date		Date				Date	01–31
08H	0	0	0	10 Months	Month				Month	01–12
09H	10 Years				Year				Year	00–99
0AH	UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0	Control	—
0BH	SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE	Control	—
0CH	IRQF	PF	AF	UF	0	0	0	0	Control	—
0DH	VRT	0	0	0	0	0	0	0	Control	—
0EH-7F	X	X	X	X	X	X	X	X	RAM	—

X = 读/写位。

注：除非另有说明，寄存器状态在首次上电时没有定义。除秒寄存器外，时间和日期寄存器中数值为0的位可以写成1，但在时钟更新时会对其进行修正。除了闹钟屏蔽位，数值为0的位应该总是写为0。

表2B. 时钟、日历和闹钟数据模式——二进制模式(DM = 1)

ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	FUNCTION	RANGE
00H	0	0	Seconds						Seconds	00–3B
01H	0	0	Seconds						Seconds Alarm	00–3B
02H	0	0	Minutes						Minutes	00–3B
03H	0	0	Minutes						Minutes Alarm	00–3B
04H	AM/PM	0	0	0	Hours				Hours	01–0C +AM/PM 00–17
	0			Hours						
05H	AM/PM	0	0	0	Hours				Hours Alarm	01–0C +AM/PM 00–17
	0			Hours						
06H	0	0	0	0	0		Day		Day	01–07
07H	0	0	0	Date					Date	01–1F
08H	0	0	0	0	Month				Month	01–0C
09H	0	Year							Year	00–63
0AH	UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0	Control	—
0BH	SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE	Control	—
0CH	IRQF	PF	AF	UF	0	0	0	0	Control	—
0DH	VRT	0	0	0	0	0	0	0	Control	—
0EH-7F	X	X	X	X	X	X	X	X	RAM	—

X = 读/写位。

注：除非另有说明，寄存器状态在首次上电时没有定义。除秒寄存器外，时间和日期寄存器中数值为0的位可以写成1，但在时钟更新时会对其进行修正。除了闹钟屏蔽位，数值为0的位应该总是写为0。

控制寄存器

DS12R885有4个控制寄存器，在任何时间都可以进行访问，即使处于更新周期。

控制寄存器A

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0

第7位：正在更新(UIP)。该位是可监视的状态标志位。UIP为1时，立即进行更新传输。UIP为0时，在至少244µs的时间内不会进行更新传输。UIP为0时，RAM中的时钟、日历和闹钟信息都可以访问。UIP位是只读的，而且不受$\overline{\text{RESET}}$影响。将寄存器B的SET位置1时，禁止任何更新传输并且清除UIP状态位。

第6、5、4位：DV2，DV1，DV0。这三位用来启动或关闭振荡器，并复位计时链。010是唯一打开振荡器并允许RTC计时的位组合形式。11x组合使能振荡器，但将计时链保持在复位状态。010写入DV0、DV1、DV2后500ms进行下一次更新。

第3至0位：速率选择器(RS3、RS2、RS1、RS0)。这四个速率选择位用来选择15级分频器的13种分频之一或禁止分频器输出。按照所选择的频率产生方波输出(SQW引脚)和/或一个周期性中断。用户可进行如下操作：

1) 用PIE位使能中断；

2) 用SQWE位使能SQW输出；

3) 两者同时使能，并且速率相同；

   或

4) 两者都禁止。

表3列出了可通过RS位选择的周期性中断速率和方波频率。这四个可读/写位不受$\overline{\text{RESET}}$影响。

控制寄存器B

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE

第7位：SET。SET位清0时，更新传输功能正常进行，计数每秒加1。SET位写入1时，禁止任何更新传输，程序可对时钟和日历字节进行初始化，而不会在初始化过程中发生数据更新。读周期能以相似的方式进行。SET为可读/写位，不受$\overline{RESET}$或DS12R885的内部功能影响。

第6位：周期性中断使能(PIE)。PIE位为可读/写位，允许寄存器C中的周期性中断标志(PF)位将$\overline{IRQ}$引脚驱动为低电平。PIE位置1时，以寄存器A中RS3–RS0位指定的速率将$\overline{IRQ}$引脚驱动为低电平，并产生周期性中断。PIE位清0时，阻止周期性中断驱动$\overline{IRQ}$输出，但PF位仍以该速率周期性置位。PIE不受任何DS12R885内部功能的影响，但会由$\overline{RESET}$信号清0。

第5位：闹钟中断使能(AIE)。AIE位是可读/写位，置为1时，允许寄存器C中的闹钟中断标志(AF)位驱动产生$\overline{IRQ}$信号。在三个时钟字节与三个闹钟字节相等的每一时刻(还包括二进制数据11XXXXXX随意闹钟字节的情况)，都会产生一个闹钟中断。如果AIE位清0，AF位并不触发$\overline{IRQ}$信号。AIE不受任何DS12R885内部功能的影响，但会由$\overline{RESET}$信号清0。

第4位：更新结束中断使能(UIE)。UIE位是可读/写位，允许寄存器C中的更新结束中断标志(UF)驱动产生$\overline{IRQ}$信号。$\overline{RESET}$引脚变低或SET位变高将清除UIE位。UIE不受任何DS12R885内部功能的影响，但会由$\overline{RESET}$信号清0。

第3位：方波使能(SQWE)。该位置1时，SQW引脚输出一个方波信号，频率由寄存器A中的速率选择位RS3–RS0设定。SQWE位清0时，SQW引脚保持低电平。SQWE位是可读/写位，能由$\overline{RESET}$信号清除。禁止时SQWE为低，当V_{CC}低于V_{PF}时，变为高阻状态。$\overline{RESET}$信号将SQWE位清0。

第2位：数据模式(DM)。该位表示时钟和日历信息的格式为二进制还是BCD码。DM位通过程序设置为适当格式，如果需要可以读出。该位不受任何DS12R885内部功能或$\overline{RESET}$的影响。DM为1代表二进制格式，为0代表BCD格式。

第1位：24/12。24/12控制位确定小时字节的格式。1代表24小时模式，0代表12小时模式。该位是可读/写位，不受DS12R885内部功能或$\overline{RESET}$的影响。

第0位：夏令时使能(DSE)。DSE位是可读/写位，置1时产生两次夏令时调整。四月的第一个星期天，时间从1:59:59 AM调整到3:00:00 AM。十月的最后一个星期天，时间从1:59:59 AM变为1:00:00 AM。如果DSE使能，内部逻辑会在午夜时判断第一个/最后一个星期天的条件。如果判断时DSE没有置位，夏令时功能不会起作用。当DSE清0时，这些调整不会有效。该位不受DS12R885内部功能或$\overline{RESET}$的影响。

控制寄存器C

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
IRQF	PF	AF	UF	0	0	0	0

第7位：中断请求标志(IRQF)。当下列任何一个条件成立时，此位置为1：

PF = PIE = 1

AF = AIE = 1

UF = UIE = 1

每次IRQF为1时，$\overline{IRQ}$引脚都会变低。该位可通过读取寄存器C或$\overline{RESET}$信号清除。

第6位：周期性中断标志(PF)。该位为只读位，当分频器电路中所选的分支检测到一个边沿信号时该位置1。RS3至RS0设置周期频率。PF置1与PIE位的状态无关。PF与PIE均为1时，$\overline{IRQ}$信号有效并且IRQF置为1。该位可通过读取寄存器C或$\overline{RESET}$信号清除。

第5位：闹钟中断标志(AF)。AF为1表明当前时间与闹钟时间匹配。如果AIE位也为1，则$\overline{IRQ}$引脚变低并且IRQF置为1。该位可通过读取寄存器C或$\overline{RESET}$信号清除。

第4位：更新结束中断标志(UF)。每次更新周期结束，UF都将置1。如果UIE置为1，则UF位的1状态会使IRQF位置1，并使$\overline{IRQ}$引脚有效。该位可通过读取寄存器C或$\overline{RESET}$信号清除。

第3至0位：未使用。寄存器C中的这些位未被使用。这些位读取时值为0，但不能写入。

控制寄存器D

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
VRT	0	0	0	0	0	0	0

第7位：RAM和时钟有效(VRT)。该位指明连接到V_{BACKUP}引脚的电池状况，该位不能写入，而且读取时应该总为1。如果出现0，则说明内部锂电池电能耗尽，RTC和RAM的数据均不可靠。该位不受$\overline{RESET}$信号影响。

第6至0位：未使用。寄存器D中剩余的这些位未被使用。这些位读取时为0，但不能写入。

非易失RAM (NV RAM)

DS12R885内的114个通用NV RAM字节不面向任何特殊功能应用。处理器程序可将其用作电池备份的存储器，在更新周期中也可进行访问。

中断

对处理器来说，DS12R885带有三个独立的、全自动中断源。闹钟中断的频率可编程设置为每秒一次至每天一次。周期性中断的周期可在500ms至122µs之间选择。更新结束中断可用来通知程序更新周期已经结束。每一种中断情况都在本文的其它章节中进行了较详细的说明。

处理器程序可以选择是否使用中断，或使用哪些中断。用寄存器B的三位来使能中断。若某中断使能位写入逻辑1，则对应事件发生时允许触发中断。若某中断使能位写入0，则禁止对应事件对$\overline{IRQ}$引脚的控制。如果在使能某中断之前，其中断标志位早已经置位，则一旦使能该中断，$\overline{IRQ}$立即会输出一个中断电平，尽管触发中断的事件可能是在较早的时间发生的。这样一来，在某些情况下，程序应该在使能新的中断之前先清除前面已触发的中断。

当一个中断事件发生时，寄存器C中的相应标志位会置为逻辑1。这些标志位与寄存器B中对应的使能位状态无关。在清除对应使能位的情况下，这些标志位可用于轮询模式中。中断标志位是一个状态位，软件需要时可以对其进行查询。如果某个标志位为1，则向软件表明最近一次读完标志位后发生过一个中断事件；但是，使用标志位应该注意，每次读取寄存器C时，标志位都将被清除。寄存器C带有双锁存，因此在整个读周期，被置1的位能够保持稳定。所有置1 (高)的位在读后都被清0。在读周期内发生的新中断一直保持到读周期结束后。读寄存器C时，可能有1、2或3位处于置位状态。读取寄存器C值后应当对所使用的每一个标志位都进行检查，以确保不漏掉任何中断。

第二个使用标志位的方法是完全让中断使能。当一个中断标志位置1而且相应中断使能位也置位时，$\overline{IRQ}$引脚电平变低。只要三个中断源中至少有一个标志位和使能位都置位，$\overline{IRQ}$就保持低电平有效。$\overline{IRQ}$一旦为低电平，寄存器C的IRQF位即为1。确定RTC是否触发了中断可通过读取寄存器C实现。第7位(IRQF位)为1时表明DS12R885触发了一个或多个中断。读取寄存器C的操作能够清除所有有效的标志位和IRQF位。

振荡器控制位

DS12R887和DS12CR887出厂时内部振荡器均为关闭状态。这是为了避免在开始使用前消耗锂电池能量。

寄存器A的第4至第6位为010时打开振荡器并使能计时链。11x组合时(DV2 = 1, DV1 = 1, DV0 = X)打开振荡器，但振荡器的计时链保持为复位状态。第4至第6位的所有其它组合方式均使振荡器关闭。

方波输出选择

15级分频器的13个分频信号可通过一个16选1多路复用器提供，见功能图。方波和周期性中断发生器共享多路复用器的输出。寄存器A的RS0–RS3位确定多路复用器的输出频率(见表3)。一旦选定了频率，SQW引脚的输出可通过程序控制方波使能位SQWE来打开或关闭。

周期性中断选择

周期性中断能以500ms一次至122µs一次的速率使$\overline{IRQ}$引脚变为中断状态。此功能与闹钟中断不同，闹钟中断速率为每秒一次至每天一次。寄存器A中选择方波频率的位同时选择周期性中断的速率(表3)。改变寄存器A中RS0–RS3位将同时影响方波频率和周期性中断速率。但是每种功能在寄存器B中都有独立的使能位。SQWE位控制方波输出，寄存器B的PIE位使能周期性中断。周期性中断可与软件计数器一起使用，用来测量输入、控制输出间隔或等待下一个需要的软件功能。

表3. 周期性中断速率和方波输出频率

SELECT BITS REGISTER A				t_{PI} PERIODIC INTERRUPT RATE	SQW OUTPUT FREQUENCY
RS3	RS2	RS1	RS0		
0	0	0	0	None	None
0	0	0	1	3.90625ms	256Hz
0	0	1	0	7.8125ms	128Hz
0	0	1	1	122.070µs	8.192kHz
0	1	0	0	244.141µs	4.096kHz
0	1	0	1	488.281µs	2.048kHz
0	1	1	0	976.5625µs	1.024kHz
0	1	1	1	1.953125ms	512Hz
1	0	0	0	3.90625ms	256Hz
1	0	0	1	7.8125ms	128Hz
1	0	1	0	15.625ms	64Hz
1	0	1	1	31.25ms	32Hz
1	1	0	0	62.5ms	16Hz
1	1	0	1	125ms	8Hz
1	1	1	0	250ms	4Hz
1	1	1	1	500ms	2Hz

更新周期

无论寄存器B的SET位状态如何，DS12R885每秒都执行一次更新。当寄存器B的SET位置1时，双缓冲时钟、日历和闹钟字节的用户拷贝会冻结，不随时间增加而更新。但是，时钟计时链继续更新双缓冲的内部拷贝。这一功能保证了在读写时钟、日历和闹钟缓冲时仍可保持时钟精度。还保证了时钟和日历信息的一致性。更新周期还将闹钟字节和对应的时钟字节进行比较，如果匹配或三个字节均为随意码，则触发闹钟。

有三种访问RTC的方法可以避免访问到不一致的时钟和日历数据。第一种方法是使用更新结束中断。如果使能该中断，每个更新周期后产生的中断表明有超过999ms的时间来读取有效的时钟与日期信息。如使用该中断，中断程序结束前应该清除寄存器C的IRQF位。

第二种方法是使用寄存器A的正在更新位(UIP)判断更新周期是否正在进行。UIP位每秒产生一个脉冲。UIP变高时，更新传输将在244µs后发生。如果UIP读数为低，则用户在时钟/日历数据更新前至少有244µs的时间可以利用。因此用户的中断服务程序读取有效时钟/日历数据的时间不应超过244µs。

第三种方法是使用周期性中断来判断更新周期是否正在进行。在寄存器C的PF位两次置1之间，寄存器A的UIP位会置位一次(见图3)。如果周期性中断间隔大于t_{BUC}，则在每次周期性中断发生时都可以读取有效的时钟和日历信息。读操作应当在1个($t_{PI}/2 + t_{BUC}$)时间内完成，以保证不在更新周期时读取数据。

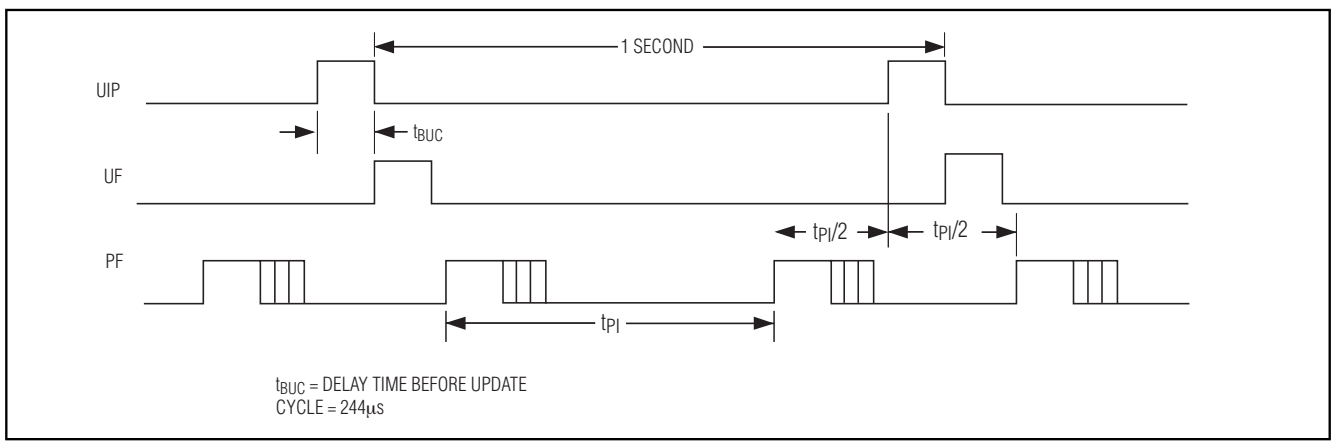


图3. UIP和周期性中断时序

操作、PCB布局和装配

EDIP和BGA封装包括一个石英晶体。可使用贴装设备安装，但要采取预防措施避免震动过度。为了防止破坏石英晶体，应避免使用超声波清理。

只要满足下列条件，BGA封装可以采取回流焊接：

1) 预热(低于160°C)时间在90秒以内。

2) 高于150°C的最长时间少于180秒。

3) 高于170°C的时间少于100秒。

4) 高于200°C的时间少于60秒。

5) 高于 220°C 的时间少于30秒。

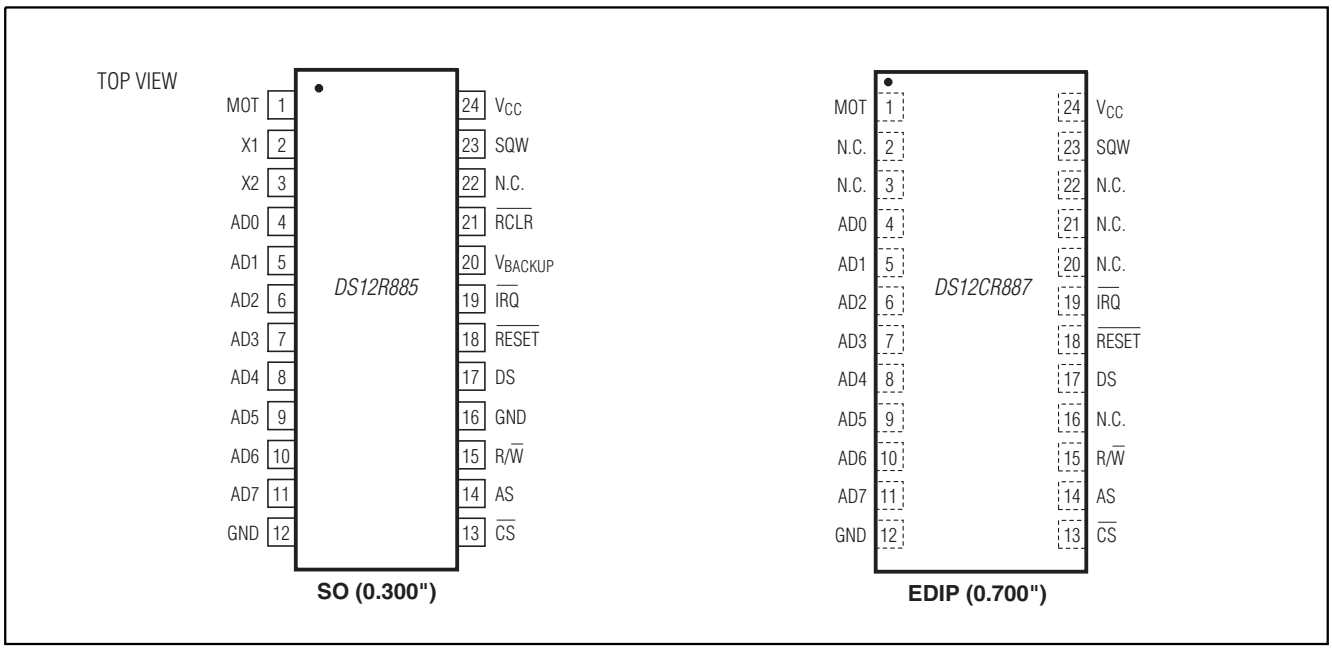
6) 峰值温度小于或等于230°C。

回流焊次数最多不能超过两次。

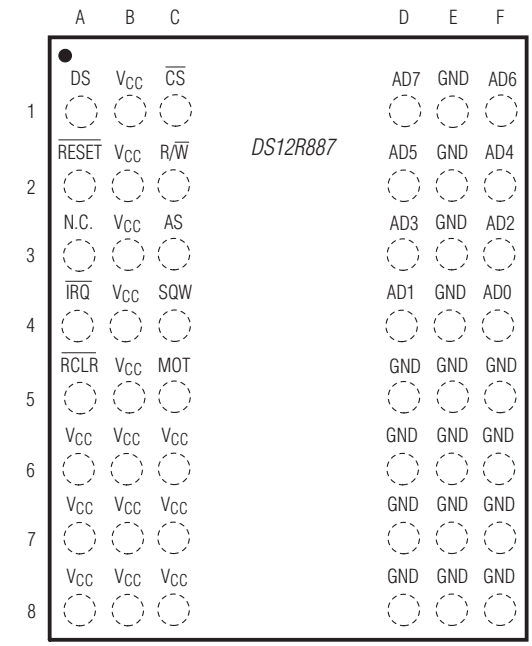
潮湿敏感封装的产品出厂时采用防潮包装。回流焊接时必须遵守封装标签上的操作指南以防损坏。参考IPC/JEDEC J-STD-020B标准对潮湿敏感器件(MSD)的分类。

EDIP (DS12CR887)模块可以采用传统的波峰焊工艺处理，只要温度不超过+85°C锂电池的限制。 允许使用水清洗工艺去除焊料，不建议使用超声振动处理流程，这种处理方式有可能导致晶体损坏。

引脚配置



引脚配置(续)



48 BGA

散热信息

PACKAGE	THETA-JA (°C/W)	THETA-JC (°C/W)
SO	105	22

芯片信息

TRANSISTOR COUNT: 17,061

PROCESS: CMOS

SUBSTRATE CONNECTED TO GROUND

封装信息

如需最近的封装外形信息和焊盘布局，请查询 **china.maxim-ic.com/packages**。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	文档编号
24 SO	W24+1	**21-0042**
24 EDIP	MDP24+1	**21-0241**
48 BGA	V48-H1	**21-0364**

修订历史

修订号	修订日期	说明	修改页
0	4/04	首次发布DS12R885。	—
1	4/04	数据资料中增加了DS12R887和DS12CR887的相关内容。	全部
2	12/04	首次发布DS12R887。	全部
3	4/06	修改*Intel总线写时序*，*Intel总线读时序*，*$\overline{IRQ}$释放延迟时序*、*上电/断电时序*图以及*功能框图*。增加了EDIP的相关内容：*操作*、*PCB布局和装配*部分。	5, 6, 7, 21
4	5/06	将SO封装的第16引脚从N.C.更改为GND。	10, 21
5	2/07	*更改特性*部分的114字节项；更改*定购信息*；修改*Intel总线读时序*图；增加有关DS12CR887和DS12R887不具备V_{BACKUP}引脚的注释，说明该引脚由内部连接到锂电池；增加*封装信息*表。	1, 6, 11, 22
6	4/10	在*Absolute Maximum Ratings*中更新存储温度范围，增加引线温度，并更新所有封装的焊接温度；从*定购信息*表中删除DS12R885和DS12CR887含铅器件型号。	1, 2, 22

Maxim北京办事处
北京8328信箱 邮政编码100083
免费电话：800 810 0310
电话：010–6211 5199
传真：010–6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

© 2010 Maxim Integrated Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。