

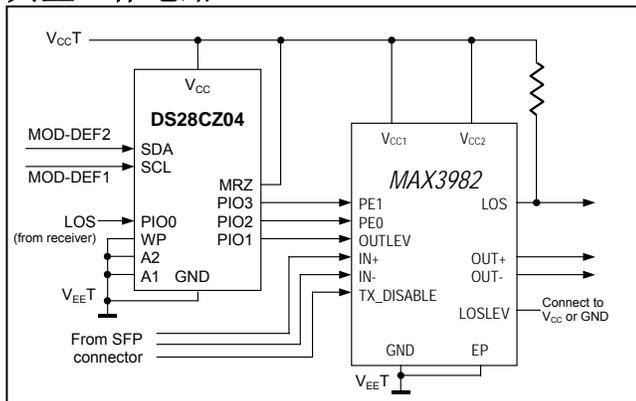
概述

DS28CZ04 是带有 4 个 PIO 的 4k 位 (512 x 8) EEPROM。通过工业标准 I²C 和 SMBus™ 接口与设备通信。存储器由两段组成，每段 256 字节，可按单字节写入或一次写入 16 字节。每个 PIO 端口即可设置为输入，也可以设置为输出。设为输出的 PIO 的上电状态存储在非易失存储器内。所有 PIO 都可通过用户通过串行接口重新配置。

应用

- 4G SFP 铜缆模块
- SFF-8472, SFP 光纤模块
- RAID 系统
- 服务器

典型工作电路



小外形可插拔(SFP)电路

SMBus 是 Intel Corp. 的商标。

特性

- 由 2 个 256 字节存储区组成的 4k 位 (512 x 8) EEPROM
- 可按单字节写入或一次写入 16 字节的 EEPROM
- 写保护控制引脚用于保护整个 EEPROM 阵列
- 25°C 时每个存储区可经受 200k 次写操作，EEPROM 写周期最大值为 10ms
- 4 个 PIO 口
- 启动时，每个 PIO 根据存储值设置为输入或输出
- 启动之后，所有的 PIO 端口可重新配置
- 用户可通过 I²C 总线和 SMBus 兼容串行接口进行编程设置
- 支持 100kHz 和 400kHz I²C 通信速率
- 工作范围：2.0V 至 5.25V，-40°C 至 +85°C
- 4mm x 4mm 12 引脚 TQFN 封装

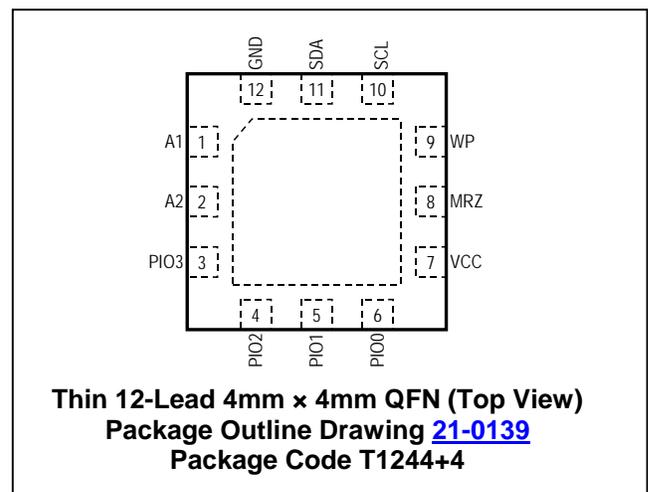
订购信息

PART	TEMP RANGE	PIN-PACKAGE
DS28CZ04G-4+	-40°C to +85°C	TQFN12-EP* 4x4mm ²
DS28CZ04G-4+T	-40°C to +85°C	TQFN12-EP* 4x4mm ² Tape-and-Reel

*EP = 裸焊盘。

+表示无铅封装。

引脚配置



注：该器件的一些修订资料可能与已经发布的勘误表有所不同。任何器件有可能通过不同的销售途径同时提供多个版本。器件勘误表的信息可以从网站：www.maxim-ic.com.cn/errata 下载。

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Pin Relative to Ground	-0.5V, +6V
Maximum Current SDA, SCL, A2, A1, WP, MRZ Pin	±20mA
Maximum Current each PIO Pin	±20mA
Maximum GND and V _{CC} Current	100mA
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See IPC/JEDEC J-STD-020

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device.

ELECTRICAL CHARACTERISTICS

(-40°C to +85°C, see Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}		2.0		5.25	V
Standby Current (Note 2)	I _{CCS}	Bus idle, V _{CC} = 5.25V		1.5	4	µA
Operating Current	I _{CCA}	Bus active at 400kHz, V _{CC} = 5.25V		250	500	µA
Programming Current	I _{PROG}	V _{CC} = 5.25V		500	1000	µA
Power-up Wait Time	t _{POIP}	(Note 3)			100	µs
EEPROM						
Programming Time	t _{PROG}				10	ms
Endurance	N _{CYCLE}	At +25°C (Notes 4, 5)	200k			—
Data Retention	t _{RET}	At +85°C (Notes 5, 6)	40			years
PIO Pins, See Figures 8, 9						
LOW-Level Output Voltage	V _{OL}	1mA sink current	0		0.4	V
HIGH-Level Output Voltage	V _{OH}	500µA source current	V _{CC} - 0.5V			V
LOW-Level Input Voltage	V _{IL}		-0.3		0.3 × V _{CC}	V
HIGH-Level Input Voltage	V _{IH}		0.7 × V _{CC}		V _{CC} + 0.3V	V
Output Data Valid Time	t _{PV}				1	µs
PIO Read Setup Time	t _{PS}	(Note 5)	150			ns
PIO Read Hold Time	t _{PH}	(Note 5)	150			ns
Leakage Current	I _L	High Impedance, at V _{CCMAX}	-1		+1	µA
SCL, SDA, A2, A1, WP, MRZ Pins (Note 7), See Figure 6						
LOW Level Input Voltage	V _{IL}		-0.3		0.3 × V _{CC}	V
HIGH Level Input Voltage	V _{IH}	(Note 8)	0.7 × V _{CC}		V _{CCmax} + 0.3V	V
Hysteresis of Schmitt Trigger Inputs	V _{hys}	(Notes 5, 9)	0.05 × V _{CC}			V
LOW Level Output Voltage	V _{OL}	At 4mA Sink Current, open drain			0.4	V
Output Fall Time from V _{Ihmin} to V _{ILmax} (Notes 5, 10)	t _{of}	Bus Capacitance from 10pF to 400pF	20 + 0.1C _B		250	ns
Pulse Width of Spikes that are Suppressed by the Input Filter	t _{SP}	SDA and SCL pins only (Note 5)			50	ns

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Current with an Input Voltage Between 0.1V _{CC} and 0.9V _{CCmax}	I _I	(Note 11)	-10		10	μA
Input Capacitance	C _I	(Notes 5, 9)			10	pF
SCL Clock Frequency	f _{SCL}	(Note 12)			400	kHz
Bus Time-Out	t _{TIMEOUT}	(Note 12)	25		75	ms
Hold Time (Repeated) START Condition. After this Period, the First Clock Pulse is Generated.	t _{HD:STA}	(Note 13)	0.6			μs
LOW Period of the SCL Clock (Note 13)	t _{LOW}	V _{CC} ≥ 2.7V	1.3			μs
		V _{CC} < 2.7V	1.5			
HIGH Period of the SCL Clock	t _{HIGH}	(Note 13)	0.6			μs
Setup Time for a Repeated START Condition	t _{SU:STA}	(Note 13)	0.6			μs
Data Hold Time (Notes 14, 15)	t _{HD:DAT}	V _{CC} ≥ 2.7V	0.3		0.9	μs
		V _{CC} < 2.7V	0.3		1.1	
Data Setup Time	t _{SU:DAT}	(Notes 13, 16)	100			ns
Setup Time for STOP Condition	t _{SU:STO}	(Note 13)	0.6			μs
Bus Free Time Between a STOP and START Condition	t _{BUF}	(Note 13)	1.3			μs
Capacitive Load for Each Bus Line	C _B	(Notes 5, 13)			400	pF

Note 1: Specifications at -40°C are guaranteed by design and characterization only and not production tested.

Note 2: To the first order, this current is independent of the supply voltage value.

Note 3: All PIO are tri-stated at beginning of reset prior to setting to Power-On values.

Note 4: This specification is valid for each 16-byte memory block.

Note 5: Not production tested. Guaranteed by design or characterization.

Note 6: EEPROM writes can become nonfunctional after the data-retention time is exceeded. Long-time storage at elevated temperatures is not recommended; the device can lose its write capability after 10 years at +125°C or 40 years at +85°C.

Note 7: All values are referenced to V_{IHmin} and V_{ILmax} levels.

Note 8: The maximum specification value is guaranteed by design, not production tested.

Note 9: Applies to SDA and SCL.

Note 10: C_B = total capacitance of one bus line in pF. If mixed with HS-mode devices, faster fall-times according to I²C-Bus Specification v2.1 are allowed.

Note 11: The DS28CZ04 does not obstruct the SDA and SCL lines if V_{CC} is switched off.

Note 12: The minimum SCL clock frequency is limited by the bus timeout feature. If the CM bit is 1 AND SCL stays at the same logic level or SDA stays low for this interval, the DS28CZ04 behaves as though it has sensed a STOP condition.

Note 13: System Requirement

Note 14: The DS28CZ04 provides a hold time of at least 300ns for the SDA signal (referred to the V_{IHmin} of the SCL signal) to bridge the undefined region of the falling edge of SCL.

Note 15: The maximum t_{HD:DAT} has only to be met if the device does not stretch the low period (t_{LOW}) of the SCL signal.

Note 16: A Fast-mode I²C-bus device can be used in a standard-mode I²C-bus system, but the requirement t_{SU:DAT} ≥ 250ns must then be met. This is automatically the case if the device does not stretch the LOW period of the SCL signal. If such a device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line t_{rmax} + t_{SU:DAT} = 1000 + 250 = 1250ns (according to the standard-mode I²C-bus specification) before the SCL line is released.

引脚说明

引脚	名称	功能
1	A1	器件地址第 1 位。
2	A2	器件地址第 2 位。
3	PIO3	PIO 端口#3。
4	PIO2	PIO 端口#2。
5	PIO1	PIO 端口#1。
6	PIO0	PIO 端口#0。
7	V _{CC}	电源输入端。
8	MRZ	主机复位(低电平有效)。执行串行接口和 PIO 端口的复位, 无需给器件再次上电。
9	WP	写保护输入, 连接至V _{CC} 或GND。当连接至V _{CC} 时, 整个EEPROM阵列都被写保护; 连接至GND时允许正常的读/写操作。在写访问过程中改变该引脚状态将会导致不可预知的结果。
10	SCL	I ² C/SMBus串行时钟输入; 必须通过一个上拉电阻与V _{CC} 相连。
11	SDA	I ² C/SMBus双向串行数据线; 必须通过一个上拉电阻与V _{CC} 相连。
12	GND	器件接地端。
EP	GND	裸焊盘, 均匀焊接到电路板的地层, 以保证正常工作。详细信息请参考 应用笔记 3273 。

概述

DS28CZ04 由串行I²C/SMBus接口、4k位EEPROM和 4 个双向PIO构成, 功能框图如图 1 所示。在标准模式或快速模式下, 器件通过其I²C接口与主处理器通信; 用户可把接口从I²C总线模式切换到SMBus模式。两个地址引脚允许同一总线上挂接 4 个DS28CZ04。主机复位引脚可复位整个器件, 而不必再次上电。

器件具有 512 字节的存储范围, 分为两段(下段、上段), 每段 256 字节(图 2)。存储器映射和器件地址与SFF-8472 数字诊断地址分配兼容。WP引脚接V_{CC}时, 整个EEPROM被写保护。通过一个地址(= 单地址模式)或独立的地址(多地址模式)访问PIO引脚。PIO直接访问寻址能够快速产生数据模式或实现快速采样。

DS28CZ04 包括几个 EEPROM 寄存器, 用户可选择 SFF 模式下器件是否上电, 定义每个 PIO 输出上电时的默认状态(高、低、输出模式)、PIO 的数据流向(流入、流出)、PIO 的输出类型(推挽式, 开漏式)、PIO 的读数据位反转(真、假)。一旦上电, 可通过 SRAM 寄存器修改 PIO 设置, 不会影响上电默认值。

图 1. 功能框图

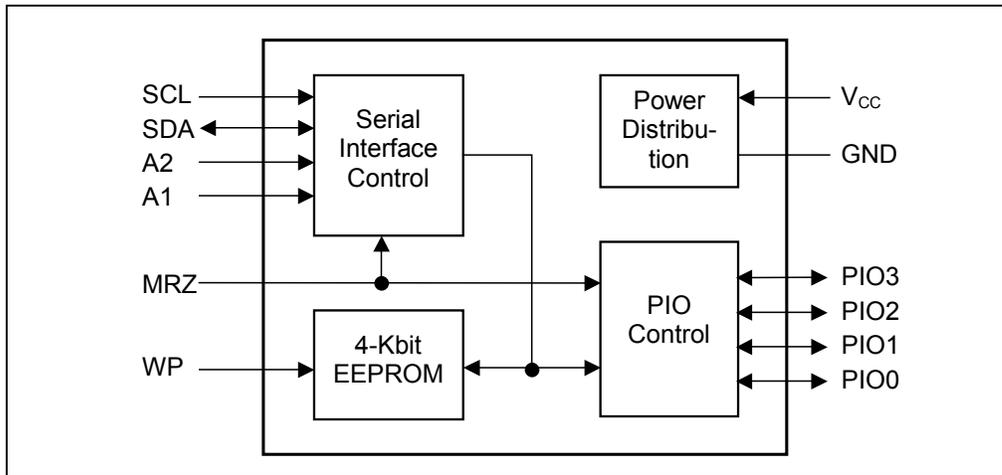


图 2A. 存储器映射(器件地址 = A0h)

ADDRESS	TYPE	ACCESS	DESCRIPTION
00h to 74h	EEPROM	R/W	User memory
75h	EEPROM	R/W	Special function/user memory; controls whether device powers-up into SFF Mode
76h	EEPROM	R/W	Power-on default for PIO output state and direction for all PIOs
77h	EEPROM	R/W	Power-on default for PIO output type and read-inversion for all PIOs
78h to 79h	—	R	Reserved (reads FFh)
7Ah	SRAM	R/W	Direction setting for all PIOs and device control/status register
7Bh	SRAM	R/W	PIO read-inversion and PIO output type for all PIOs
7Ch to 7Fh	SRAM	R/W	PIO Read/Write Access Registers
80h to FFh	EEPROM	R/W	User memory

图 2B. 存储器映射(器件地址 = A2h)

ADDRESS	TYPE	ACCESS	DESCRIPTION
00h to 6Dh	EEPROM	R/W	User memory
6Eh	EEPROM	R/W	SFF Mode off: User memory
	—	R	SFF Mode on: SFF Optional Status Register
6Fh to EFh	EEPROM	R/W	User memory
F0h to FFh	—	R	Reserved (reads FFh)

寄存器详细说明

特殊功能/用户存储器 (器件地址 = A0h)

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
75h	1	0	1	0	1	0	1	0

对该地址可以进行常规的读/写操作。如果设置为AAh，按照上表所示的位模板，在下次上电后，位于存储器地址7Ah (器件地址 = A0h)处的SFF 模式位将被设为 1，激活SFF模式 (器件地址A2h)，存储器地址 6Eh做为SFF可选状态寄存器。出厂默认值：00h。

PIO 输出状态和传输方向的上电默认值 (器件地址 = A0h)

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
76h	POD3	POD2	POD1	POD0	POV3	POV2	POV1	POV0

对该地址可以进行常规的读/写操作。出厂默认值：F0h。

位说明	位	定义
POV0: PIO0 上电状态	b0	上电时，PIO0 的输出默认状态。
POV1: PIO1 上电状态	b1	上电时，PIO1 的输出默认状态。
POV2: PIO2 上电状态	b2	上电时，PIO2 的输出默认状态。
POV3: PIO3 上电状态	b3	上电时，PIO3 的输出默认状态。
POD0: PIO0 上电方向	b4	上电时，PIO0 的默认方向；0 ⇒ 输出，1 ⇒ 输入。
POD1: PIO1 上电方向	b5	上电时，PIO1 的默认方向；0 ⇒ 输出，1 ⇒ 输入。
POD2: PIO2 上电方向	b6	上电时，PIO2 的默认方向；0 ⇒ 输出，1 ⇒ 输入。
POD3: PIO3 上电方向	b7	上电时，PIO3 的默认方向；0 ⇒ 输出，1 ⇒ 输入。

PIO 输出类型和读数据位反转的上电默认值 (器件地址 = A0h)

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
77h	POT3	POT2	POT1	POT0	PIM3	PIM2	PIM1	PIM0

对该地址可以进行常规的读/写操作。出厂默认值：F0h。

位说明	位	定义
PIM0: PIO0 上电读反相	b0	上电时, PIO0 读反相位的默认状态; 0 ⇒ 不反相, 1 ⇒ 反相。
PIM1: PIO1 上电读反相	b1	上电时, PIO1 读反相位的默认状态; 0 ⇒ 不反相, 1 ⇒ 反相。
PIM2: PIO2 上电读反相	b2	上电时, PIO2 读反相位的默认状态; 0 ⇒ 不反相, 1 ⇒ 反相。
PIM3: PIO3 上电读反相	b3	上电时, PIO3 读反相位的默认状态; 0 ⇒ 不反相, 1 ⇒ 反相。
POT0: PIO0 上电输出类型	b4	上电时, PIO0 输出类型的默认状态; 0 ⇒ 推挽时, 1 ⇒ 漏极开路。
POT1: PIO1 上电输出类型	b5	上电时, PIO1 输出类型的默认状态; 0 ⇒ 推挽时, 1 ⇒ 漏极开路。
POT2: PIO2 上电输出类型	b6	上电时, PIO2 输出类型的默认状态; 0 ⇒ 推挽时, 1 ⇒ 漏极开路。
POT3: PIO3 上电输出类型	b7	上电时, PIO3 输出类型的默认状态; 0 ⇒ 推挽时, 1 ⇒ 漏极开路。

传输方向和控制/状态寄存器 (器件地址 = A0h)

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
7Ah	ADMD	CM	BUSY	SFF	DIR3	DIR2	DIR1	DIR0

对该地址可以进行常规的读/写操作。第 5 位为只读位。第 0 至 3 位的上电默认值分别与存储器地址 76h (器件地址=A0h) 的第 4 至 7 位相同。

位说明	位	定义
DIR0: PIO0 方向	b0	PIO0 的方向; 0 ⇒ 输出, 1 ⇒ 输入。
DIR1: PIO1 方向	b1	PIO1 的方向; 0 ⇒ 输出, 1 ⇒ 输入。
DIR2: PIO2 方向	b2	PIO2 的方向; 0 ⇒ 输出, 1 ⇒ 输入。
DIR3: PIO3 方向	b3	PIO3 的方向; 0 ⇒ 输出, 1 ⇒ 输入。
SFF: SFF 模式位	b4	SFF模式控制; 0 ⇒ 关闭SFF模式, 1 ⇒ 开启SFF模式。 详细信息请参考存储器图 (器件地址 = A2h)和SFF选项状态寄存器说明。 SFF模式位, 置为 1 时, PIO0 和PIO1 至输入的方向不改变。
BUSY: EEPROM 忙指示	b5	如果该位读数为 1, 则为EEPROM写周期 (器件地址为A0h或A2h)。(采用SMBus模式; 读数为 0 时采用I ² C总线模式)。
CM: 通信模式	b6	选择串行通信接口模式。 0: I ² C总线模式 (上电默认值) 1: SMBus模式
ADMD: PIO 地址模式	b7	选择 PIO 读/写访问的地址模式, 详细信息请参考 PIO 读/写访问寄存器。 0: 多地址模式 (上电默认值) 1: 单地址模式

PIO 读反转和输出类型 (器件地址 = A0h)

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
7Bh	OT3	OT2	OT1	OT0	IMSK3	IMSK2	IMSK1	IMSK0

对该地址可以进行常规的读/写操作。上电默认值与存储器地址 77h (器件地址 = A0h) 相同。

位说明	位	定义
IMSK0: PIO0 读反相控制	b0	0 ⇒ 不反相, 1 ⇒ 从 PIO0 读取的数据反相。
IMSK1: PIO1 读反相控制	b1	0 ⇒ 不反相, 1 ⇒ 从 PIO1 读取的数据反相。
IMSK2: PIO2 读反相控制	b2	0 ⇒ 不反相, 1 ⇒ 从 PIO2 读取的数据反相。
IMSK3: PIO3 读反相控制	b3	0 ⇒ 不反相, 1 ⇒ 从 PIO3 读取的数据反相。
OT0: PIO0 输出类型	b4	0: ⇒ 推挽式, 1 ⇒ 漏极开路。
OT1: PIO1 输出类型	b5	0: ⇒ 推挽式, 1 ⇒ 漏极开路。
OT2: PIO2 输出类型	b6	0: ⇒ 推挽式, 1 ⇒ 漏极开路。
OT3: PIO3 输出类型	b7	0: ⇒ 推挽式, 1 ⇒ 漏极开路。

PIO 读/写访问寄存器 (器件地址 = A0h)

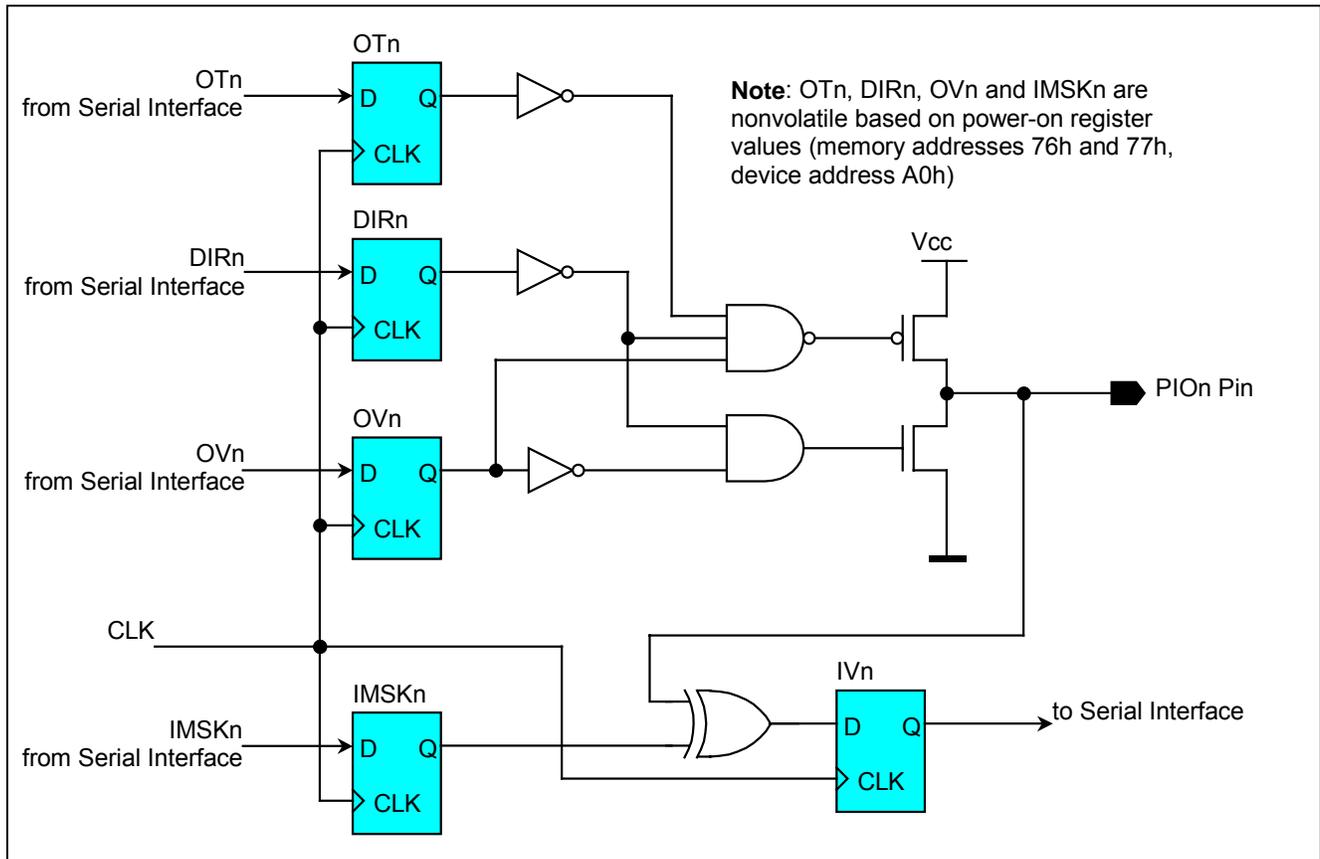
ADDR	b7	b6	b5	b4	b3	b2	b1	b0	PIO 地址模式
7Ch	IV3	IV2	IV1	IV0	OV3	OV2	OV1	OV0	单地址
	1	1	1	IV0	1	1	1	OV0	多地址
7Dh	00h (没有作用)								单地址
	1	1	1	IV1	1	1	1	OV1	多地址
7Eh	00h (没有作用)								单地址
	1	1	1	IV2	1	1	1	OV2	多地址
7Fh	00h (没有作用)								单地址
	1	1	1	IV3	1	1	1	OV3	多地址

对该地址可以进行常规的读、写操作。标为 1 的位无效；它们的状态不能改变。

位说明	位	定义
OV0: PIO0 输出	—	如果 DIR0 = 0 (输出), 则为 PIO0 的逻辑输出。
OV1: PIO1 输出	—	如果 DIR1 = 0 (输出), 则为 PIO1 的逻辑输出。
OV2: PIO2 输出	—	如果 DIR2 = 0 (输出), 则为 PIO2 的逻辑输出。
OV3: PIO3 输出	—	如果 DIR3 = 0 (输出), 则为 PIO3 的逻辑输出。
IV0: PIO0 输入	—	PIO0 与 IMSK0 “异或” 逻辑状态。
IV1: PIO1 输入	—	PIO1 与 IMSK1 “异或” 逻辑状态。
IV2: PIO2 输入	—	PIO2 与 IMSK2 “异或” 逻辑状态。
IV3: PIO3 输入	—	PIO3 与 IMSK3 “异或” 逻辑状态。

图 3 为 PIO 的简化原理图。通过 PIO R/W 访问寄存器和存储器地址 7Ah 和 7Bh (器件地址 = A0h) 访问触发器。在上电或复位期间, 根据存储器地址 76h 和 77h (器件地址 = A0h) 中的数据初始化触发器。当 PIO 设为输入时, PIO 输出为三态 (高阻)。当 PIO 被设为输出时, PIO 输入为输出状态与相应读反转位的逻辑“异或”。

图 3. PIO 简化原理图



SFF 可选状态寄存器 (器件地址 = A2h, 仅适用于 SFF 模式开启时)

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
6Eh	0	0	0	0	0	TXF	LOS	0

该寄存器为只读。每一位的功能见下表。第 0 位和第 3 至 7 位无效，其值始终为 0 且不能设为 1。

位说明	位	定义
LOS: 信号丢失	b1	报告 PIO0 的逻辑状态; SFF-8472 兼容模块, PIO0 连接到信号丢失指示器。
TXF: TX_FAULT	b2	报告 PIO1 的逻辑状态; SFF-8472 兼容模块, PIO1 连接到 TX_FAULT 指示器。

器件操作

应用中 DS28CZ04 的典型操作包括对存储器的写入和读出, 以及访问 PIO。所有操作都通过 I²C/SMBus 串行接口来控制。由于 DS28CZ04 具有不同功能的存储区和寄存器, 因此有几种特殊情况需要注意。详见 *读、写操作* 部分。

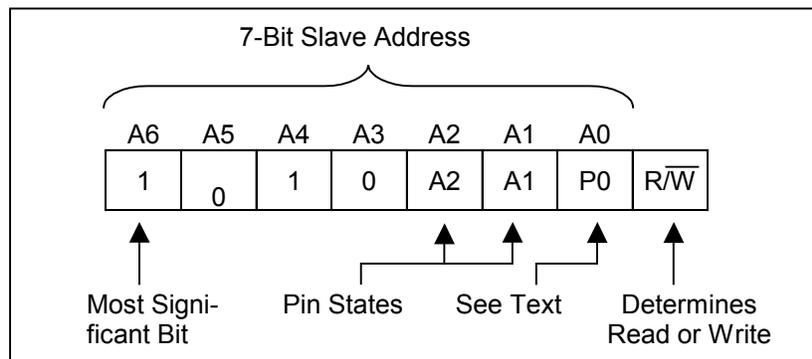
串行通信接口**通用特性**

串行接口通过数据线 (SDA) 和时钟信号 (SCL) 实现通信。SDA 和 SCL 均为双向通信, 通过一个上拉电阻连接至电源负极。不进行通信时, 两条总线均为高电平, 挂接在总线上的器件的输出级必须是开漏输出或集电极开路输出, 以实现线与功能。标准模式下的数据传输速率为 100kbps, 快速模式下, 数据传输速率为 400kbps。DS28CZ04 可工作在两种模式。

总线上发送数据的器件定义为发送器, 接收数据的器件定义为接收器。控制通信的器件叫做“主机”, 被主机控制的器件为“从机”。DS28CZ04 是从机器件。

从机地址/方向字节

单独寻址时, 每个器件必须具有一个不与总线上其他器件冲突的从机地址。DS28CZ04 响应的从机地址如图 4 所示。从机地址是从机地址/方向字节的一部分。DS28CZ04 从机地址的前 4 位设为 1010b。A1 和 A2 位对应于 A1 和 A2 引脚; A1 和 A2 位与相应引脚的逻辑状态一致时, 器件被选中。

图 4. DS28CZ04 从机地址

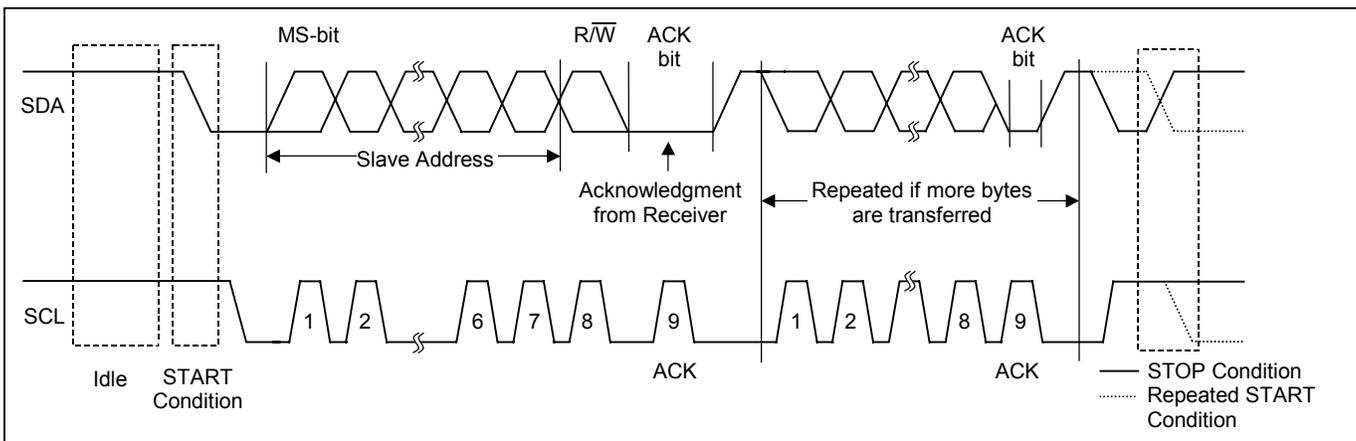
作为一个 512 字节存储器，DS28CZ04 访问一个存储单元需要 9 位地址。发送 P0 位(而不是 A0 地址位)表明是对存储器的“低段”(0b)寻址还是对“高段”(1b)寻址。这样，DS28CZ04 实际占用了两个逻辑从地址，分别对应两段寄存器。本文将寄存器的低段称为**器件地址 A0h**，高段称为**器件地址 A2h**。如果 A1 和 A2 引脚接逻辑 0，地址 A0h 和 A2h 正确。从地址会随这些引脚状态不同而相应改变。

从地址/方向位的最后一位($\overline{R/W}$)定义了数据的流向。设置为 0 时，将由主机发送数据到从机 (写地址模式)；设置为 1 时，由从机向主机发送数据 (读模式)。在读模式下访问 DS28CZ04 时虽然也发送 P0 位，但该数值被忽略(无关)；而是发送最近一次写访问的值。

I²C/SMBus 协议

只有当总线空闲时才能启动数据传输。主机产生串行时钟(SCL)控制总线访问，生成 START 和 STOP 条件，并决定在 START 和 STOP 条件之间通过数据线 (SDA)传输的字节数。数据以字节形式传送，首先传送最高有效位。每个字节后紧跟一个应答位，使主机与从机同步。在数据传输期间，只要时钟线为高电平，SDA 就必须保持稳定。当 SCL 为高时，若 SDA 发生跳变则认为是 START 或 STOP 条件。如图 5 所示，时序见图 6。

图 5. I²C/SMBus 协议



总线空闲或不忙

SDA 和 SCL 都无效，处于逻辑高电平状态。

START 条件

要与从机通信，主机必须产生一个 START 条件。START 条件定义为 SCL 为高电平时，SDA 由高电平跳变到低电平。

STOP 条件

为了终止与从机的通信，主机必须产生一个 STOP 条件。STOP 条件定义为 SCL 为高电平时，SDA 从低电平跳变到高电平。

重复 START 条件

如果先前的写访问已指定读存储器地址，读访问时通常采用重复 START 条件。数据传输结束后，主机可立即发送重复 START 条件，启动一次新的数据传输。重复 START 条件的产生方式与普通 START 条件相同，只是在 STOP 条件后，总线并不处于空闲状态而已。

数据有效

除了START和STOP条件，只有当SCL为低电平时，SDA的数据状态才允许改变。在整个SCL的高电平期间和必要的建立、保持时间 (SCL下降沿之后的 $t_{HD:DAT}$ ，SCL上升沿之前的 $t_{SU:DAT}$ ，参见图 6)内，SDA的数据必须保持稳定有效，每位数据需一个时钟脉冲。数据在SCL脉冲上升沿移入接收器。

写操作完成后，主机必须释放SDA数据线，以便在下一个SCL上升沿到来 (启动读操作)之前有充足的建立时间 (最小 $t_{SU:DAT} + t_R$ ，见图 6)。从机在SCL脉冲的下降沿移出SDA数据位，且数据位在当前SCL脉冲的上升沿保持有效。主机产生所有的SCL时钟脉冲，包括那些需要从从机读取数据的时钟脉冲。

从机应答

通常被选中的从机器件每收到一个字节必须产生一个应答信号。主机必须生成与该应答位相关的时钟脉冲。应答器件在此时钟脉冲期间把SDA拉至低电平，并在应答时钟为高电平以及所要求的建立、保持时间 (SCL下降沿之后的 $t_{HD:DAT}$ ，SCL上升沿之前的 $t_{SU:DAT}$)内，始终保持SDA为稳定的低电平。

主机应答

要继续从从机读取数据，主机必须每接收到一个字节产生一个应答信号。由主机生成与该应答位相关的时钟，应答器件在此时钟脉冲期间把SDA拉至低电平，并在应答时钟为高电平时始终保持SDA为稳定的低电平，同样，主机也要满足建立、保持时间 (SCL下降沿之后的 $t_{HD:DAT}$ ，SCL上升沿之前的 $t_{SU:DAT}$)的要求。

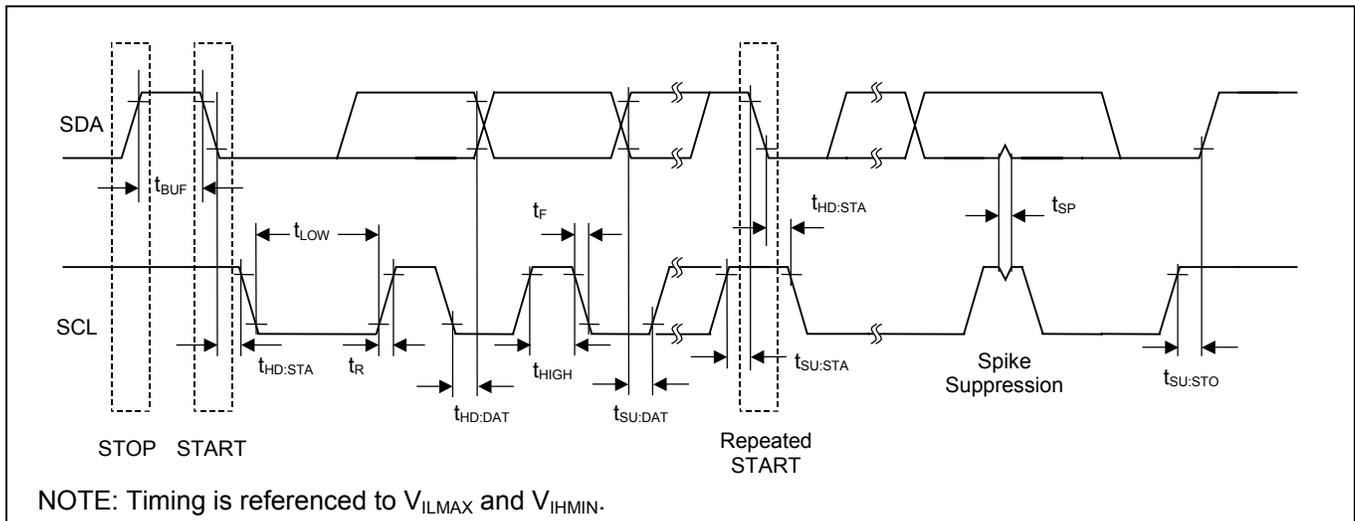
从机无应答

如果从机器件正忙则无法接收或发送数据。在 SMBus 模式下，DS28CZ04 将始终应答它的从机地址。但有些情况下从机会拒绝接收数据，例如，从机处于无效访问模式或 EEPROM 的写周期。DS28CZ04 不会应答它拒绝接收的字节，并在应答时钟为高电平期间将 SDA 置为高电平，DS28CZ04 没有应答的情况列表见读、写操作部分。

主机无应答

接收数据时，主机必须把数据终止指令发送给从机。为达到这一目的，主机不应答它从从机接收到的最后一个字节。应答时，从机释放 SDA，让主机产生 STOP 条件。

图 6. I²C/SMBus时序图



读、写操作

从主机的角度讲，DS28CZ04 就像一个 512 字节的存储器件，如图 2 存储器图所示，DS28CZ04 有不同类型的存储器：SRAM、EEPROM 和只读存储器。写操作取决于存储器类型和寻址单元的特性。SRAM 寄存器一次可以写 1 个或多个字节，EEPROM 每次可以写 1 至 16 个字节或 1 至 8 个字节，具体取决于存储单元。

写 DS28CZ04 时，主机以写模式访问器件，必须将方向位设置为 0 发送从机地址。从机地址还决定访问存储区的哪一半区域。写访问模式下发送的下一个字节是即将写入数据的地址 (“写指针”)或是写访问终止，没有发送数据 (“空操作”)情况下读操作的存储单元地址 (“读指针”)。其它字节取自存储器单元。

从 DS28CZ04 读取数据时，主机必须以读模式访问器件，必须在方向位设置为 1 时发送从机地址。地址指针确定主机开始读操作的位置。如上所述，要设置指针，DS28CZ04 必须在写模式下寻址。

写访问

由于存储器类型、特殊功能寄存器、PIO 访问寄存器和地址模式的不同，需要区分以下几种情况。

- 标准 EEPROM 16 字节 EEPROM 区
- 短字节 EEPROM 8 字节 EEPROM 区
- 特殊功能 EEPROM 16 字节 EEPROM 区，有一个或多个不可写入的字节
- 保留 16 字节，不可写入
- SRAM 写字节 包括 PIO 读/写操作寄存器的 SRAM 字节
- PIO 指令 仅用于 PIO 读/写访问寄存器

表 1A 列出了各种情况下可寻址的存储器以及器件的具体操作。所有 EEPROM 写操作都取决于 WP 引脚的状态，只有 EEPROM 不被写保护时 (WP 引脚状态 = 0)才能接收数据，将其传输到 EEPROM。对 PIO 读/写寄存器进行写操作时，无论是在它们的地址范围内操作还是直接寻址，都需要进一步区分 PIO 多地址模式和 PIO 单地址模式。通过地址 7Ah 传输方向和控制/状态寄存器(器件地址 A0h)的 ADMD 位选择寻址模式。多地址模式下，每一个 PIO 占一个存储器地址，而单地址模式下，所有 PIO 共用一个地址，详见 PIO 读/写访问寄存器部分。写 EEPROM 单元时，PIO 地址模式不会影响器件工作。

写 EEPROM 单元

如果在写访问模式下寻址 DS28CZ04，从由目标地址的 4 个最低有效位决定的偏移量开始，地址后的所有数据字节写入 16 位缓冲器。缓冲器从 16 字节 EEPROM 区域的寻址地址开始 (预加载)。输入数据替换预加载数据，每接收到一个字节，缓冲器的写指针和读指针加 1。如果缓冲器的写指针增加到它的最大值 1111b (标准 EEPROM 和特殊功能 EEPROM)或 0111b (短字节 EEPROM)，此后又接收到其它数据，则指针折回到初始位置 (翻转)，并把输入数据写入 EEPROM 写缓冲器的起始位置，并连续写入存储器。读指针的四个最低有效位按同样方式折回到初始地址。这样，读指针可保持写操作期间最后访问的地址。主机产生 STOP 条件时，启动缓冲器到 EEPROM 的传输。在写周期结束之前，DS28CZ04 为忙状态，持续时间为 t_{PROG} 。

表 1A. 写访问

WRITING WHILE DEVICE IS NOT BUSY		
PIO Mode	Starting Address	SMBus or I ² C Bus Mode
Multi-Address	Device address = A0h , any 16-byte block except 70h to 7Fh ; Device address = A2h , any 16-byte block except 60h to 6Fh, F0h to FFh (normal EEPROM)	If WP pin is tied to GND: Slave address is acknowledged; memory address is acknowledged, data is acknowledged; write pointer increments and wraps around from end of block to beginning of block, read pointer = write pointer + 1. If WP pin is tied to V_{CC}: data is not acknowledged, no EEPROM write cycle takes place; everything else remains the same.
	Device address = A0h , memory address from 70h to 77h (short EEPROM)	Same as “normal EEPROM” except that write pointer wraps around from 77h to 70h .
	Device address = A2h , memory address from 60h to 6Fh (special EEPROM)	SFF mode off: same as “normal EEPROM”. SFF mode on: data for address 6Eh is not acknowledged; everything else is the same as with “normal EEPROM”.
	Device address = A2h , memory address from F0h to FFh (reserved)	Same as “normal EEPROM” except that data is not acknowledged.
	Device address = A0h , memory address from 78h to 7Bh (SRAM write)	Slave address is acknowledged; memory address is acknowledged, data for address 78h and 79h is not acknowledged; write pointer increments and wraps around from 7Fh to 7Ah , read pointer = write pointer + 1.
	Device address = A0h , memory address from 7Ch to 7Fh (PIO direct)	Slave address is acknowledged; memory address is acknowledged, data is acknowledged; write pointer increments and wraps around from 7Fh to 7Ch , read pointer = write pointer + 1.
Single-Address	Device address = A0h , memory address from 78h to 7Fh excluding 7Ch (SRAM write)	Slave address is acknowledged; memory address is acknowledged, data for addresses 7Dh to 7Fh and 78h to 79h is not acknowledged; write pointer increments and wraps around from 7Fh to 7Ah , read pointer = write pointer + 1.
	Device address = A0h , memory address = 7Ch (PIO direct)	Slave address is acknowledged; memory address is acknowledged, data is acknowledged; write pointer stays at 7Ch ; read pointer stays at 7Ch .
	All other cases	Same as in PIO Multi-Address Mode.

轮询忙

忙状态下，DS28CZ0 的操作取决于通信模式，通信模式通过地址 **7Ah** *传输方向和控制/状态寄存器(器件地址 A0h)* 的 **CM** 位选择。见表 1B 和 2B。轮询忙时 PIO 地址模式不会影响器件操作。

I²C 总线模式下，DS28CZ04 忙时不应答它的从机地址，直到写周期结束。通过传输从机地址/方向字节并测试地址是否应答，主机可以访问器件。一旦 DS28CZ04 应答，主机即获知器件已为下一步操作准备就绪。

SMBus 模式下，DS28CZ04 总是应答它的从机地址。主机通过 *传输方向和控制/状态寄存器(器件地址 A0h)* 的 **BUSY** 位检测写周期是否完成。要获取此位信息，主机必须在写访问模式下寻址 DS28CZ04，器件地址 **A0h**，并把存储器地址设置为 **7Ah** (参见表 1B)。此时，主机可在读访问模式下寻址 DS28CZ04，并产生 **SCL** 脉冲读取数据，逐字节发送，不发送 **STOP** 命令 (见表 2B)。**BUSY** 位从 1 变为 0 表明一个写周期结束，字节传输过程中，在读出字节之前对 **BUSY** 位取样；因此，**读出状态反映了采样时的状态，并不代表实际状态**。要获取 **BUSY** 位的真实状态，主机可

以: a) 以最大数据速率进行读操作; b) 连续读两位, 之间无延迟, 并采用第二个字节的 **BUSY** 位; c) 重复以下操作: 读一个字节, 发出 **STOP**, 等待, 重新定位读指针, 在读模式下寻址 DS28CZ04, 从而获得另一个状态字节。

表 1B. 轮询忙准备

WRITING WHILE DEVICE IS BUSY			
PIO Mode	Starting Address	SMBus Mode	I ² C Bus Mode
Either Address Mode	Device Address = A0h , memory address = 7Ah	Slave address is acknowledged; memory address is acknowledged; data is not acknowledged; write pointer keeps its last position; read pointer = 7Ah .	Slave address is NOT acknowledged; memory address is not acknowledged; data is not acknowledged; write pointer keeps its last position; read pointer = write pointer + 1.
	Device Address = A0h , any memory address except 7Ah	Slave address is acknowledged; memory address is not acknowledged; data is not acknowledged; write pointer keeps its last position; read pointer = write pointer + 1.	
	Device Address = A2h , any memory address	Slave address is acknowledged; memory address is not acknowledged; data is not acknowledged; write pointer keeps its last position; read pointer = write pointer + 1.	

表 2B. 轮询忙

READING WHILE DEVICE IS BUSY			
PIO Mode	Read Pointer	SMBus Mode	I ² C Bus Mode
Either Address Mode	Device Address = A0h , memory address = 7Ah	Slave address is acknowledged; data is delivered; read pointer stays at 7Ah .	Slave address is NOT acknowledged; no data is delivered; read pointer stays as is.
	Device Address = A0h , excluding memory address 7Ah	Slave address is acknowledged; no data is delivered; read pointer = last write pointer + 1.	
	Device Address = A2h , any memory address	Slave address is acknowledged; no data is delivered; read pointer = last write pointer + 1.	

写 SRAM 和 PIO 单元

如果在写访问模式下寻址 DS28CZ04, 地址之后的所有数据字节会直接写入它们各自的存储区。写 PIO 读/写访问寄存器时, PIO 地址模式控制器件动作。指针和数据应答方式不同, 取决于是否进入 PIO 地址范围 (SRAM 写), 还是从 PIO 地址开始 (PIO 方向), 详细情况如表 1 所示。PIO 地址模式是影响指针动作的另一个参数, 图 7 阐述了可能的情况以及访问地址的顺序。

两种 SRAM 写操作的共同特点是起始地址位于 SRAM 存储区 (地址范围 78h 至 7Fh), 不包括用于 PIO 访问的地址。允许写操作的寄存器 (7Ah、7Bh 和有效的 PIO 读/写操作地址) 应答; 写指针递增并在地址 7Fh 之后返回到 7Ah。

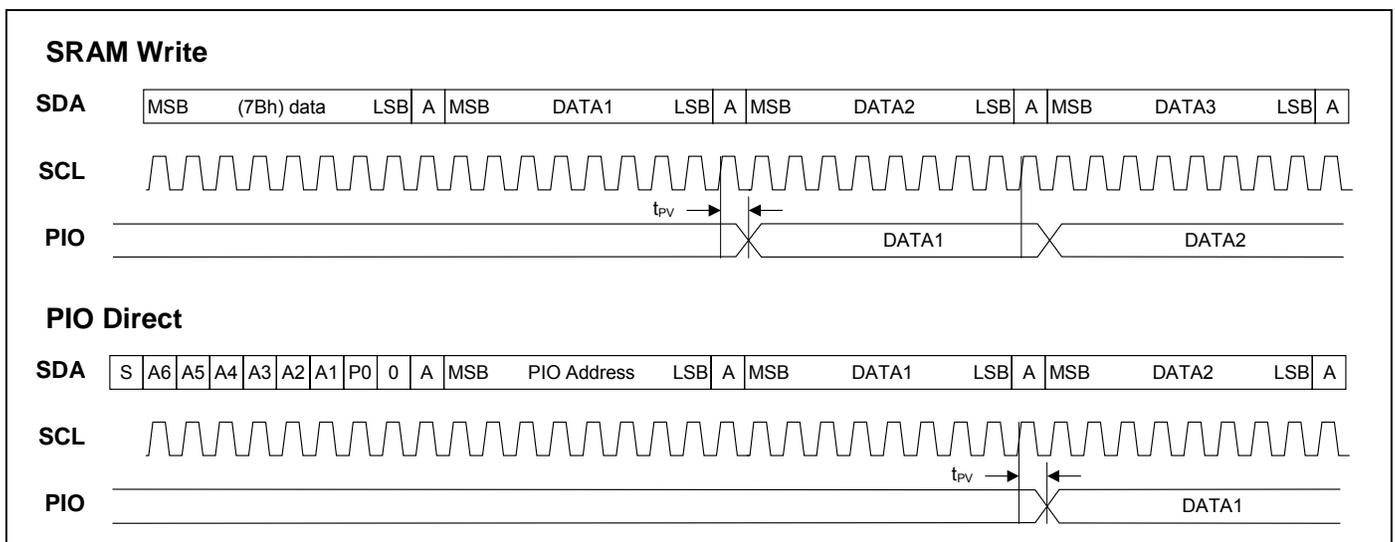
两个 PIO 方向的共同特征是起始地址位于 PIO 访问地址范围内。在 PIO 多地址模式下有 4 个此类地址 (7Ch 至 7Fh); 每个 PIO 占用本身的地址。数据始终被应答; 写指针递增到下一个 PIO 并最终返回到 7Ch。在 PIO 单地址模式下, 所有的 PIO 共用一个地址 (7Ch)。数据始终被应答; 写指针停留在 7Ch。

图 7. SRAM 和 PIO 写操作

	Memory Location		PIO Multi-Address Mode		PIO Single-Address Mode	
	Address	Function	SRAM Write	PIO Direct	SRAM Write	PIO Direct
Lower Half	00h to 77h	Memory				
	78h	Reserved				
	79h	Reserved				
	7Ah	Register				
	7Bh	Register				
	7Ch	PIO R/W				
	7Dh	PIO R/W				
	7Eh	PIO R/W				
	7Fh	PIO R/W				
	80h to FFh	Memory				
Upper Half	00h to FFh	Memory				

如图8所示，写PIO时，任何状态改变均由主机产生的SCL脉冲触发，作为PIO读/写访问寄存器的写字节应答。在输出转换时间 t_{PV} 过后，完成状态改变。在PIO单地址模式下，所有PIO几乎同时改变状态；在此模式下，PIO改变状态的最快速率为 $f_{SCL}/9$ 。在PIO多地址模式下每一个PIO单独寻址；在此模式下，进行循环写操作时，改变PIO状态的最快速率为 $f_{SCL}/36$ 。一旦到达STOP条件，数据传输立即停止。当这种情况发生时，最后一次应答的数据是有效的。

图 8. PIO 写访问时序



读寄存器和 PIO

如果在读访问模式下寻址 DS28CZ04，读指针决定了主机开始读取的地址。在写访问模式下寻址 DS28CZ04 时，不论写数据还是执行一次空操作均会设置读指针。上电时读指针复位到存储器下段地址 00h。写操作对读指针的影响如

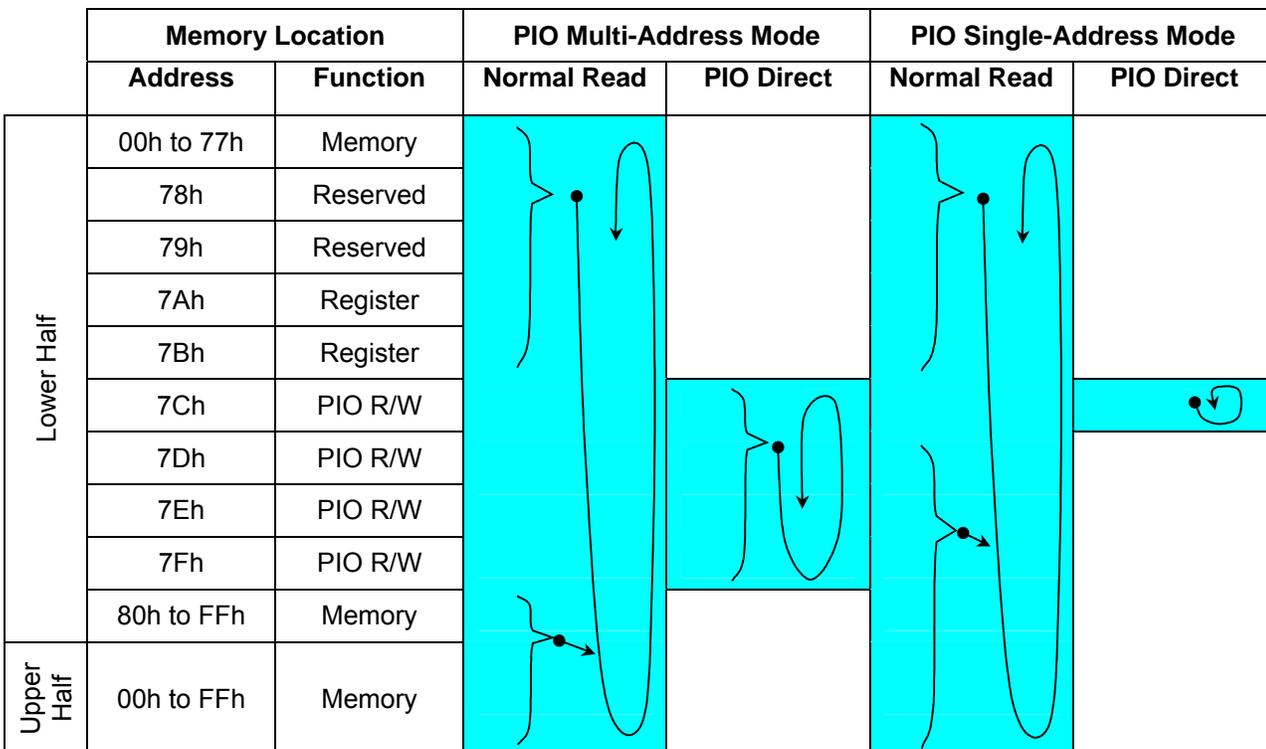
表 1A 所示。写访问时只有 8 或 16 字节的小存储区域被更新，与之相反，一次度操作可以读取 512 个字节。仅需要区别两种情况：标准读和 PIO 方向。表 2A 说明了这两种情况。

表 2A. 读访问

READING WHILE DEVICE IS NOT BUSY		
PIO Mode	Read Pointer	SMBus or I ² C Bus Mode
Multi-Address	Anywhere excluding device address = A0h , memory address from 7Ch to 7Fh (normal read)	Slave address is acknowledged; data is delivered; read pointer increments, eventually crossing from lower half to upper half of the memory, and wraps around from upper half FFh to lower half 00h.
	Device address = A0h , memory address from 7Ch to 7Fh (PIO direct)	Slave address is acknowledged; data is delivered; read pointer increments and wraps around from 7Fh to 7Ch, staying in the lower half of memory.
Single-Address	Anywhere excluding device address = A0h , memory address = 7Ch (normal read)	Slave address is acknowledged; data is delivered; read pointer increments, eventually crossing from lower half to upper half of the memory, and wraps around from upper half FFh to lower half 00h.
	Device address = A0h , memory address = 7Ch (PIO direct)	Slave address is acknowledged; data is delivered; read pointer stays at 7Ch.

PIO 寻址模式与读指针的初始位置共同决定了访问地址的顺序。图 9 举出了几种可能的情况。

图 9. 存储器和 PIO 读序列

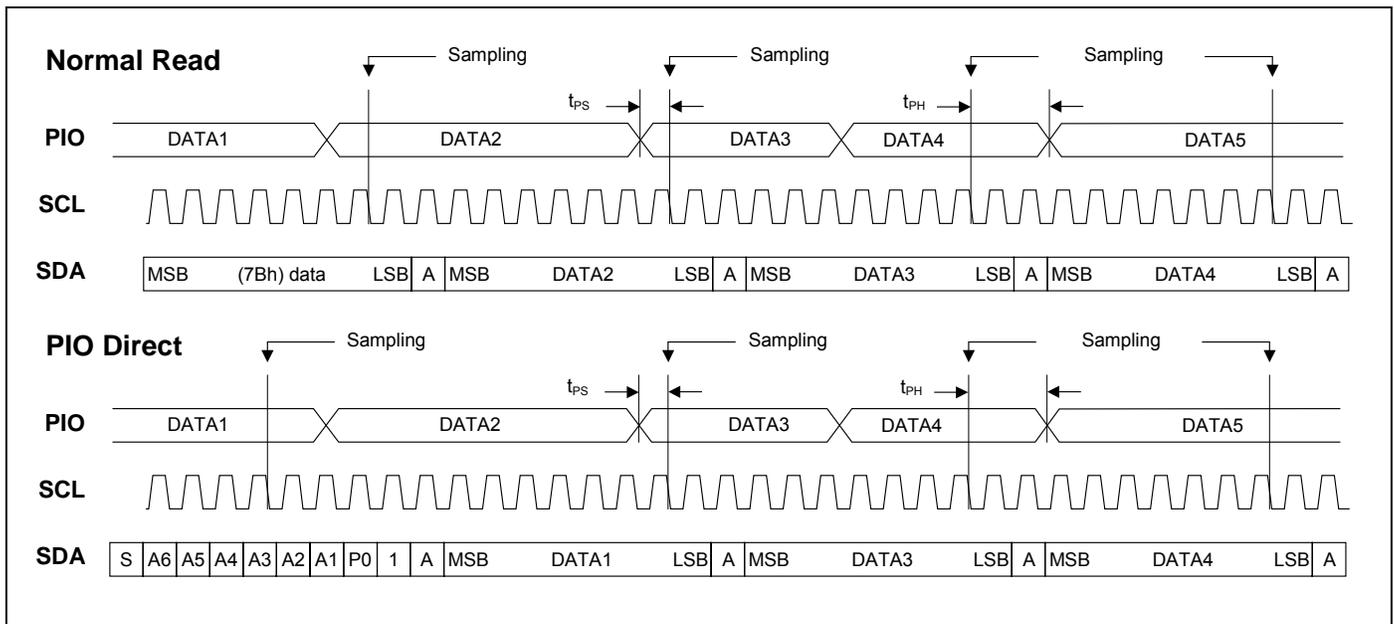


两种常规读访问的共同特性是除用于 PIO 访问的地址之外，起始地址可位于存储器的任何位置。每读一个字节读指针加 1。这样，连续的读操作可以获取地址连贯的数据，中间没有任何重复和间断。从保留区域读数据时，主机将接收到 FFh 字节。到达存储器上段结束位置时 (器件地址 A2h, 地址 FFh)，读指针将转到存储器下段的起始位置 (器件地址 A0h, 地址 00h)。到达存储器下段结束位置时，读指针继续从存储器的上段起始位置开始。要改变读地址，主机必须在写模式下寻址 DS28CZ04，并指定一个新的存储器地址。

两个 PIO 方向共同特征是起始地址位于用作 PIO 访问的地址范围内。在 PIO 多地址模式下，有 4 个这样的地址 (7Ch 至 7Fh)；每个 PIO 占用它本身的地址。一个字节发送到主机之后，读指针增加至下一个 PIO，最终又返回到 7Ch。在 PIO 单地址模式下，所有 PIO 共用一个地址 (7Ch)。因此，主机能够连续读取数据，但读指针始终停留在 7Ch。

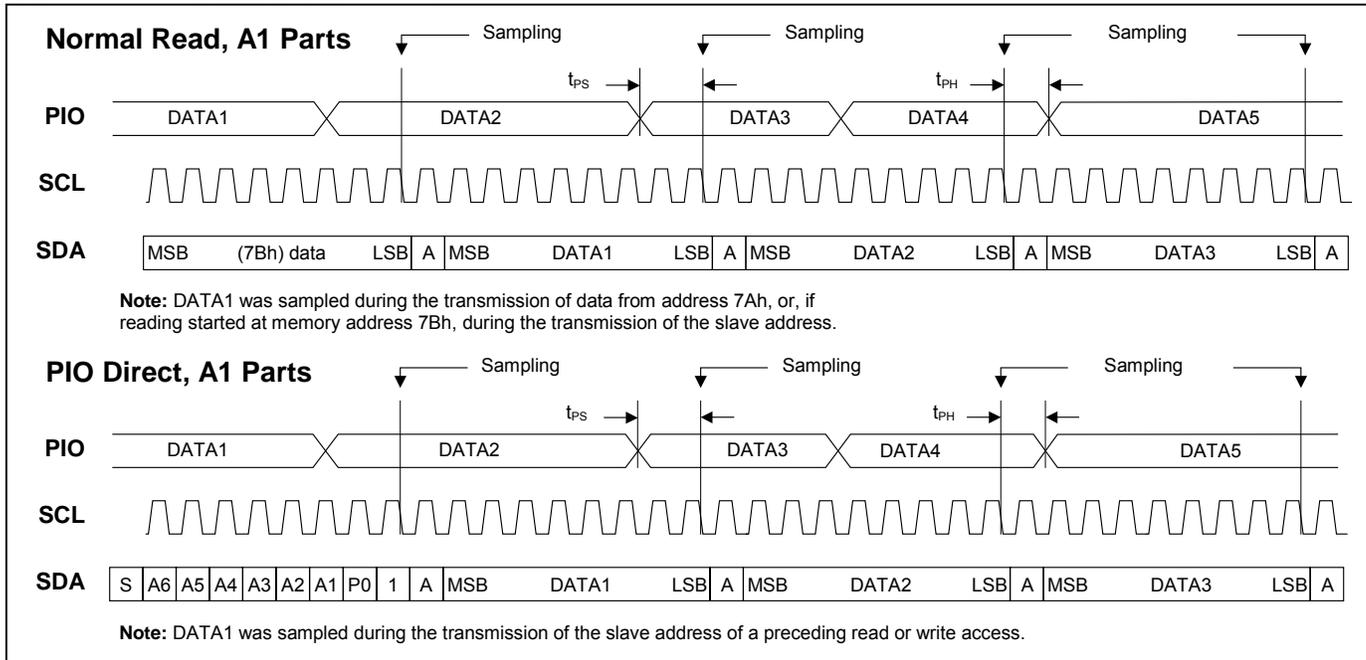
从 PIO 读取数据时，在应答位之前倒数第 2 位的 SCL 下降沿进行采样，如图 10 所示。PIO 方向模式下，在前 3 个 SCL 周期进行第一次采样，例如，在发送从机地址的 A3 位时。为了正确寻址， t_{PS} 和 t_{PH} 期间 PIO 状态必须保持不变。在 PIO 单地址模式下，所有 PIO 同时采样；直接访问 PIO 时，最大 PIO 采样速率为 $f_{SCL}/9$ 。在 PIO 多地址模式下，每个 PIO 单独采样；直接访问 PIO 时，最大采样速率为 $f_{SCL}/36$ 。一旦 STOP 条件到达，数据传输立即停止。这时，最后一个采样数据会丢失。

图 10. PIO 读访问时序



如果采用修订版 A1 器件，将始终在应答位之前最后一位的 SCL 下降沿进行采样。而报告给主机的采样数据要推迟一个字节，如图 10A 所示。由于从机地址的传输时序未定义，因此直接访问 PIO 时，主机接收到的第一个 PIO 采样数据应丢弃。针对求订版 A1 器件所开发的应用固件与新器件完全兼容。

图 10A. PIO 读访问时序, A1 版器件



I²C/SMBus 通信—图例

符号	说明
S	START 条件
ADL,0	选择对下段区域进行写操作
ADH,0	选择对上段区域进行写操作
ADX,1	选择读操作
ADX,0	选择写操作
A	应答

符号	说明
xx0xx1xxb	仅定义特殊位的字节
P	STOP 条件
A\	无应答
<byte>	传输 1 个字节
AMA	任意 8 位存储地址
Sr	重复 START 条件

命令指定通信方式—代码

主机至从机	从机至主机	编程
-------	-------	----

通信实例

设置为 I²C 模式, 从地址 25h 开始写 3 个字节, 存储器下段, 测试周期结束

设置 I²C 总线模式, 选择步骤, I²C 总线模式为上电时的默认值。

S	ADL,0	A	7Ah	A	x0xxxxxb	A	P
---	-------	---	-----	---	----------	---	---

S	ADL,0	A	25h	A	<byte>	A	P	编程
---	-------	---	-----	---	--------	---	---	----

写 3 个字节

S	ADX,0	A\	Sr	ADX,0	A\	Sr	ADX,0	A	P
---	-------	----	----	-------	----	----	-------	---	---

重复该过程, 完成该周期后, DS28CZ04 应答。

设置为 SMBus 模式，从地址 25h 开始写 3 个字节，存储器上段，测试周期结束



设置 SMBus 模式，该模式在下次上电或 MRZ 复位之前保持有效。



写 3 个字节



重复该过程，该周期结束时 BUSY 位为 0。

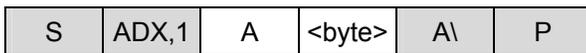
读所有存储器，从存储器下半段开始



↑ 设置读指针
↑ 选择下段

读 511 个字节
最后一个字节

启用 SFF 模式，读 SFF 可选状态寄存器



在多地址模式下，从 PIO0 开始写所有的 PIO0

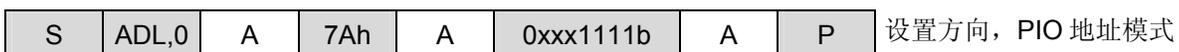


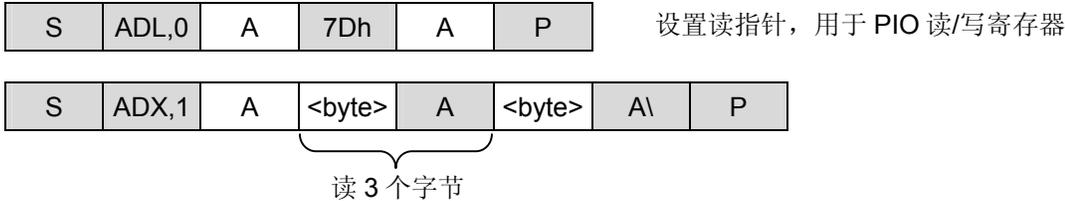
写 4 个字节

在单地址模式下，写所有 4 个 PIO



在多地址模式下，从 PIO1 开始读取 4 个 PIO





在单地址模式下，读所有的 4 个 PIO



应用信息

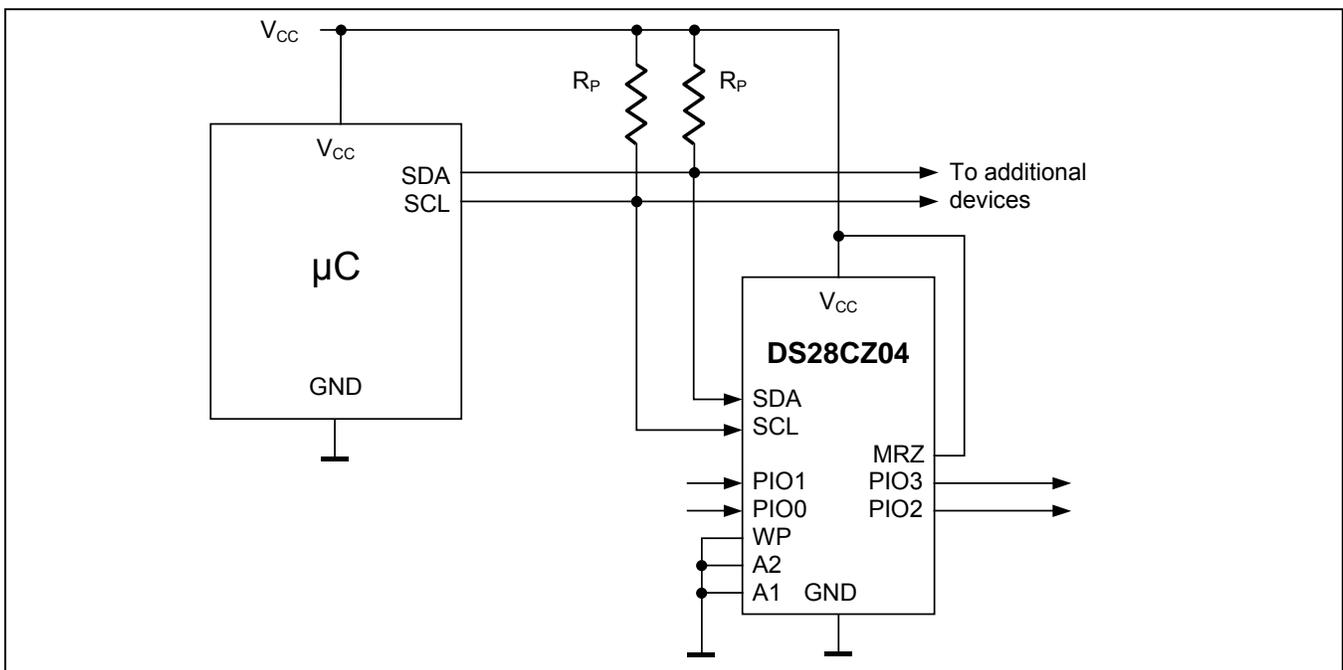
SDA 和 SCL 的上拉电阻

DS28CZ04 的 SDA 为开漏输出，需要一个上拉电阻 (图 11) 实现高电平逻辑。由于 DS28CZ04 仅将 SCL 作为输入 (无时钟扩展)，因此主机可通过一个带有上拉电阻的开漏输出/集电极开路输出或推挽输出驱动 SCL。

上拉电阻 R_p

依据 I²C 标准， V_{OL} 为 0.4V 时从机必须至少源出 3mA 电流。SMBus 标准要求 0.4V 时具有 4mA 的源出电流能力。在整个工作电压范围内，DS28CZ04 在 V_{OL} 为 0.4V 时源出至少 4mA 电流。此直流特性决定了上拉电阻的最小值： $R_{pMIN} = (V_{CC} - 0.4V)/4mA$ 。最大工作电压为 5.25V 时，上拉电阻的最小值为 1.2k Ω 。图 12 中的“Minimum R_p ”曲线体现了最小上拉电阻随工作 (上拉) 电压的变化情况。

图 11. 微处理器扩展端口原理图

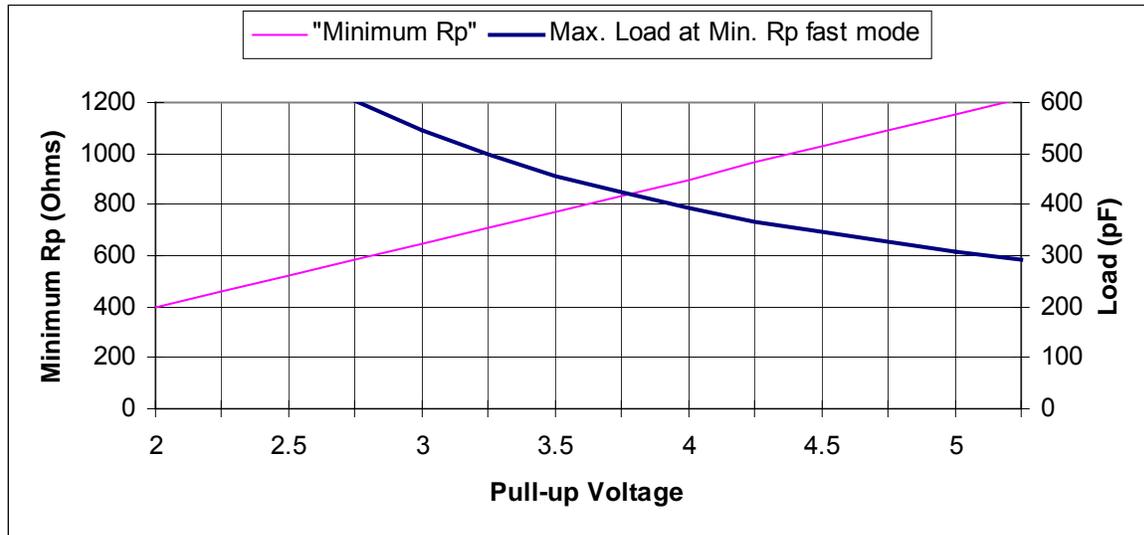


对于 I²C 系统，从上拉电压的 30% 至 70% 的过渡时间定义为上升时间或下降时间。最大总线电容 C_B 为 400pF。最大上升时间不能超过 300ns。假设上升时间取最大值，对于任何给定的 C_B ，最大电阻值为： $R_{P_{MAX}} = 300ns / (C_B \cdot \ln(7/3))$ 。总线电容为 400pF 时，最大上拉电阻为 885Ω。

由于上拉电阻为 885Ω，因此需要满足上升时间指标以及 400pF 的总线电容。885Ω 上拉电阻比在 5.25V 下要求的 $R_{P_{MIN}}$ 要低，因此必须找出另一种方法。首先计算在任何给定工作电压下的最小上拉电阻 (通过 “Minimum R_P ” 曲线)，然后计算产生 300ns 的上升时间各自对应的总线电容，生成如图 12 所示的 “Max. Load...” 曲线。

只有当上拉电压为 4V 或更低时，才允许 400pF 的最大总线电容。总线电容减小为 300pF 时能够适合整个工作电压范围。各种电压下对应的上拉电阻值见 “Minimum R_P ” 曲线。

图 12. 高速 I²C 模式下的上拉电阻选择



封装信息

(本数据资料提供的封装信息可能不是最近的规格，如需最新的封装信息请访问：www.maxim-ic.com.cn/DallasPackInfo.)

Maxim 北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2007 Maxim Integrated Products, Inc. All rights reserved.

Maxim 标志是 Maxim Integrated Products, Inc. 的注册商标。Dallas 标志是 Dallas Semiconductor Corp. 的注册商标。