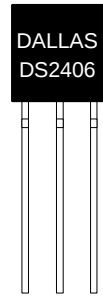


特性

- 通过 1-Wire® 总线，可以控制漏极开路 PIO 引脚和读入其逻辑电平状态，以实现闭环控制。
- DS2406 除了没有用户可编程的上电设置及隐含模式外，引脚与 DS2407 完全兼容且可相互替换。
- 在输出为 0.4V 时，PIO 通道 A 的吸流能力为 50mA，且带软启动输出；PIO 通道 B 的吸流能力为 8mA。
- PIO-A 的最高工作电压为 13V，PIO-B 的最高工作电压为 6.5V。
- 内置 1024 位用户可编程 OTP EPROM
- 内置用户可编程状态存储器，用于控制器件的工作。
- 一条公用 1-Wire 总线上可挂接多个 DS2406，这些 DS2406 的接通或断开状态彼此独立，不受总线上其它器件的影响。
- 唯一的、经工厂光刻和检测的 64 位注册码 (8 位家族码 + 48 位序列号 + 8 位 CRC 校验码) 保证无错误分配和绝对唯一性，因为没有两个器件的注册码彼此相同。
- 片上 CRC16 发生器可对数据传输进行差错检测。
- 内置多点控制器可保证器件兼容于其它 1-Wire 网络产品。
- 将控制、地址、数据、编程和电源传输集于一条数据线。
- 可直接与微处理器的一个端口连接，传输数据速率高达 16.3kbps。
- 支持条件搜索，搜索条件可由用户设置。
- 通过 V_{CC} 引脚可用一个外部电源为器件供电 (仅 TSOC 封装有此功能)。
- 温度范围为 -40°C 至 +85°C 时，1-Wire 通信的工作电压为 2.8V 至 6.0V。
- 采用低成本的 TO-92 或 6 引脚 TSOC 表面贴封装。

引脚排列

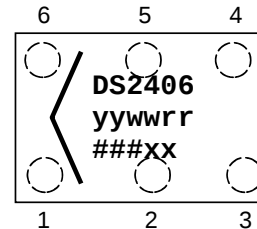
TO-92



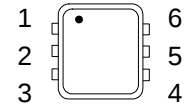
1 2 3



底视图



6 引脚 TSOC 封装



顶视图



侧视图

参见机械尺寸部分

倒装芯片，顶视图及光刻标记，触点不可见。
“yywwrrr” = 日期/修订
###xx = 标签代码见 [56-G7019-001](#)，可获得封装图。

注：TO-92 封装的引脚在卷带内的排列间隔大约为 100mil (2.54mm)，详细信息请参考图 [56-G0006-003](#)。

引脚说明

	TO-92	TSOC/CSP
Pin 1	Ground	Ground
Pin 2	Data	Data
Pin 3	PIO-A	PIO-A
Pin 4	---	V _{CC}
Pin 5	---	NC
Pin 6	---	PIO-B

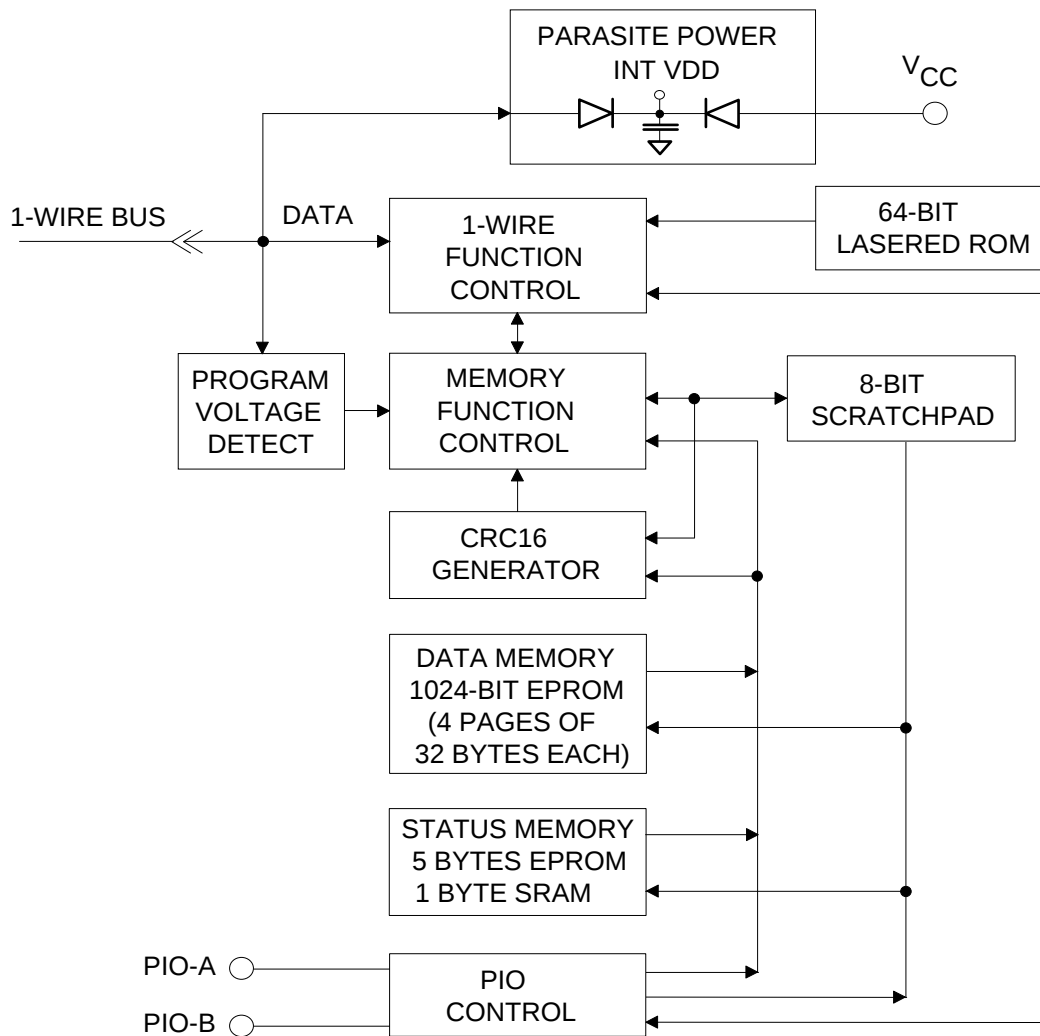
订购信息

DS2406	TO-92 Package
DS2406/T&R	TO-92 Package, Tape & Reel
DS2406P	6 Pin TSOC Package
DS2406P/T&R	TSOC Package, Tape & Reel
DS2406+	TO-92 Package
DS2406+T&R	TO-92 Package, Tape & Reel
DS2406P+	6 Pin TSOC Package
DS2406P+T&R	TSOC Package, Tape & Reel
DS2406X	Flip Chip, 10K Tape & Reel
+ Indicates lead-free compliance.	

可寻址开关简介

带存储器的双路可寻址开关 DS2406 提供了一种简便的方法，通过 1-Wire 总线远程控制一对漏极开路晶体管和回读每个晶体管的逻辑电平，从而实现闭环控制。每个 DS2406 都具有工厂刻度在片内的 64 位 ROM 注册码，以提供有保证的、绝对可追溯的唯一身份。该器件的 1024 位 EPROM 可以用作电子标签，保存诸如开关信息、物理位置、安装日期之类的信息。与 DS2406 的通信遵循 Dallas Semiconductor 标准的 1-Wire 协议，可以通过更少的硬件，如微处理器的一个端口引脚来实现。多个 DS2406 器件可同时挂接在一个公用的 1-Wire 网络上，且彼此可以独立工作。如果这些器件在满足某些用户指定的条件，如输出晶体管状态、静态逻辑电平或晶体管输出状态变化等时，将响应条件搜索命令。

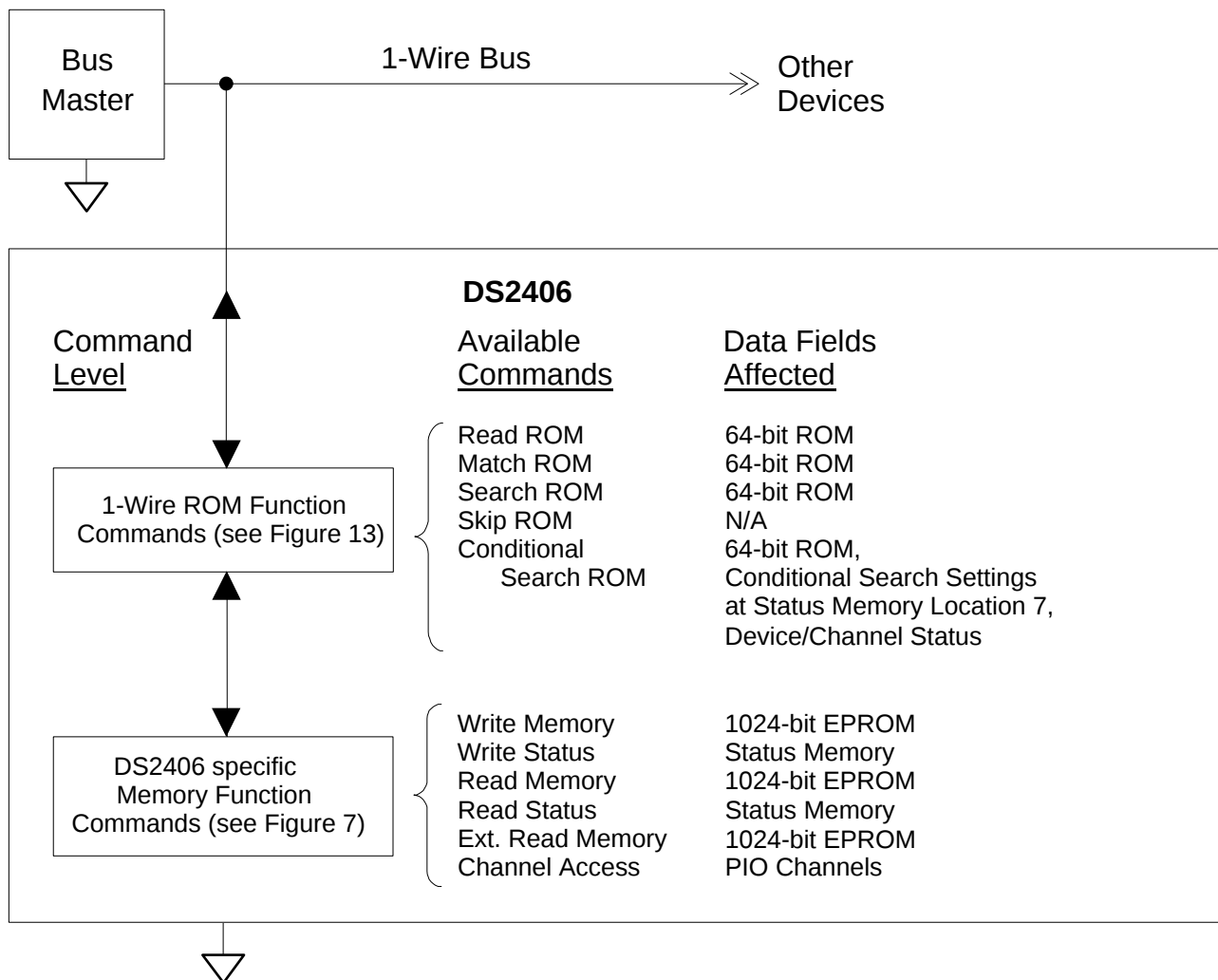
DS2406 结构框图 图 1



概述

DS2406 的主要控制单元和存储器部分的关系框图如图 1 所示。该器件主要包括 4 个数据部分：64 位光刻 ROM、1024 位 EPROM 数据存储器、状态存储器和 PIO 控制模块。DS2406 的 1-Wire 协议分层结构如图 2 所示。总线主机必须要先发出一个 ROM 功能命令，ROM 包括 5 种功能命令：Read ROM, Match ROM, Search ROM, Skip ROM 以及 Conditional Search ROM，这些 ROM 功能命令遵循的协议参见图 13。在 ROM 功能命令成功执行后，PIO 控制和存储器就可以被访问了，主机就可以随后发出 6 条存储和控制功能命令之一，这些存储器和控制功能要求的协议参见图 7。读入和写出数据都是最低有效位在前。

1-Wire 协议的层次结构 图 2



寄生电源

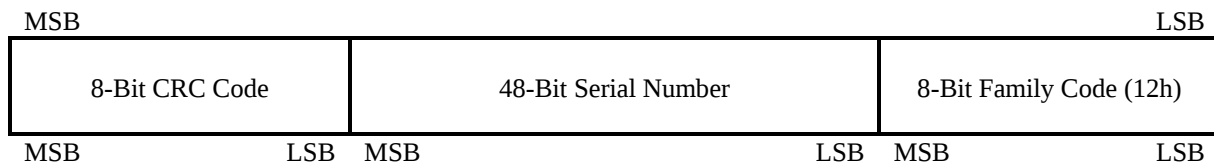
当信号线为高电平时，DS2406 通过把能量存储在内部电容，完全从 1-Wire 总线获得工作所需的电源。当信号线为低电平时，DS2406 就利用这个“寄生”电源来工作，直到 1-Wire 总线变为高电平时再次对这个寄生电源（电容）进行充电。对于那些 DS2406 可能暂时与 1-Wire 总线脱离，或 1-Wire 总线的低电平时间很长的应用， V_{CC} 要求连接一个外部电源，以保持器件的工作状态。

当对 EPROM 进行写操作时，1-Wire 总线通信以通常电平逻辑进行，接着产生瞬间编程电压脉冲，以编程指定的 EPROM 数据位。因此总线主机必须要能够提供 12V、10mA 的电源，才能完成 EPROM 部分的编程。编程期间，在 1-Wire 总线上仅允许连接基于 EPROM 的器件。

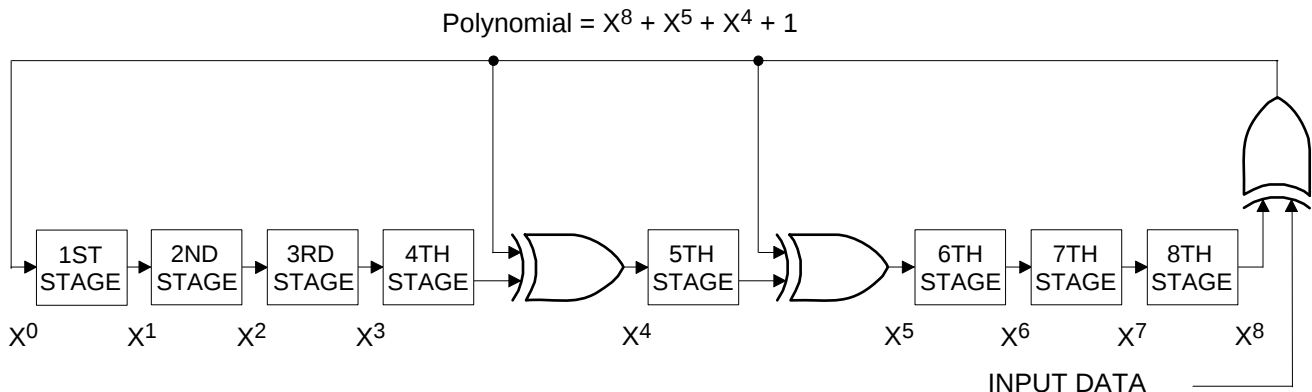
64 位光刻 ROM

每片 DS2406 都包含一串唯一的 64 位长 ROM 码，前 8 位是 1-Wire 家族代码，接下来的 48 位是唯一的序列码，最后 8 位是前 56 位的 CRC 校验码（参见图 3）。1-Wire CRC 通过由移位寄存器和 XOR 门电路组成的多项式发生器来产生，如图 4 所示。采用的多项式为 $X^8 + X^5 + X^4 + 1$ 。关于 Dallas 1-Wire 循环冗余校验的更多说明可参考应用笔记 27。校验时，首先将移位寄存器的位全部初始化为 0，然后从家族码的最低有效位开始移入移位寄存器，每次移入一位。当家族码的最后一位（第 8 位）被移入后，再移入序列码。当序列码的最后一位（第 48 位）也被移入时，该移位寄存器就是 CRC 校验值。移入 8 位 CRC 校验码后，移位寄存器的所有位全部归零。该 64 位 ROM 和 1-Wire 功能控制部分允许 DS2406 作为一个 1-Wire 器件来工作，并遵循“1-Wire 总线系统”所描述的 1-Wire 协议。

64 位光刻 ROM 码 图 3



1-Wire CRC 发生器 图 4



存储器映像

DS2406 有两个存储器，分别是数据存储器和状态存储器。数据存储由 1024 位一次性可编程 EPROM 组成，该 EPROM 被划分为 4 页，每页 32 字节。状态存储器有 8 个字节，其中前 7 个字节 (地址 0 至 6) 是 EPROM，第 8 个字节 (地址 7) 是静态 RAM。完整的存储器地址分配表如图 5 所示。8 位暂存器为辅助寄存器，当向存储器写入数据时，充当数据缓冲器。数据首先被写入暂存器，然后读入 DS2406 发出的 16 位 CRC 码，以检验所接收到的数据和地址是否正确。这一过程保证在对存储器进行编程时的数据完整性。如果缓冲器内容是正确的，总线主机就发出一个编程脉冲 (EPROM) 或虚字节 FFh (RAM)，以将数据从暂存器转移到指定的存储单元。关于 DS2406 读操作和编程的详细介绍，请参见“存储器功能命令”部分。

DS2406 存储器地址分配表 图 5

8-Bit Scratchpad						
1K-Bit EPROM	Page #	Address Range		Description		
	0	0000h to 001Fh		32-Byte final storage Data Memory		
	1	0020h to 003Fh		32-Byte final storage Data Memory		
	2	0040h to 005Fh		32-Byte final storage Data Memory		
	3	0060h to 007Fh		32-Byte final storage Data Memory		
8 Bytes Status Memory	Valid Device Settings (SRAM)	00	Factory Test Byte	Redirection Bytes	Bitmap of Used Pages	Write-Protect Bits Data Memory

DS2406 状态存储器地址分配表 图 6

ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0 (EPROM)	BM3	BM2	BM1	BM0	WP3	WP2	WP1	WP0
1 (EPROM)	1	1	1	1	1	1	Redir. 0	Redir. 0
2 (EPROM)	1	1	1	1	1	1	Redir. 1	Redir. 1
3 (EPROM)	1	1	1	1	1	1	Redir. 2	Redir. 2
4 (EPROM)	1	1	1	1	1	1	Redir. 3	Redir. 3
5 (EPROM)	EPROM Factory Test byte							
6 (EPROM)	Don't care, always reads 00							
7 (SRAM)	Supply Indication (read only)	PIO-B Channel Flip-flop	PIO-A Channel Flip-flop	CSS4 Channel Select	CSS3 Channel Select	CSS2 Source Select	CSS1 Source Select	CSS0 Polarity

状态存储器

状态存储器可读可写，以便访问 DS2406 时为软件指示不同的状态。这些状态包括：数据存储器的特性、条件搜索中各项设置的定义、通道触发器（flip-flop）以及是否外接电源的指示。关于状态存储器数据位的具体详细功能定义，请参见图 6。

状态存储器的前 4 位（地址 0 的位 0 至位 3）为页写保护位，通过对这些页写保护位的合理设置可禁止对应页面的 1024 位数据存储器的编程操作。一旦状态存储器中某个页写保护位被编程，与该位对应的 32 字节数据页便不能再改变，但可以读。状态存储器 0 地址剩余的 4 位为保留位，用于 1-Wire 文件结构，指示已经使用的存储器页。开始时，这些位都没有被改写，表示器件中还没有存储数据。只要在 TMEX 控制下，数据一经写入，无论写进哪一页，与写入页对应的比特就被改写为 0，表示该页已经使用。这些位仅仅是应用标志位，对 DS2406 的内部逻辑不产生影响。

状态存储器中随后的 4 个字节（地址 1 至地址 4）为页地址重定向字节。可以通过软件进行修改，来表示 1024 比特 EPROM 存储器的某一页或某几页是否已被禁用，需要重定位到其他允许访问的页。这些字节就是用来存放这 4 页存储器的重定位地址的。DS2406 电路本身不会根据这些页地址重定位字节的内容自动把地址进行改向。由于 EPROM 中在编程过程中只能把比特从逻辑 1 变为 0，因此如果内容要求改变或更新，也不可能简单的对一个页重新写入。但是如果空间允许的话，可以把这个页的数据通过重定位的方法写入其他的页内。在 TMEX 中，通过在要替换的原页对应的页地址重定位字节写入新页地址的补码即可实现页重定位。这样的结构设计允许用户软件给 EPROM “打补丁”，这样某个或某几个特定的页可用对应的页地址重定位字节中地址对应的页来代替。

在 TMEX 开发平台下，如果一个页地址重定位字节的值为 FFh，则与此对应的主存储器的数据就是有效的。如果页地址重定位字节的值是其他的 16 进制数而不是 FFh，则与此对应的页内数据就是无效的。根据 TMEX 的定义，此时该页的有效数据就保存在页地址重定位后的页内，页地址重定位字节中的数据就是对应的重定位页的地址的补码。例如：第 1 页的页地址重定位字节为 FDh，表示第一页的最新的的数据被重定位到第 2 页。由于数据存储器只有 4 页，故页地址重定位字节的 6 个最高有效位不能为 0。

状态存储器的存储单元 5 作为测试字节，在出厂前它的值已经被设为 00h。DS2406 状态存储器的存储地址 6 没有设置功能。它的值在出厂前被设置为 00h，用以区分 DS2406 和 DS2407，这两款器件的家族码是相同的。当 DS2407 状态存储器的存储地址 6 被设置为 00h 时，器件会在上电后进入隐藏模式，并且只有当总线主机通过 Match ROM 命令再加上正确的 ROM 码对其进行寻址时器件才会做出响应。与此相反，如果从状态存储器的存储地址 6 读出的数据是 00h，则对 Read ROM 命令作出响应的器件只能是家族码 12h 的 DS2406。

状态存储器地址 7 具有 3 个功能：1) 保存条件搜索功能的选择代码；2) 为总线主机提供通道触发器的存储器映射访问，以控制PIO输出晶体管；3) 允许总线主机判断该器件是否连接至V_{CC}电源。位 0 至 4 用来保存条件搜索设置，详细说明参见后面的“ROM功能命令”部分。通道触发器可以通过位 5 和位 6 来访问，也可通过通道访问功能来访问。上电时默认的条件搜索设定和通道触发器全部为 1。把通道触发器设为 0 将使对应的PIO晶体管导通；把触发器设为 1，则关断对应的晶体管，上电默认的设置就为 1。当V_{CC}引脚外接适当的电源时，供电指示位 7 就会为 1。这个供电指示位也可通过通道访问功能来读取。

存储器功能命令

“存储器功能流程图”（图 7）描述了访问 DS2406 的不同数据区和 PIO 通道所需要的协议。存储器功能控制部分、8 位中间结果暂存器和编程电压检测电路一起来解释总线主机发来的命令，在器件内部产生正确的控制信号。由总线主机发出 3 字节协议，由一个命令字节和 2 个地址字节组成，其中命令字节决定操作类型，2 个地址字节决定选择的数据区字节起始地址，或者在访问 PIO 通道时，提供或交换设置和状态数据。命令字节用来表明是对该器件进行读操作还是写操作，还是访问 PIO 通道。写数据时不仅要发出正确的命令，还要在适当的时刻提供 12V 的编程电压。要完成一个写命令，首先把一个字节的数据装到中间结果暂存器，然后再编程至选定的位置。写操作时，一次只能写一个字节。执行读命令时，总线主机首先发出起始地址，然后就可从指定的起始地址开始读取数据，直到选定的数据区结束，或主机送出复位命令序列。从主机发给 DS2406 的数据和 DS2406 返回给总线主机的数据都是最低有效位在前。

Read Memory [F0h]

Read Memory 命令用于从 1024 位的 EPROM 数据存储区读取数据。总线主机发出读命令字节后，紧跟着的两个字节地址(TA1=(T7:T0), TA2=(T15:T8))用来指示读取数据的起始地址。由于数据存储区一共有 128 个字节，T15:T8 和 T7 应该全为 0。在随后的数据读时隙中，总线主机从 DS2406 接收数据，从指定的起始地址开始，直到 1024 位数据存储器的末尾或者发出一个复位脉冲。如果读操作持续到数据存储器的末尾，则总线主机还可以发出 16 个读时隙，DS2406 将响应送出由命令、地址和所有传输数据生成的 16 位 CRC。该 CRC 等于在清零 CRC 发生器后，把命令字节移入 CRC 产生器，紧跟着移入两个地址字节，随后移入从起始位置开始的所有数据而计算生成的 16 位 CRC。总线主机收到 CRC 之后，随后的读时隙中将一直为逻辑 1，直到发出复位脉冲。在到达存储器末尾之前被复位脉冲终止的任何读操作，都不能提供该 16 位 CRC。

通常，可通过软件在器件的每一页都插入 1 个 16 位 CRC 码，以保证快速、无差错的传输数据，这样就不用为判定接收到的数据是否正确而多次读入该页数据（对于推荐的文件结构,请参考应用笔记 114）。如果在数据当中内嵌了 CRC 码，就无需读入存储器结束产生的 CRC 码。读存储器命令可以在任何时刻通过发出复位脉冲来终止。

Extended Read Memory [A5h]

当读取 1024 位 EPROM 存储器数据时，Extended Read Memory 命令支持页面重定位功能。Extended Read Memory 和基本的 Read Memory 之间的一个主要区别就是，主机在花大量时间从指定存储器地址读取数据之前，首先接收页面重定位字节（参见状态存储器的描述），这样允许总线主机快速判断是继续访问指定起始地址页，还是终止读操作，而重新开始重定位页面的读操作。

除页面重定位之外，当用户无法在数据中插入 16 位 CRC 码时，Extended Read Memory 命令还支持“面向比特”的应用。在“面向比特”的应用中，页内 EPROM 的信息会随时间而变化，这样不可能保证与之相随的 CRC 始终有效。所以，Extended Read Memory 命令可使 DS2406 在 1024 比特的 EPROM 数据段中每页的数据传输结束时，产生一个基于该数据页并随数据变化的 16 位 CRC。

在发送 Extended Read Memory 命令之后，总线主机发送 2 个字节地址(TA1=(T7:T0)，TA2=(T15:T8))，表示数据区内起始字节的地址。通过发送 8 个读数据时隙，主机接收与起始地址指定页面相关的重定位字节。之后主机在随后的 16 个读数据时隙内，接收由控制字节、地址字节和重定位字节生成的 16 位 CRC。这个 CRC 是由 DS2406 计算得到的，总线主机要读回来以检查命令字、起始地址和重定位字节是否被正确接收。

如果总线主机读到的 CRC 码是错误的，则必须发送一个复位脉冲，重新执行整个命令时序。如果总线主机读到的 CRC 码是正确的，则总线主机发出读时隙，接收来自 DS2406、起始于指定地址，终止于 32 字节页末地址的数据。在页末点，总线主机继续发送 16 个附加的读时隙，接收 16 位 CRC 码，该 CRC 码是由从指定地址至当前页末的所有数据字节移入 CRC 发生器后产生的结果。

在接下来的 24 个读数据时隙中，主机将接收下一页的重定位字节和该重定位字节对应的 16 位 CRC 码。之后，将从新页面的起始地址读入 1024 位 EPROM 数据区中的数据。该命令序列将重复进行，直到总线主机读入最后一页的数据和与之对应的 CRC 码。

在处理流程图中，Extended Read Memory 命令在以下两个位置提供 16 位 CRC 码：1)在重定位字节之后；2) 在每一存储器页的末尾。位于存储器页末尾的 CRC 的产生过程如下：清空 CRC 发生器，从 EPROM 数据页的指定起始地址开始把数据移入 CRC 产生器，直到该页的最后一个字节结束，此时 CRC 产生器中的值就是要得到的 CRC。在 Extended Read Memory 流程图中，首次产生的重定位字节对应的 16 位 CRC 码是将命令字节以及随后的两个地址字节移入被清空的 CRC 发生器后的 CRC 结果；随后产生的重定向字节的 16 位 CRC 码是清空 CRC 发生器后仅移入重定向字节的 CRC 结果。当最后一页的 16 位 CRC 码被读取之后，总线主机从 DS2406 接收到的值始终为逻辑 1，直到复位脉冲到来为止。通过发出复位脉冲，可在任一点结束 Extended Read Memory 命令序列。

写 EPROM 存储器

写数据存储器和状态存储器的功能流程图几乎相同。在发送出正确的写命令后，总线主机发送2个字节的起始地址(TA1=(T7:T0), TA2=(T15:T8))和1个字节的数据(D7:D0)。DS2406由命令、地址和数据字节等计算16位CRC校验码，并由总线主机读取该检验码，来确认所接收到的命令字、起始地址和数据字节是否正确。

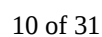
如果总线主机所读到的CRC校验码是错误的，则必须发出复位脉冲,整个序列再重新开始。如果总线主机接收到的CRC校验码是正确的，则要发出编程脉冲（1-Wire 总线电压变为12V，脉冲保持480μs）。在编程之前，所有未编程的EPROM存储器区均为逻辑1。对于每一位由总线主机设置为逻辑0的数据位，在EPROM存储器中选定字节中的对应位在编程脉冲之后，将编程为逻辑0。

480μs 编程脉冲后，数据线即返回到空闲电平状态（5V）。总线主机发出8个读时隙，以验证相应位是否被编程，DS2406回送指定的EPROM 地址的数据作为响应，最低有效位在前。该字节数据是所有写入该地址数据的逻辑位与的结果。如果主机发出的字节中的某些位为0，而对应的编程后的EPROM 数据字节中的位仍为1，就说明编程失败，则应发出复位脉冲，对该字节重新编程。如果主机发出的数据字节中为0的位对应的DS2406 EPROM中的位也为0，则表明编程成功。此时DS2406的地址计数器将自动加1，并指向EPROM存储器中下一个字节。这个新的两字节地址作为起始值载入16位CRC发生器。随后，总线主机执行8个写时隙来发出下一个数据字节。

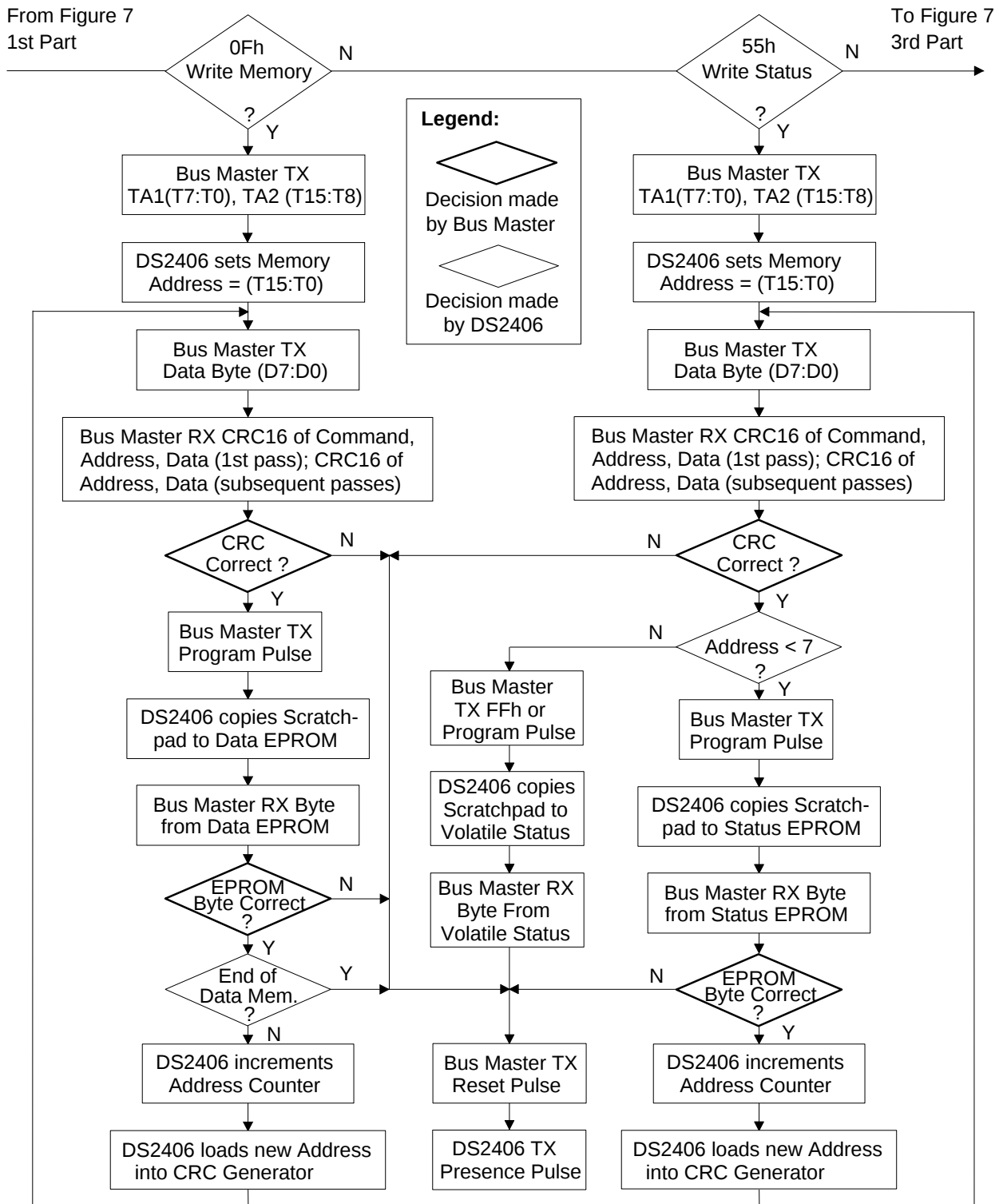
DS2406 把接收到的数据字节放在暂存器的同时，也把该数据移入已加载当前地址的 CRC 发生器，该结果就是根据新数据字节和新地址生成的 16 位 CRC 码。在发出数据字节之后，总线主机将执行 16 个读时隙从 DS2406 读取这个 16 位 CRC 码，以判定 DS2406 自己产生的地址及所接收到的数据字节是否正确。如果主机接收到的 CRC 码是错误的，则必须发出一个复位脉冲，重新开始写序列。如果 CRC 码是正确的，总线主机将发出一个编程脉冲，则存储器中对应的字节将被编程。

需要注意的是：在该流程图中，第一次写操作时产生的 16 位 CRC 码是将命令字节、两个地址字节和数据字节移入 CRC 发生器后 CRC 发生器得到的值；而在随后的写操作中，由于是通过 DS2406 对地址计数器自动加 1 来生成新地址的，此时这个 16 位 CRC 码就是把新得到的(增加过的)地址装入 (不是移入) CRC 发生器后，再移入新的数据字节得到的 CRC 结果。

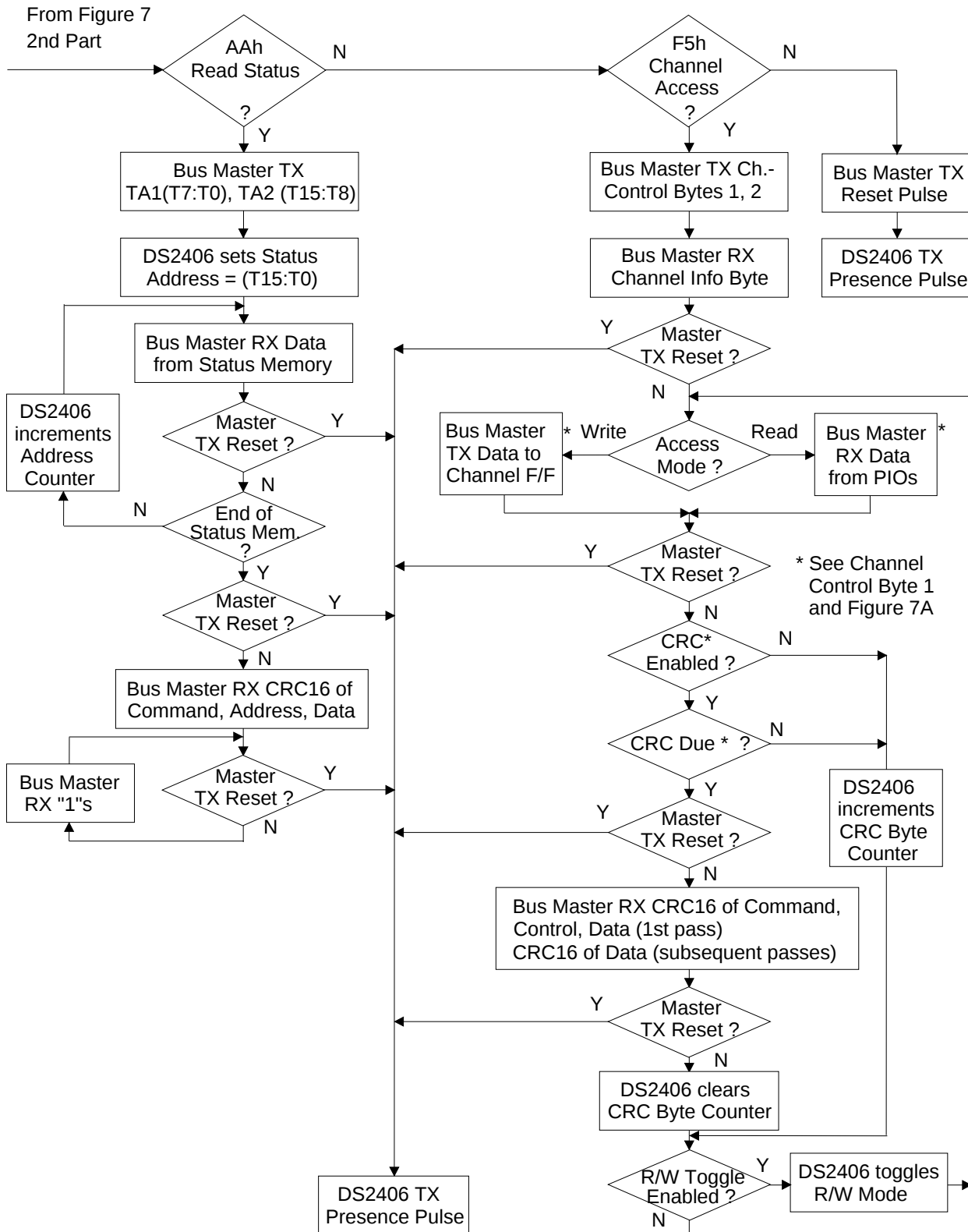
在上面的两种情况下，是否继续工作（为 DS2406 提供编程脉冲）都完全取决于总线主机，这是因为 DS2406 本身不能确定总线主机计算的 16 位 CRC 校验码与它自己计算的 16 位 CRC 校验码是否一致。若总线主机发现了 CRC 校验码是错误的，仍继续发出编程脉冲，那么随之发生的 DS2406 编程也一定是错误的。同时还应需注意的是：DS2406 通常是在接收到 8 个读时隙后，就令内部地址计数器加 1。这 8 个读时隙用于对 EPROM 的编程结果进行验证，至于是否还要继续下一步操作完全取决于总线主机。当从 EPROM 返回的数据字节与发出的数据字节不相同时，如果此时主机还坚持继续下面的写命令，那么在 DS2406 内部会存在错误的编程。写命令序列通过发送复位脉冲可随时终止。



存储器功能流程图（续）图 7



存储器功能流程图（续）图 7



Write Memory [0Fh]

Write Memory 命令用于对 1024 位 EPROM 数据存储器进行编程，相关功能流程图详见“写 EPROM 存储器”部分。数据存储器的地址范围是 0000h 至 007Fh。如果总线主机发送的起始地址高出这个范围，9 个最高有效地址位将被芯片的内部电路置为零，这将导致 DS2406 计算出的 CRC 和总线主机计算出的 CRC 之间不匹配，表明发生了错误。

Write Status [55h]

Write Status 命令用于对状态存储器进行编程，包括定义条件搜索设置。有关功能流程图详见“写 EPROM 存储器”部分。

状态存储器的地址范围是 0000h 至 0007h，通用的编程规则仅适用于状态存储器的 EPROM 部分(地址 0 至 4)。状态存储器的存储单元 5、6 已被预设为 00h，不能被改变。状态存储单元 7 由静态 RAM 组成，改写次数无限制，编程时也不需要 12V 的编程脉冲。电源指示位(位 7)是只读的；不能向它写入数据，即使向它写数据也不会被接受。向状态存储器单元 7 写数据的流程与向状态存储器中其它 EPROM 字节写数据的流程基本相同。然而，总线主机要将新的值从暂存器转移到状态存储器，需要发送一个 FFh 字节(相当于 8 个写 1 时隙)而不是发出编程脉冲。

如果总线主机发送的起始地址高于 0007h，则 9 个最高有效位通过芯片内部电路被置为零，地址位 T3:T6 保持不变，但将被 DS2406 的地址译码器忽略不计。只有当 T8:T15 中的一个或多个地址位被置位时，总线主机才可以通过 DS2406 计算出的 CRC16 发现错误。

Read Status [AAh]

Read Status 命令用来读取来自状态存储器的数据。这一命令的功能流程图与 Read Memory 命令相同。由于状态存储器只有 8 个字节，因此当状态信息的最后一个字节被传送之后，DS2406 将发送 16 位 CRC 码。

Channel Access [F5h]

Channel Access 命令用于访问 PIO 通道以检测输出节点和输出三极管的逻辑状态，或改变输出三极管的状态。总线主机在命令字节后跟着两个通道控制字节，随后接收返回的通道信息字节。通道控制字节允许主机选择一条 PIO 通道来进行通信，指定通讯参数，复位端口变化锁存器。通道控制字节 1 的详细描述如图 8 所示。通道控制字节 2 是为将来的开发预留的，目前第 2 个通道控制字要始终为 FFh。

通道控制字 1 图 8

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
ALR	IM	TOG	IC	CHS1	CHS0	CRC1	CRC0

最容易理解的是位 CHS0 和 CHS1，他们用于选择进行通信的通道，可选择两条通道之一或同时选择两条通道进行通信。选择代码如下表所列。

CHS1	CHS0	说明
0	0	(不允许)
0	1	A 通道
1	0	B 通道
1	1	两通道轮循

当主机仅读取一个通道的数据时，在每一个读时隙(图 10a)的开始处对选定的 PIO 的逻辑电平进行取样，并立即通过 1-Wire 总线发出信号。因为 PIO 逻辑电平是在读时隙的起始点进行检测的，因此总线主机无法看到时隙内 PIO 上的变化。当向一个单通道写入数据后，所选 PIO 将在 1-Wire 回路返回空闲电平(典型值 5V，见图 10a)后呈现新的状态(不必在返回空闲电平后立即显示)。如果总线主机发送一个 1 (写 1 时隙)，被选通道的输出晶体管将在 $td1$ 之后改变状态， $td1$ 位于时隙的起始点之后， $15\mu s$ 至 $60\mu s$ 之间；如果总线主机发送一个 0 (写 0 时隙)，则输出晶体管将在 1-Wire 回路返回空闲电平后 $td0$ 才改变状态， $td0$ 的值为 200 至 300ns (见图 10a)。根据负载情况，延迟时间可能还会增加，直至 PIO 电压达到新的逻辑电平。

两个通道同时工作时，用交错控制位 (Interleave Bit Control) IC 来控制何时对数据进行采样，以及数据何时到达 PIO 引脚。有异步(IC = 0)和同步(IC = 1)两种模式。对于异步模式来说，两条通道交替被访问；对于同步模式来说，两条通道同时被访问。采用单通道访问时，交错控制位必须设为 0。

在异步模式下进行读操作时，在每个读时隙的开始处对每个通道进行交替取样，首先从通道 A 开始，PIO 测得的逻辑电平被立即在同一时隙发送给主机。当在同步模式下读取数据时，两条通道被同时取样。通道 A 中的数据位在同一时隙被立即发送给主机，通道 B 中的数据位则在下一时隙被送往主机，这一时隙不再对 PIO 进行采样。两个通道均将在传输完 PIO-B 数据位后的下一个时隙被再次采样(图 10b)。

当在异步模式下写入数据时，每个通道状态的改变不会受另一通道的影响。状态发生改变的时间与单通道通信时相同。但是，只有每隔一个写时隙才是访问同一个通道。第一个时隙针对通道 A，第二个时隙针对通道 B，再下一个时隙又指向通道 A，如此循环。因此，异步模式下两个 PIO 不可能同时改变状态。当在同步模式下写入数据时，两个通道同时工作。当两个通道的新的赋值到达 DS2406 之后，两个通道的状态将同时改变，状态发生变化的时间与单通道通信时相同。采用异步模式时，每隔一个写时隙指向同一通道，第一个时隙指向通道 A，第二个时隙指向通道 B，如此循环。取决于实际数据，在同步模式下两个 PIO 能同时改变状态(图 10c)。在任何情况下，通道 A 和通道 B 的信息将会在 1-Wire 上交替出现，并且总是从通道 A 开始。在向器件进行写操作时，通过改变 1-Wire 时隙之间的空闲时间，可以完全控制在 PIO 引脚上的采样时间点和产生的波形。

通道控制字节 1 的 TOG 位指定是否总是进行读入或写出操作(TOG = 0), 或是否在向 DS2406 读写每个字节数据之后从读操作转换至写操作, 或反之亦然 (TOG = 1)。访问单通道时, 一个字节相当于向选定的 PIO 引脚进行 8 次读操作或写操作; 访问双通道时, 一个字节相当于对每个通道进行 4 次读操作或写操作。

访问 PIO 通道的初始操作模式(读出或写入)是由 IM 位指定的。读出时, IM 被设置为 1, 写入时, IM 被设置为 0。如果 TOG 位被设为 0, 则器件按照 IM 位设定一直进行读出或写入操作。如果 TOG 位被设为 1, 器件将按照 IM 的设定对第一个字节进行读操作或写操作, 并且在完成每个字节操作之后, 自动在读操作和写操作之间来回转换。表 1 给出了单通道及双通道工作时 TOG 和 IM 的作用。

TOG 和 IM 的作用 表 1

TOG	IM	CHANNELS	EFFECT
0	0	one channel	Write all bits to the selected channel
0	1	one channel	Read all bits from the selected channel
1	0	one channel	Write 8 bits, read 8 bits, write, read, etc. to/from the selected channel
1	1	one channel	Read 8 bits, write 8 bits, read, write, etc. from/to the selected channel
0	0	two channels	Repeat: four times (write A , write B)
0	1	two channels	Repeat: four times (read A , read B)
1	0	two channels	Four times: (write A , write B), four times: (read A , read B), write, read, etc.
1	1	two channels	Four times: (read A , read B), four times: (write A , write B), read, write, etc.

通道控制字节 1 的 ALR 位用来控制每通道的状态变化锁存器是否复位。如果 ALR 位是 1, 两个状态变化锁存器将同时被清零。如果 ALR 位是 0, 锁存器内容不变。在相应的 PIO 通道上发生上升沿或下降沿时, 状态变化锁存器将置位。

通道控制字节 1 也用于内部 CRC 发生器的控制, 以保证在通道访问时主机和 DS2406 之间的数据传输。它不会对 DS2406 存储器的数据读写产生影响。可以设定 CRC 控制位(位 0 和位 1), 以创建和保护 8 字节或 32 字节大小的数据包。如果需要, 器件甚至可为用每个字节计算一个 16 位 CRC 校验码, 但这种设置将限制平均的 PIO 取样速率在最高可能速率的三分之一左右。CRC 的控制代码如下表所示。

CRC1	CRC0	说明
0	0	CRC 禁止 (无 CRC 校准)
0	1	每字节后进行 CRC 校验
1	0	8 字节后进行 CRC 校验
1	1	32 字节后进行 CRC 校验

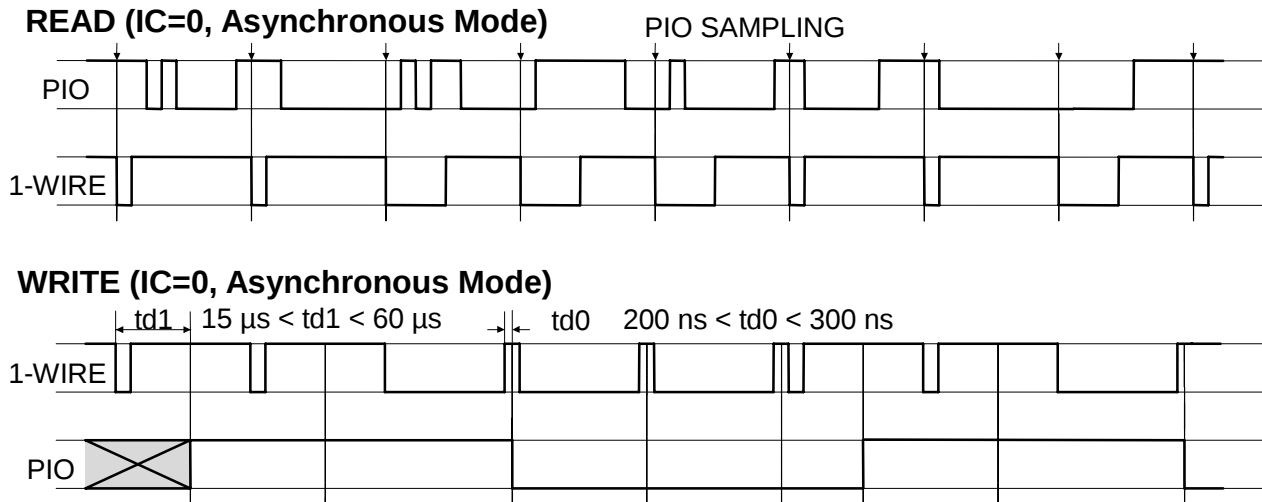
CRC 可以更好地保证数据正确传输。有关 CRC 的详细描述见应用笔记 27。如果 CRC 功能被禁用, 则将跳过流程图中的 CRC 部分。

总线主机发送完通道控制字节后即可接收通道信息字节(图 9)。该字节用来指示通道触发器 (flip-flop) 的状态、PIO引脚、状态变化锁存器、以及是否具备B通道和外部电源等。为能够从PIO通道读取输入状态，输出晶体管应该处于截止状态，也就是通道触发器 (flip-flop) 为 1。如果通道触发器和输入状态的读入值都为 0，则表明PIO输出晶体管将端口拉低。同步模式下，PIO A和PIO B的通道信息字节是同时被取样的。如果通道B可用，读到的通道信息字节的位 6 就为 1。对于单通道DS2406 来说，PIO B的检测电平、通道触发器以及状态变化锁存器应被忽略不计。没有外部电源时，电源指示位(位 7)为 0。只要加到V_{CC}引脚上的电压足以支持器件工作，电源指示位就为 1。

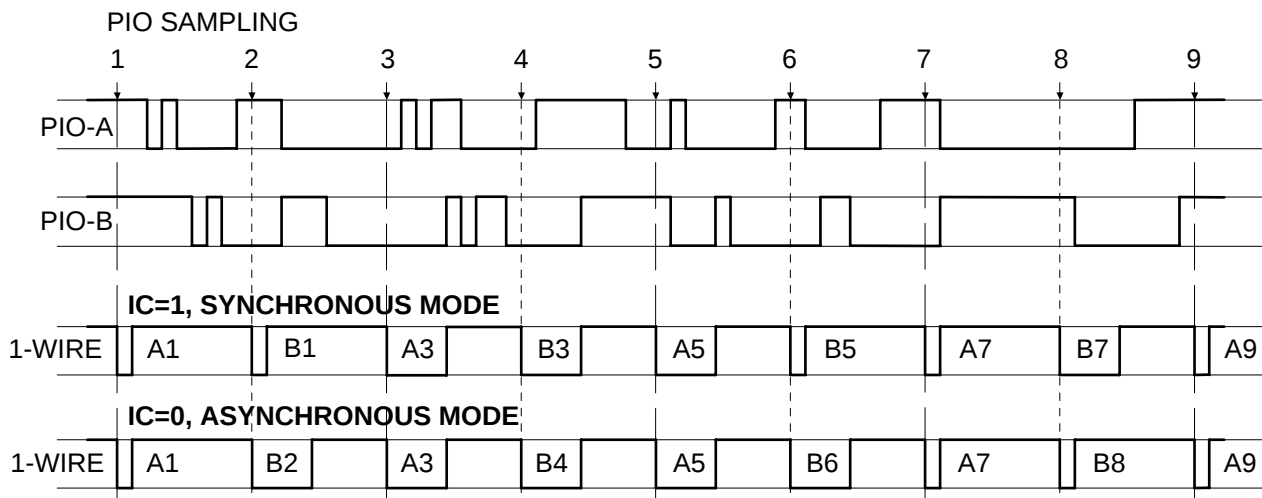
通道信息字节 图 9

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Supply Indication 0 = no supply	Number of Channels 0 = channel A only	PIO-B Activity Latch	PIO-A Activity Latch	PIO B Sensed Level	PIO A Sensed Level	PIO-B Channel Flip-Flop Q	PIO-A Channel Flip-Flop Q

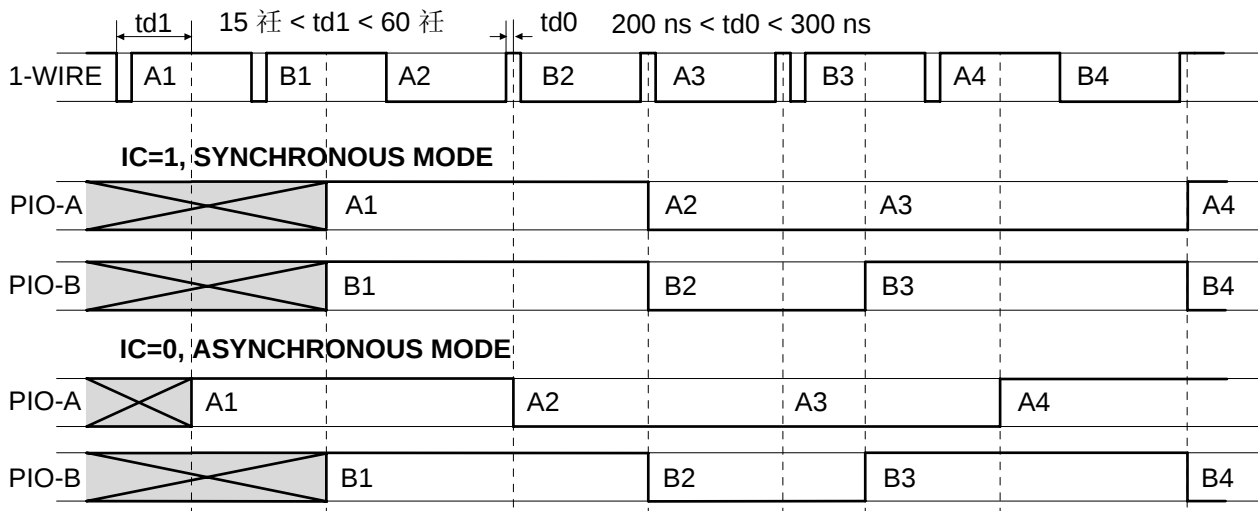
单通道读/写 图 10a



双通道读 图 10b



双通道写 图 10c



1-Wire 总线系统

1-Wire 总线系统由一个总线主机和一个或多个从器件组成。在所有应用实例中，DS2406 都作为从器件使用，总线主机通常是一个微控制器。对 1-Wire 总线系统的讨论分为 3 个部分：硬件配置、处理流程和 1-Wire 信令(信号类型和时序)。1-Wire 协议根据特定时隙中总线的状态来工作，这些特定时隙始于总线主机发出的同步脉冲的下降沿。

硬件配置

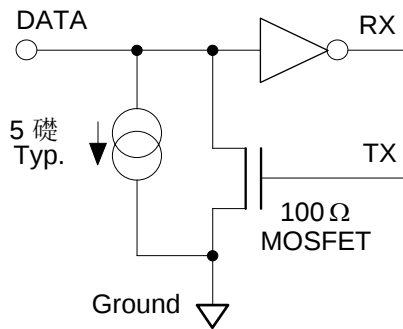
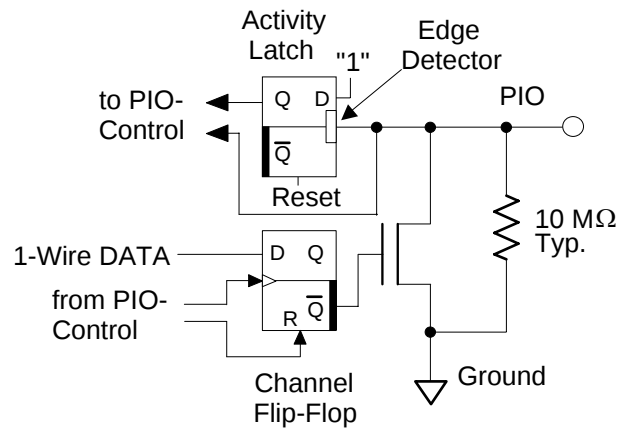
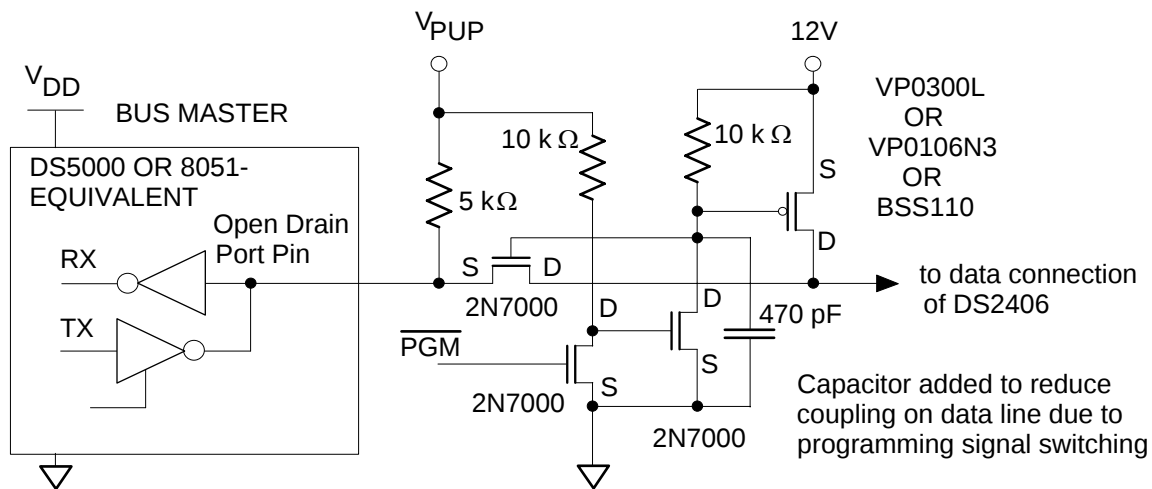
1-Wire 总线系统根据定义只有一根数据线，因此在合适的时间驱动总线上的各个器件是十分重要的。为使上述操作易于实现，接到 1-Wire 总线上的每个从器件的输出必须为漏极开路或三态输出。DS2406 的 1-Wire 端口是漏极开路输出，其内部等效电路如图 11 所示，典型的总线主机端口如图 12 所示。如果没有双向引脚可供使用，可把两个单独的输出和输入引脚连在一起使用。多点总线系统由一根 1-Wire 总线和多个从器件组成。1-Wire 总线的最大数据传输速度为 16.3kbits/s。对于不需支持 EPROM 编程功能的常规通讯来说，如果距离不长，1-Wire 总线只需一个阻值约为 $5k\Omega$ 的上拉电阻即可。

1-Wire 总线的空闲状态为高电平。如果由于某种原因需要暂停工作，稍后还有恢复工作的话，必须将总线置于空闲状态。否则，如果总线被置低的时间超过 $120\mu s$ ，总线上的一个或多个器件将被复位。如果 1-Wire 总线保持为低的时间超过 5ms，则那些不是通过 V_{CC} 引脚获得电源的 DS2406 将会执行上电复位，关闭两个 PIO。

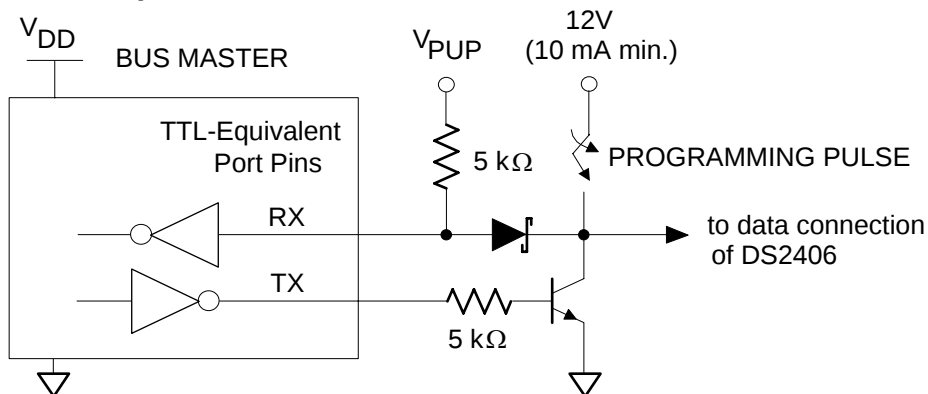
处理流程

通过 1-Wire 端口访问 DS2406 的顺序如下：

- 初始化
- ROM 功能命令
- 存储器访问功能命令或通道访问功能命令
- 处理/数据

DS2406 等效电路 图 11**1-Wire Interface****PIO Channel****总线主机电路 图 12****A) Open Drain**

The interface is reduced to the 5kΩ pull-up resistor if one does not intend to program the EPROM cells.

B) Standard TTL

The diode and programming circuit are not required if one does not intend to program the EPROM cells.

初始化

在 1-Wire 总线上进行的所有传输均从初始化时序开始。初始化时序由总线主机发出的复位脉冲和从器件发出的在线应答脉冲组成。在线应答脉冲通知总线主机 DS2406 已挂接在总线上，并已准备就绪。详细内容请参阅“1-Wire 信令”一节。

ROM 功能命令

一旦总线主机检测到在线应答脉冲，它就发出 DS2406 所支持的 5 条 ROM 功能命令中的一个。所有 ROM 功能命令的长度都是 8 位。命令的简要介绍如下(参考图 13 所示的流程图)。

Read ROM [33h]

总线主机用该命令来读取 DS2406 的 8 位家族码、唯一的 48 位序列号和 8 位 CRC 码。该命令适用于总线上只有一个从器件的情况。如果总线上连接了多个从器件，那么当所有从器件都试图在同一时刻发送数据时就会发生数据冲突(漏极开路导致的结果就是“线与”)。结果导致主机读取的家族码和 48 位序列号无效。

Match ROM [55h]

Match ROM 命令后紧跟着 64 位 ROM 码，总线主机利用该命令来访问多点总线上某个特定的 DS2406。只有其内部 ROM 码与主机发出的 64 位 ROM 码匹配的 DS2406 才会响应随后的存储器功能命令，而与 64 位 ROM 码不匹配的其他所有从器件就处于等待状态，等待复位脉冲。总线上有一个或多个从器件时都可使用该命令。

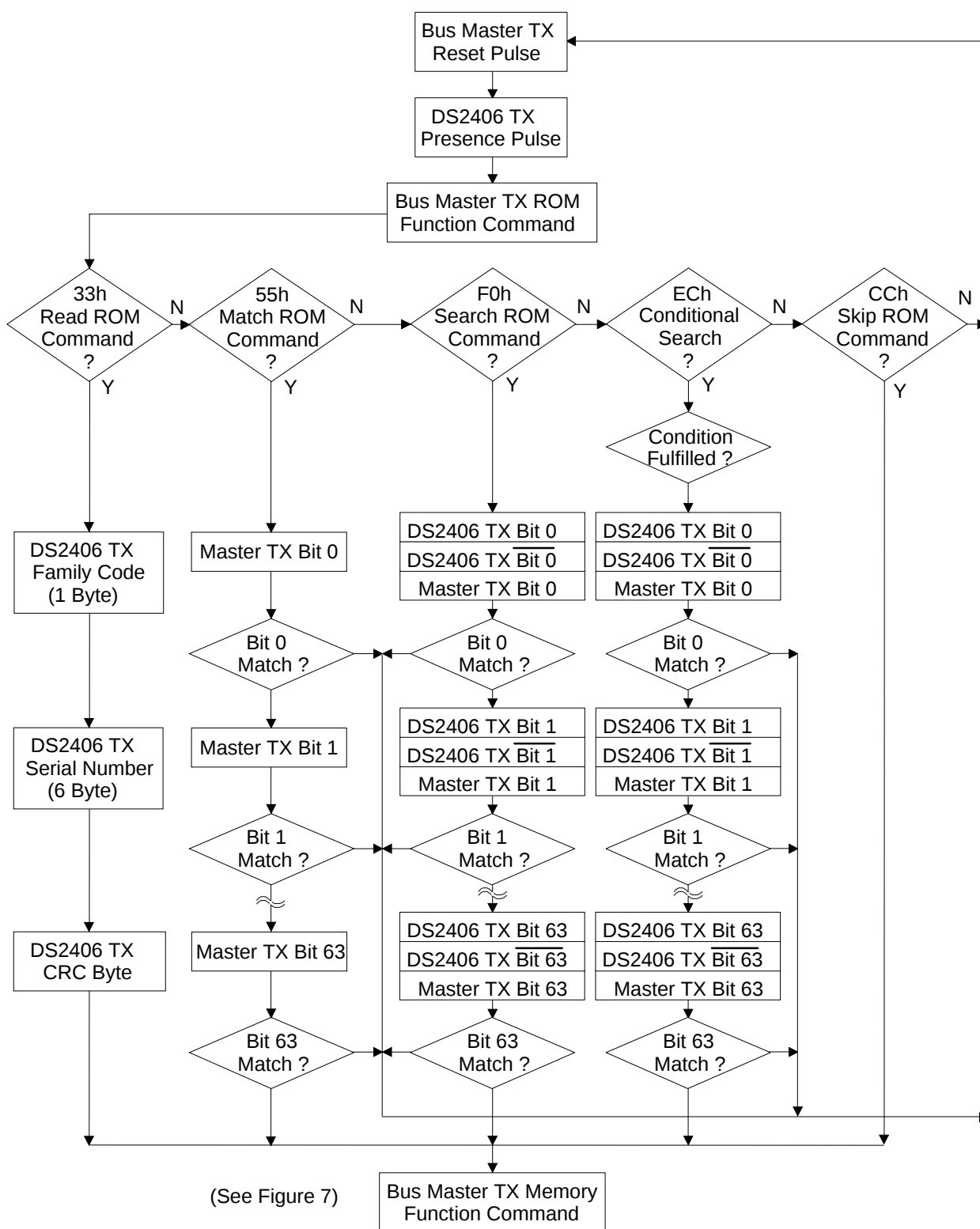
Search ROM [F0h]

当一个系统启动初始化时，总线主机可能不知道在 1-Wire 总线上挂接有多少个器件，而且也不知道各个器件的 64 位 ROM 代码。总线主机利用 Search ROM 命令并采用排除法，来确认总线上所有从机器件的 64 位 ROM 代码。查询 ROM 的过程是反复进行的一个简单三步骤程序：读一位，读该位的补码，然后写入该位的期望路径。总线主机对 ROM 的每一位都执行这样的三步。当执行完这个过程后，总线主机就知道了某个器件的 64 位 ROM 码。继续这个程序过程可对余下的器件的 ROM 码进行确认。若想对搜索 ROM 有更深入的了解，请参阅*应用笔记 187*。

Skip ROM [CCh]

在单点总线系统中，总线主机可使用该命令在不知道从器件 64 位 ROM 码的情况下访问存储器和通道访问功能，从而可以节省时间。如果总线上有多个从器件，而且在 Skip ROM 命令后发出一个 read 命令，那么多个从器件就会同时传输数据，从而发生冲突(所有的漏极开路下拉产生“线与”结果)。

ROM 功能流程图 图 13



Conditional Search ROM [ECh]

除了只有满足特定条件的器件可参与搜索外，Conditional Search ROM 命令的执行情况与 Search ROM 命令类似。该命令为总线主机提供了一种高效的方法，以识别多点系统中要求告知状态变化的器件，如大楼控制系统中的窗户开启。

搜索条件是由状态存储器 7 中的功能位 CSS0 至 CSS4 指定的。上电时这些位均为 1，可通过 Write Status 命令来改变。只要器件处在上电状态，就可在任意时刻修改搜索条件。对于条件搜索来说，可指定其极性(高或低；CSS0)、源(PIO 引脚、通道触发器或状态变化锁存器；CSS1，CSS2)以及所关心的通道(A、B 或 AB 的逻辑“或”，通过 CSS3、CSS4 来设定)。所有的限制搜索条件及对应的 CSS0 至 CSS4 设置如表 2 所列。

条件搜索的限制条件 表 2

DESCRIPTION		CONDITIONAL SEARCH SELECT CODE				
CONDITION	CHANNEL	CHANNEL SELECT		SOURCE SELECT		POLARITY
		CSS4	CSS3	CSS2	CSS1	CSS0
RESERVED		Don't care		0	0	0/1
Unconditional	neither one	0	0	At least one of these bits needs to be 1		0
Activity Latch = 0	A	0	1	0	1	0
Activity Latch = 1	A	0	1	0	1	1
Channel FF = 0 (transistor on)	A	0	1	1	0	0
Channel FF = 1 (transistor off)	A	0	1	1	0	1
PIO Low	A	0	1	1	1	0
PIO High	A	0	1	1	1	1
Activity Latch = 0	B	1	0	0	1	0
Activity Latch = 1	B	1	0	0	1	1
Channel FF = 0 (transistor on)	B	1	0	1	0	0
Channel FF = 1 (transistor off)	B	1	0	1	0	1
PIO Low	B	1	0	1	1	0
PIO High	B	1	0	1	1	1
Activity Latch = 0	A or B	1	1	0	1	0
Activity Latch = 1	A or B	1	1	0	1	1
Channel FF = 0 (transistor on)	A or B	1	1	1	0	0
Channel FF = 1 (transistor off)	A or B	1	1	1	0	1
PIO Low	A or B	1	1	1	1	0
PIO High	A or B	1	1	1	1	1

状态变化锁存器(图 11)可以捕获通道的状态变化，以便总线主机稍后进行处理。通过这种方式，总线主机就无需不停地对器件的状态进行查询。在相关 PIO 通道上检测到第一个正边沿或负边沿时，状态变化锁存器设置为 1。如果通道控制字节 1 的 ALR 位为 1 的话，可利用 Channel Access 命令来清零状态变化锁存器。DS2406 上电时，状态变化锁存器被自动清零。为了使用状态变化锁存器，所选通道的输出晶体管应处于截止状态，否则由于输出晶体管导通的低阻抗，使接在 PIO 引脚上的信号被短接到地。

通道选择位 CSS3、CSS4 用来指定所搜索条件针对的通道。在 Conditional Search 命令字节执行之后，就可对所选通道进行采样。通道选择代码如下：

CSS4	CSS3	通道选择
0	0	没有选中通道
0	1	选择通道 A
1	0	选择通道 B
1	1	选择通道 A 或通道 B

如果 CSS3 和 CSS4 为 1，则为两个通道所选信号源的逻辑“或”，其结果和指定的逻辑极性相比较。例如：如果指定极性为 0，则只有两个通道的信号源都为 0 的器件才响应 Conditional Search 命令。如果 CSS3 和 CSS4 都是 0，两条通道都不会被选择。此时如果极性位 CSS0 是 0，那么无论选择哪种信号源，器件将一直响应 Conditional Search。如果两条通道都没有被选择，而且 CSS0 = 1，则器件将只对常规 Search ROM 命令作出响应。

条件搜索源的选择是通过源选择位 CSS1 和 CSS2 来实现的。这些位的代码如下：

CSS2	CSS1	源选择
0	0	保留
0	1	锁存有效
1	0	通道翻转
1	1	PIO 状态

CSS1 = 0、CSS2 = 0 留作将来备用。这种情况下，器件将对 Conditional Search 命令响应如下：CSS0 = 0 时，器件将响应 Conditional Search；CSS0 = 1 时，器件不响应 Conditional Search。

条件搜索极性是由 CSS0 指定的。如果 CSS0 为 0，那么当指定通道源的状态为逻辑 0 时 DS2406 将对 Conditional Search 命令作出响应。如果 CSS0 为 1，则源电平要求为逻辑 1。

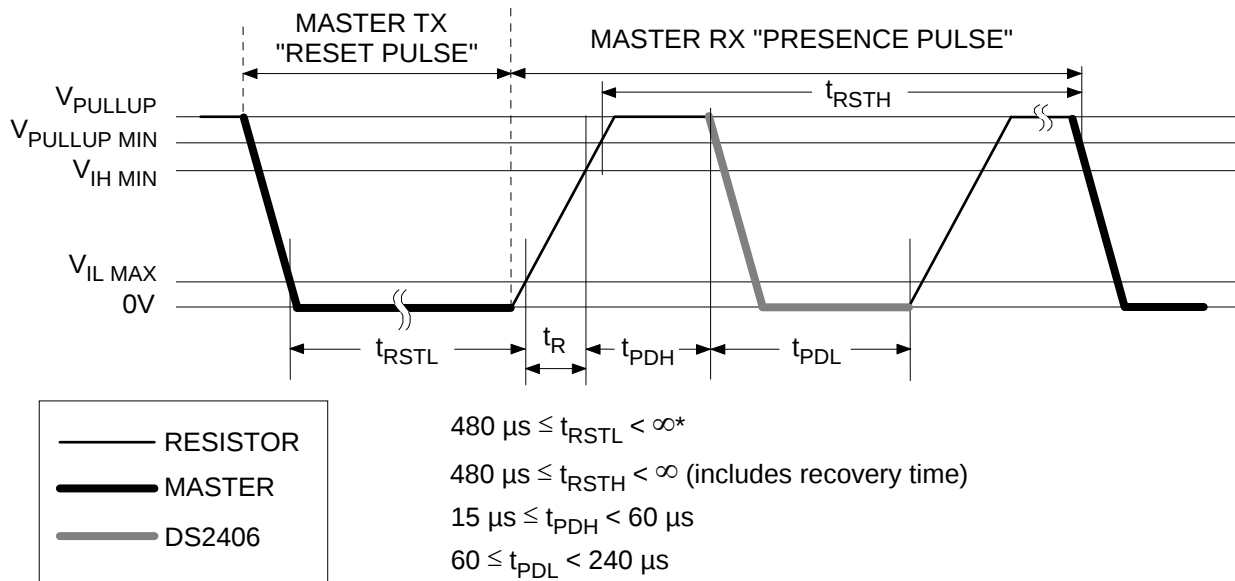
对单通道 DS2406 来说，通道 B 的输入始终被设为逻辑 0，因此 CSS4 不应被设为 1，以避免通道 B 的不利影响。总线主机可根据通道信息字节的位 6 来确定通道 B 是否可以使用。

1-Wire 信令

DS2406 需要严格的协议来保证数据的完整。该协议由通过一条线来传送的五种信令组成：包括复位脉冲和在线应答脉冲的复位序列、写 0、写 1、读数据和产生编程脉冲。除在线应答脉冲以外，所有其它信号都由总线主机发出。

与DS2406 通信时所需的初始化时序如图 14 所示。复位脉冲后的在线应答脉冲表明DS2406 已经准备好发送或接收数据。先由总线主机发送(TX)一个复位脉冲(t_{RSTL} ，最小值 $480\mu s$)，然后总线主机释放总线并进入接收模式(RX)，这时 1-Wire总线通过上拉电阻被拉高。当DS2406 在数据引脚上检测到上升沿后，等待(t_{PDH} ，15 至 $60\mu s$)，然后发送在线应答脉冲(t_{PDL} ，60 至 $240\mu s$)。

初始化时序“复位脉冲和在线应答脉冲” 图 14



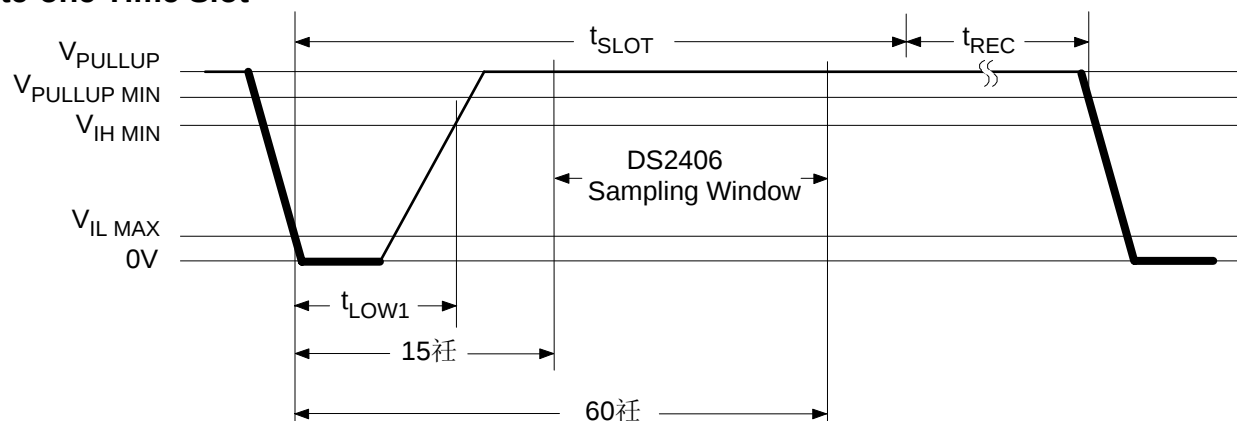
* 为了避免 1-Wire总线上的其它器件屏蔽中断信号， $t_{RSTL} + t_R$ 应始终小于 $960\mu s$ ；在寄生电源供电的环境中，应将 t_{RSTL} 的最大值限制在 $5ms$ 。否则DS2406 将执行上电复位。

读/写时隙

读、写时隙的定义如图 15 所示。主机通过拉低数据线来启动所有时隙。数据线的下降沿通过触发内部延迟电路使 DS2406 与主机同步。在写时隙中，延迟电路可确定什么时候 DS2406 采样数据线。对读数据时隙来说，如果发送的是“0”，那么延迟电路将决定 DS2406 数据线保持为低的时间。如果数据位是“1”，则 DS2406 无需将数据线拉低。

读、写时序图 图 15

Write-one Time Slot



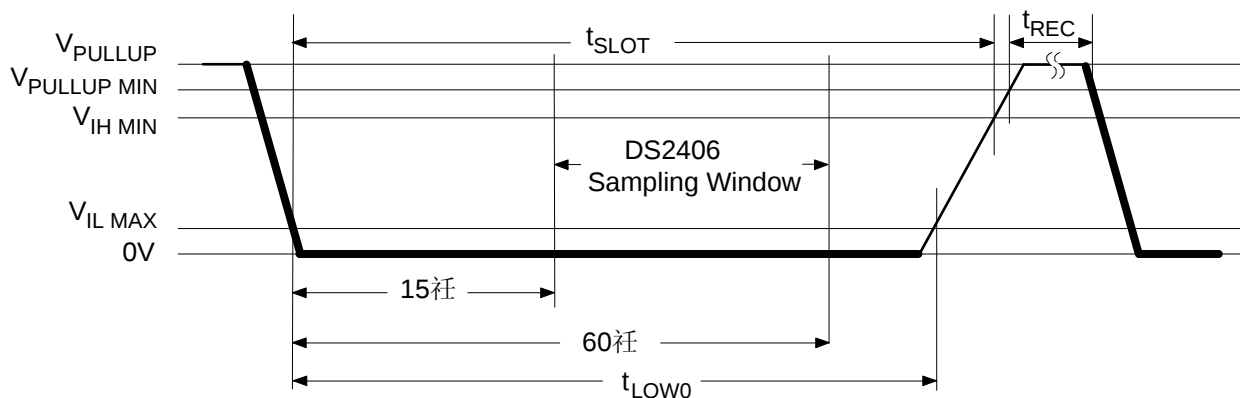
— RESISTOR
 — MASTER

$$60\text{ }\mu\text{s} \leq t_{SLOT} < 120\text{ }\mu\text{s}$$

$$1\text{ }\mu\text{s} \leq t_{LOW1} < 15\text{ }\mu\text{s}$$

$$1\text{ }\mu\text{s} \leq t_{REC} < \infty$$

Write-zero Time Slot



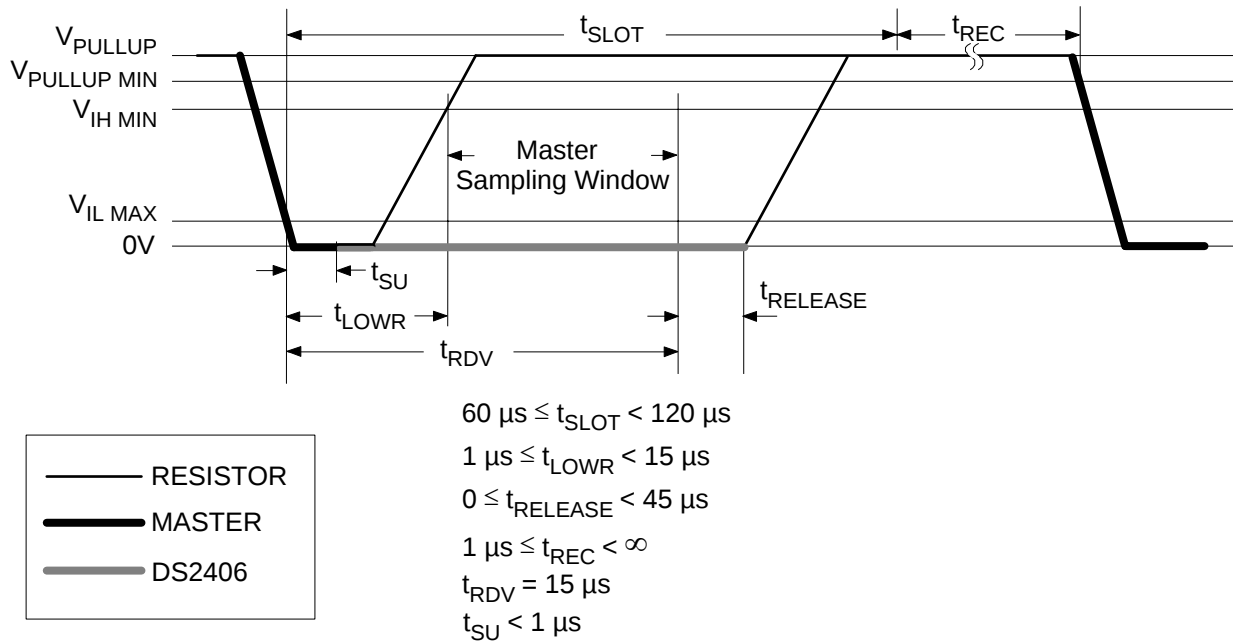
— RESISTOR
 — MASTER

$$60\text{ }\mu\text{s} \leq t_{LOW0} < t_{SLOT} < 120\text{ }\mu\text{s}$$

$$1\text{ }\mu\text{s} \leq t_{REC} < \infty$$

读、写时序图（续）图 15

Read-data Time Slot

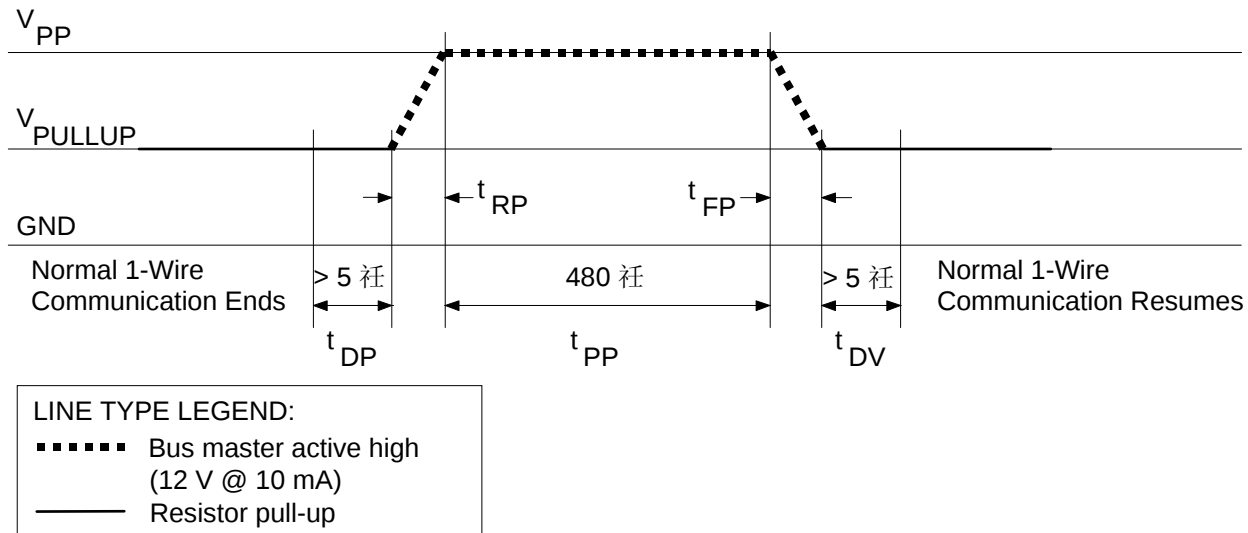


* 主机的最佳采样点应尽可能靠近 $15\ \mu s$ 的 t_{RDV} 的末端，但不能超过 t_{RDV} 。执行读 1 时隙时，这样做会给上拉电阻留出足够的时间以将总线恢复为高电平。执行读 0 时隙时，这将确保在最快的 1-Wire 器件释放总线前 ($t_{RELEASE} = 0$) 执行读操作。

编程脉冲

为从 8 位中间结果暂存器向 EPROM 数据存储器或状态存储器复制数据，可在总线主机确认当前字节的 CRC 码正确之后，给数据线加一个编程脉冲。在编程期间，总线主机通过上拉电阻把总线状态从空闲状态（高电平）变为有效的编程状态，该有效状态可给 DS2406 提供 12V 的编程电压和不小于 10mA 的电流。编程电压(图 16)应维持 $480\ \mu s$ ，之后总线主机应使数据线返回空闲状态。注意：由于任何 1-Wire EPROM 器件的编程都需要较高的电压，因此，在编程期间，不能将不带 EPROM 的 1-Wire 器件与 DS2406 连接在一起。因为不带 EPROM 的 1-Wire 器件内部的二极管会试图把数据线电压钳位在大约 8V，而这可能会造成器件的损坏。

编程脉冲时序图 图 16



CRC 的生成

DS2406 有两种类型的CRC码(循环冗余校验)。一种是 8 位CRC码,它在出厂前就计算好了,并光刻进 64 位ROM码的最高有效位。该CRC码的等效多项式是 $X^8 + X^5 + X^4 + 1$ 。为确定ROM 数据是否被无差错地读取,总线主机将根据 64 位ROM码的前 56 位计算出CRC的值,并把它和从DS2406 里读到的CRC值做比较。读取ROM时,接收到的是 8 位CRC码的原始形式(未求反的)。

另一种CRC码是 16 位的,是根据标准的CRC16 多项式 $X^{16} + X^{15} + X^2 + 1$ 产生的。当读取数据存储器、状态存储器,或利用PIO通道进行通信时,可利用该CRC码来进行差错检测。与 8 位CRC不同的是,16 位CRC总是以补码(反码)的形式被发送或回读。DS2406 芯片中的CRC发生器(图 17)将计算出一个新的 16 位CRC码,图 7 所示是其命令流程图。总线主机将从器件里读出的CRC值同自己根据数据计算出的CRC值相比较,以判断是继续操作还是重读CRC出现错误的数据部分。

当利用 Read Memory 命令从 DS2406 的数据存储器读取数据时,只在把存储器的所有数据传送之后传送一个 16 位 CRC 码。该 CRC 经以下步骤生成:清除 CRC 发生器,依次将低端地址、高端地址和从指定存储单元开始到整个物理数据存储器末的所有数据移入 CRC 发生器。

读状态存储器时,在传送了 8 字节状态存储器页之后也要传送一个 16 位 CRC。该 CRC 可用以下步骤生成:清除 CRC 发生器,依次把命令字节、低端地址、高端地址和从指定存储单元开始到状态存储器的最后一个字节的所有数据移入 CRC 发生器。

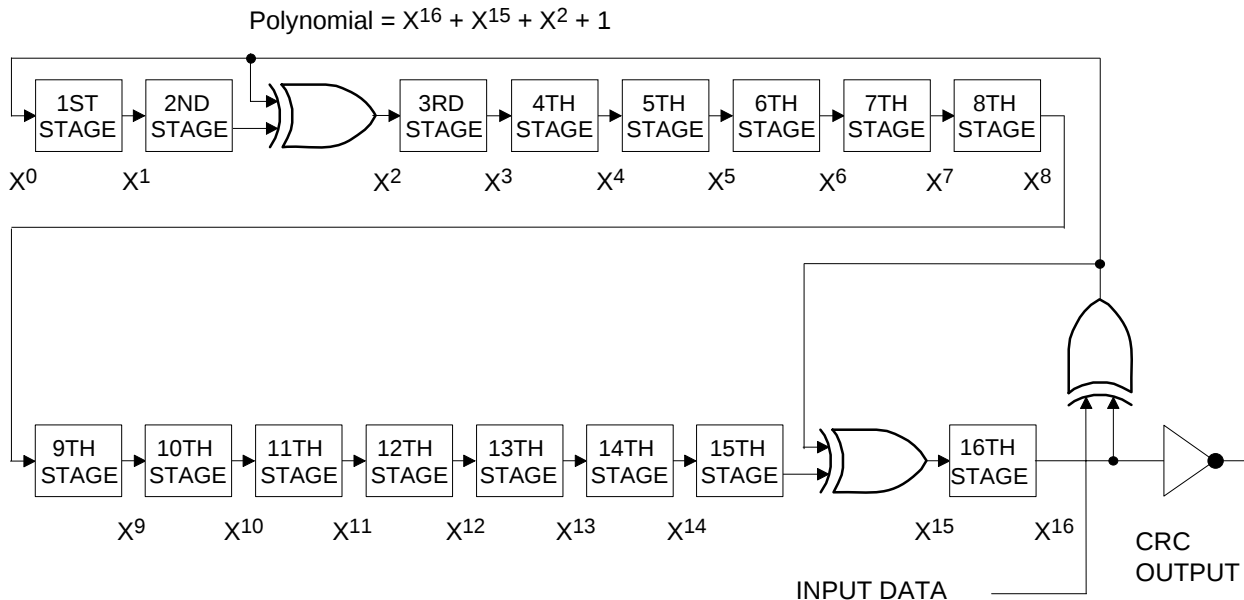
利用 Extended Read Memory 命令读 DS2406 数据存储器时,在两种情况下需要形成 16 位 CRC。一种是在每个重定位字节后发送一个 16 位 CRC;另一种是在存储器数据页的最后一个字节被读出之后发送一个 16 位 CRC。位于存储器页末尾的 CRC 是清除 CRC 发生器后,把从指定的存储单元开始直到这页的最后一个字节全部移入 CRC 发生器后 CRC 的值。在 Extended Read Memory 流程图中,第一次形成的 16 位 CRC 为清空 CRC 发生器后依次把命令字节、两个地址字节和重定位字节移入 CRC 发生器后 CRC 发生器的值。Extended Read Memory 流程图中在后面形成的 16 位 CRC 为清除 CRC 发生器后,接着仅移入重定位字节后 CRC 发生器的值。

向 DS2406 (数据存储器或状态存储器)写数据时,在发出编程脉冲前,总线主机要先接收 DS2406 回送的 16 位 CRC 码,以检验数据传输是否正确。在存储器/状态流程图中第一次写入数据时,DS2406 送回来的 CRC 是清空 CRC 发生器后依次把命令字节、两个地址字节和改向字节移入 CRC 发生器后 CRC 的值。在随后的数据写入操作时,不是通过发送新的写入地址,而是通过 DS2406 内的地址计数器自动加 1 来指定下一个数据的写入地址的,因此写存储器/状态流程图中,随后形成的 16 位 CRC 码是将新的(增加以后的)地址装入(不是移入) CRC 发生器,然后再移入数据字节之后 CRC 发生器得到的结果。

当使用 Channel Access 命令利用 PIO 通道进行通信时,可以选择是否在数据流上插入 CRC 以及隔多少字节插入 16 位 CRC 码。CRC 码的选择通过通道控制字节 1 来设定,并且在每次执行通道访问命令时该值可随之改变。根据所选 CRC 码的不同,器件可在每个通道的每个信息字节之后、8 个字节的数据块之后或在 32 个字节的数据块之后插入 CRC 码。如果设置为要插入 CRC 码,在通道访问流程图中第一次插入的 16 位 CRC 码为清除 CRC 发生器后依次移入命令、通道控制字节 1、通道控制字节 2、通道信息字节和指定大小的数据字节(1, 8 或 32 个字节)后 CRC 发生器的值。通道访问流程图中随后插入的 16 位 CRC 码的值为清除 CRC 发生器,并将新数据字节移入 CRC 发生器后 CRC 发生器的值。该运算规则对所有 PIO 通道的访问,连续读或写,以及轮流读写操作,都是有效的。

校验 CRC 及判断是否继续工作完全由总线主机决定。即使 CRC 码出现错误,DS2406 内部也没有相关电路来阻止命令时序继续执行。有关 CRC 的产生及硬件和软件实现的应用实例详见应用笔记 27。

CRC-16 硬件说明和多项式 图 17



ABSOLUTE MAXIMUM RATINGS*

Voltage on DATA or PIO-A to Ground	-0.5V to +13.0V
Voltage on V _{CC} or PIO-B to Ground	-0.5V to +6.5V
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See J-STD-020A Specifications

* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

DC ELECTRICAL CHARACTERISTICS**DATA PIN**(V_{PUP}=2.8V to 6.0V; -40°C to +85°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
1-Wire Input High	V _{IH}	2.2			V	1, 6
1-Wire Input Low	V _{IL}	-0.3		0.8	V	1, 13
1-Wire Output Low @ 4mA	V _{OL}			0.4	V	1
1-Wire Output High	V _{OH}		V _{PUP}	6.0	V	1, 2
Input Load Current	I _L		5		μA	3
Programming Voltage @ 10mA	V _{PP}	11.5		12.0	V	

DC ELECTRICAL CHARACTERISTICS**PIO PINS**(V_{PUP}=2.8V to 6.0V; -40°C to +85°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Logic 1 (A)	V _{IHA}	2.2		12	V	1, 6
Logic 0 (A)	V _{ILA}	-0.3		0.6	V	1
Output Sink Current @ 4V (A)	I _{SA}	See graph on page 30			mA	11, 12
Output Logic High (A)	V _{OHA}		V _{PUPA}	12.0	V	1, 2
Logic 1 (B)	V _{IHB}	2.2		6.0	V	1, 6
Logic 0 (B)	V _{ILB}	-0.3		0.4	V	1
Output Sink Current @ 4V (B)	I _{SB}	See graph on page 30			mA	
Output Logic High (B)	V _{OHB}		V _{PUPB}	6.0	V	1, 2
Input Resistance	R _I	7	10	13	MΩ	9

DC ELECTRICAL CHARACTERISTICS V_{CC} (V_{PUP}=2.8V to 6.0V; -40°C to +85°C)

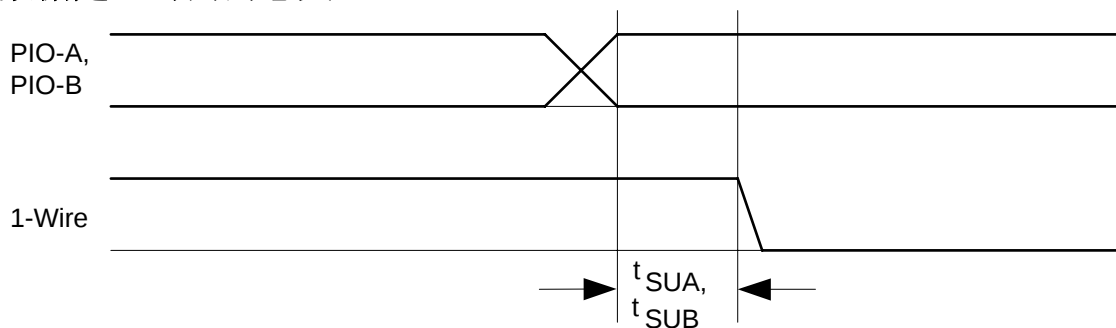
PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Logic 1	V _{IHC}	2.8		6.0	V	1, 10
Logic 0	V _{ILC}	-0.3		0.8	V	1
Input Current	I _{CC}			4.0	μA	3

CAPACITANCES $(t_A = 25^\circ\text{C})$

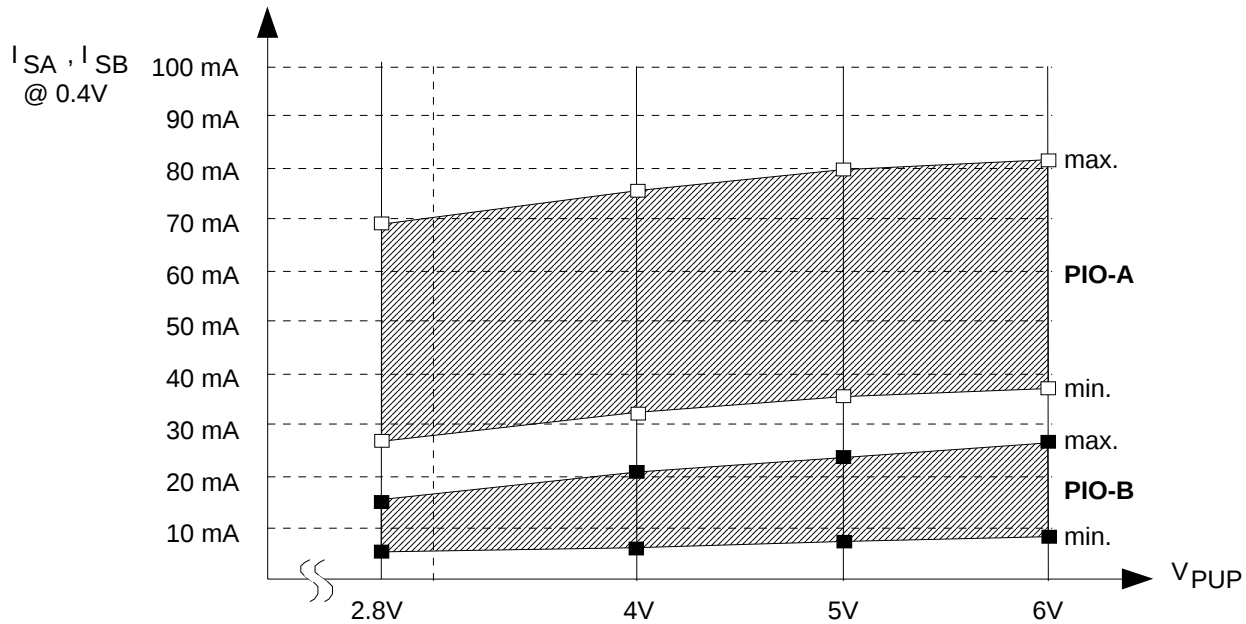
PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Capacitance DATA Pin	C_D			800	pF	7
Capacitance PIO-A Pin	C_A		100		pF	
Capacitance PIO-B Pin	C_B		25		pF	
Capacitance V_{CC} Pin	C_C		10		pF	

AC ELECTRICAL CHARACTERISTICS $(V_{PUP}=2.8\text{V to }6.0\text{V}; -40^\circ\text{C to }+85^\circ\text{C})$

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Time Slot	t_{SLOT}	60		120	μs	
Write 1 Low Time	t_{LOW1}	1		15	μs	16
Write 0 Low Time	t_{LOW0}	60		120	μs	
Read Low Time	t_{LOWR}	1		15	μs	16
Read Data Valid	t_{RDV}		15		μs	15
Release Time	$t_{RELEASE}$	0	15	45	μs	
Read Data Setup 1-Wire	t_{SU}			1	μs	5
Recovery Time	t_{REC}	1			μs	
Reset High Time	t_{RSTH}	480			μs	4
Reset Low Time	t_{RSTL}	480		960	μs	8
Presence Detect High	t_{PDH}	15		60	μs	
Presence Detect Low	t_{PDL}	60		240	μs	
Read Data Setup PIO-A	t_{SUA}	0.5			μs	
Read Data Setup PIO-B	t_{SUB}	0.5			μs	
Delay to Program	t_{DP}	5			μs	
Delay to Verify	t_{DV}	5			μs	
Program Pulse Width	t_{PP}	480		5000	μs	14
Program Voltage Rise Time	t_{RP}	0.5		5.0	μs	
Program Voltage Fall Time	t_{FP}	0.5		5.0	μs	

PIO 读数据建立时间的意义

PIO 吸电流



注释:

1. 所有电压参考地。
2. V_{PUP} , V_{PUPA} , V_{PUPB} = 外部上拉电压。
3. 输入负载是对地而言。
4. 复位终止时才可执行其他复位或通信序列。
5. 读数据建立时间是指主机为读取数据而必须将 1-Wire 总线拉低的时间。在下降沿 $1\mu s$ 后, 数据应保证有效, 数据的有效状态至少可持续 $14\mu s$ (1-Wire 总线下降沿总共为 $15\mu s$)。
6. V_{IH} 是片内电源电压的函数, 该电压既可由外部上拉电阻和 V_{PUP} 决定, 也可由电源 V_{CC} 决定, 取决于哪个更高。在没有电源 V_{CC} 的情况下, 任何一个 PIO 引脚上的 V_{IH} 电压始终大于或等于 $V_{PUP} - 0.3V$ 。
7. 首次加电时, 数据引脚上产生的电容可能会达到 $800pF$ 。如果采用一个 $5k\Omega$ 上拉电阻将数据线拉高至 V_{PUP} , 则上电 $5\mu s$ 之后该寄生电容就不会对正常通讯产生影响了。
8. 复位低电平时间(t_{RSTL})的最大值应被限制在 $960\mu s$ 以内, 这样中断信号可以工作; 否则可能会掩盖或屏蔽中断脉冲。
9. 输入电阻是对地而言的。
10. 如果在编程脉冲期间接入 V_{CC} , 则其值至少应为 $4.0V$ 。
11. 如果 PIO-A 电流达到了 $200mA$, 则输出晶体管的门电压将会下降以将吸电流限制在 $200mA$ 以内。用户自己供电时 (采用 V_{CC} 供电时), 应将流经 PIO 晶体管的电流限制在 $100mA$ 以内, 否则可能会损坏 DS2406。
12. PIO-A 有一个受控的开启输出, 其指示值为直流电流值。在晶体管导通 $1\mu s$ 后, 当 $V_{PUP} = 4.0V$ 时, 通常吸电流可达到该直流值的 80% 。
13. 在某些低电压情况下, V_{ILMAX} 必须降至 $0.5V$, 以保证有在线应答脉冲时可正常工作。
14. 对每次寻址来说编程脉冲的持续时间不得超过 $5ms$ 。
15. 主机的最佳采样点应尽可能靠近 $15\mu s$ 的 t_{RDV} 的终止时间, 但不能超过 t_{RDV} 。执行读 1 时隙时, 这样做会给上拉电阻留出足够的时间来使总线恢复为高电平; 执行读 0 时隙时, 这将确保在最快的 1-Wire 器件释放总线前($t_{RELEASE} = 0$)执行读操作。

16. 由主机发出的低电平脉冲的持续时间最少应为 $1\mu\text{s}$ ，但其最大值应尽可能短，这样可使上拉电阻在写 1 低时序中的 1-Wire 从器件采样之前或在读低时序中的主机采样之前，将总线恢复为高电平。

Maxim北京办事处

北京8328信箱邮政编码100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

本文是Maxim正式英文资料的译文，Maxim不对翻译中存在的差异或由此产生的错误负责。请注意译文中可能存在文字组织或翻译错误，如需确认任何词语的准确性，请参考Maxim提供的英文版资料。

索取免费样品和最新版的数据资料，请访问Maxim的主页：www.maxim-ic.com.cn。

Maxim 不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2007 Maxim Integrated Products, Inc. All rights reserved.

Maxim 标志是 Maxim Integrated Products, Inc.的注册商标。Dallas 标志是 Dallas Semiconductor Corp.的注册商标。