



1.8Mps、单电源、低功耗、真差分、10位 ADC，内置基准

MAX1076/MAX1078

概述

MAX1076/MAX1078 10位模数转换器(ADC)具有低功耗、高速、串行输出的特点，其采样速率最高可达1.8Mps，内置基准。器件提供真差分输入，较单端输入可提供更好的噪声抑制、失真改善以及更宽的动态范围。标准的SPI™/QSPI™/MICROWIRE™接口提供转换所需的时钟信号。可以轻松地与标准数字信号处理器(DSP)的同步串行接口相连接。

MAX1076/MAX1078工作在+4.75V至+5.25V的单电源电压，内置4.096V基准源。MAX1076允许单极性模拟输入，而MAX1078允许双极性模拟输入。器件具有局部关断模式和完全关断模式，能够将两次转换之间的电源电流分别降低至2mA (典型值)和1μA (最大值)。器件还具有一个独立的电源输入(V_L)，允许直接与+1.8V到V_{DD}的数字逻辑接口。高转换速度、低功耗、优异的交流性能和直流准确度(±0.5 LSB INL)等特性使得MAX1076/MAX1078非常适合工业过程控制、电机控制以及基站应用。

MAX1076/MAX1078提供12引脚的TQFN封装，工作于扩展级温度范围(-40°C至+85°C)。

特性

- ◆ 1.8Mps采样速率
- ◆ 功耗仅50mW (典型值)
- ◆ 关断电流仅1μA (最大值)
- ◆ 高速、SPI兼容、3线串行接口
- ◆ 525kHz输入频率下61dB的S/(N + D)
- ◆ 内部真差分采样/保持(T/H)
- ◆ 内部4.096V基准源
- ◆ 无流水线延迟
- ◆ 小巧的12引脚TQFN封装

订购信息

PART	TEMP RANGE	PIN-PACKAGE	INPUT
MAX1076ETC+T	-40°C to +85°C	12 TQFN	Unipolar
MAX1078ETC+T	-40°C to +85°C	12 TQFN	Bipolar

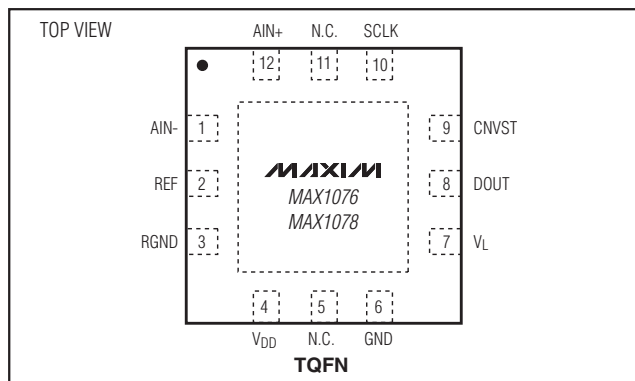
+表示无铅(Pb)/符合RoHS标准的封装。

T = 卷带包装。

应用

数据采集 通讯
票据认证 便携式仪表
电机控制

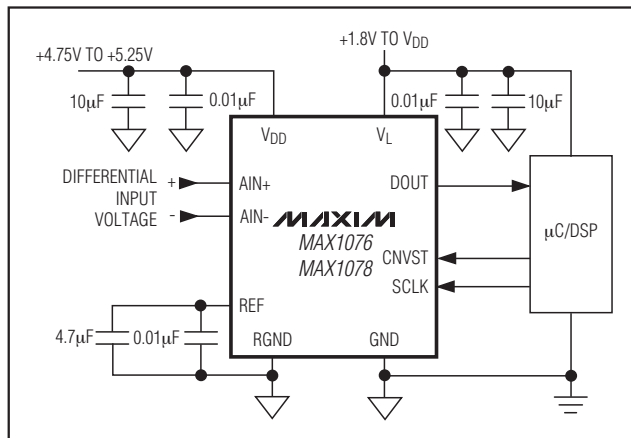
引脚配置



SPI/QSPI是 Motorola, Inc.的商标。

MICROWIRE是 National Semiconductor Corp.的商标。

典型工作电路



1.8Msps、单电源、低功耗、 真差分、10位 ADC，内置基准

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +6V
 V_L to GND-0.3V to the lower of (V_{DD} + 0.3V) and +6V
 Digital Inputs
 to GND-0.3V to the lower of (V_{DD} + 0.3V) and +6V
 Digital Output
 to GND-0.3V to the lower of (V_L + 0.3V) and +6V
 Analog Inputs and
 REF to GND.....-0.3V to the lower of (V_{DD} + 0.3V) and +6V
 RGND to GND-0.3V to +0.3V

Maximum Current into Any Pin.....50mA
 Continuous Power Dissipation (T_A = +70°C)
 12-Pin TQFN (derate 16.9mW/°C above +70°C)1349mW
 Operating Temperature Range
 MAX107_ ETC.....-40°C to +85°C
 Junction Temperature.....+150°C
 Storage Temperature Range-60°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±5%, V_L = V_{DD}, f_{SCLK} = 28.8MHz, 50% duty cycle, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			10			Bits
Relative Accuracy	INL	(Note 1)			±0.5	LSB
Differential Nonlinearity	DNL	(Note 2)			±0.5	LSB
Offset Error					±2	LSB
Offset-Error Temperature Coefficient				±1		ppm/°C
Gain Error		Offset nulled			±2	LSB
Gain Temperature Coefficient				±2		ppm/°C
DYNAMIC SPECIFICATIONS (f_{IN} = 525kHz sine wave, V_{IN} = V_{REF}, unless otherwise noted.)						
Signal-to-Noise Plus Distortion	SINAD		60	61		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-80	-74	dB
Spurious-Free Dynamic Range	SFDR			-80	-74	dB
Intermodulation Distortion	IMD	f _{IN1} = 250kHz, f _{IN2} = 300kHz		-78		dB
Full-Power Bandwidth		-3dB point, small-signal method		20		MHz
Full-Linear Bandwidth		S/(N + D) > 56dB, single ended		2		MHz
CONVERSION RATE						
Minimum Conversion Time	t _{CONV}	(Note 3)			0.556	μs
Maximum Throughput Rate			1.8			Msps
Minimum Throughput Rate		(Note 4)	10			ksps
Track-and-Hold Acquisition Time	t _{ACQ}	(Note 5)		104		ns
Aperture Delay				5		ns
Aperture Jitter		(Note 6)		30		ps
External Clock Frequency	f _{SCLK}				28.8	MHz

1.8Msps、单电源、低功耗、 真差分、10位 ADC，内置基准

MAX1076/MAX1078

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 5\%$, $V_L = V_{DD}$, $f_{SCLK} = 28.8MHz$, 50% duty cycle, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS (AIN+, AIN-)						
Differential Input Voltage Range	V_{IN}	AIN+ - AIN-, MAX1076	0	V_{REF}		V
		AIN+ - AIN-, MAX1078	$-V_{REF} / 2$	$+V_{REF} / 2$		
Absolute Input Voltage Range			0	V_{DD}		V
DC Leakage Current				± 1		μA
Input Capacitance		Per input pin		16		pF
Input Current (Average)		Time averaged at maximum throughput rate		75		μA
REFERENCE OUTPUT (REF)						
REF Output Voltage Range		Static, $T_A = +25^\circ C$	4.086	4.096	4.106	V
Voltage Temperature Coefficient				± 50		ppm/ $^\circ C$
Load Regulation		$I_{SOURCE} = 0$ to 2mA		0.3		mV/mA
		$I_{SINK} = 0$ to 200 μA		0.5		
Line Regulation		$V_{DD} = 4.75V$ to 5.25V, static		0.5		mV/V
DIGITAL INPUTS (SCLK, CNVST)						
Input-Voltage Low	V_{IL}			$0.3 \times V_L$		V
Input-Voltage High	V_{IH}		$0.7 \times V_L$			V
Input Leakage Current	I_{IL}			0.05	± 10	μA
DIGITAL OUTPUT (DOUT)						
Output Load Capacitance	C_{OUT}	For stated timing performance			30	pF
Output-Voltage Low	V_{OL}	$I_{SINK} = 5mA$, $V_L \geq 1.8V$			0.4	V
Output-Voltage High	V_{OH}	$I_{SOURCE} = 1mA$, $V_L \geq 1.8V$	$V_L - 0.5V$			V
Output Leakage Current	I_{OL}	Output high impedance		± 0.2	± 10	μA
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		4.75		5.25	V
Digital Supply Voltage	V_L		1.8		V_{DD}	V
Analog Supply Current, Normal Mode	I_{DD}	Static, $f_{SCLK} = 28.8MHz$		8	11	mA
		Static, no SCLK		5	7	
		Operational, 1.8Msps		10	13	
Analog Supply Current, Partial Power-Down Mode	I_{DD}	$f_{SCLK} = 28.8MHz$		2		mA
		No SCLK		2		
Analog Supply Current, Full Power-Down Mode	I_{DD}	$f_{SCLK} = 28.8MHz$		1		μA
		No SCLK		0.3	1	
Digital Supply Current (Note 7)		Operational, full-scale input at 1.8Msps		1	2.5	mA
		Static, $f_{SCLK} = 28.8MHz$		0.4	1	
		Partial/full power-down mode, $f_{SCLK} = 28.8MHz$		0.2	0.5	
		Static, no SCLK (all modes)		0.1	1	μA
Positive-Supply Rejection	PSR	$V_{DD} = 5V \pm 5\%$, full-scale input		± 0.2	± 3.0	mV

1.8Mpsps、单电源、低功耗、 真差分、10位 ADC，内置基准

TIMING CHARACTERISTICS

($V_{DD} = +5V \pm 5\%$, $V_L = V_{DD}$, $f_{SCLK} = 28.8MHz$, 50% duty cycle, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Pulse-Width High	t_{CH}	$V_L = 1.8V$ to V_{DD}	15.6			ns
SCLK Pulse-Width Low	t_{CL}	$V_L = 1.8V$ to V_{DD}	15.6			ns
SCLK Rise to DOUT Transition	t_{DOUT}	$C_L = 30pF$, $V_L = 4.75V$ to V_{DD}			14	ns
		$C_L = 30pF$, $V_L = 2.7V$ to V_{DD}			17	
		$C_L = 30pF$, $V_L = 1.8V$ to V_{DD}			24	
DOUT Remains Valid After SCLK Rise	t_{DHOLD}	$V_L = 1.8V$ to V_{DD}	4			ns
CNVST Fall to SCLK Fall	t_{SETUP}	$V_L = 1.8V$ to V_{DD}	10			ns
CNVST Pulse Width	t_{CSW}	$V_L = 1.8V$ to V_{DD}	20			ns
Power-Up Time; Full Power-Down	t_{PWR-UP}			2		ms
Restart Time; Partial Power-Down	t_{RCV}			16		Cycles

Note 1: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the gain error and the offset error have been nulled.

Note 2: No missing codes over temperature.

Note 3: Conversion time is defined as the number of clock cycles (16) multiplied by the clock period.

Note 4: At sample rates below 10ksps, the input full-linear bandwidth is reduced to 5kHz.

Note 5: The listed value of three SCLK cycles is given for full-speed continuous conversions. Acquisition time begins on the 14th rising edge of SCLK and terminates on the next falling edge of CNVST. The IC idles in acquisition mode between conversions.

Note 6: Undersampling at the maximum signal bandwidth requires the minimum jitter spec for SINAD performance.

Note 7: Digital supply current is measured with the V_{IH} level equal to V_L , and the V_{IL} level equal to GND.

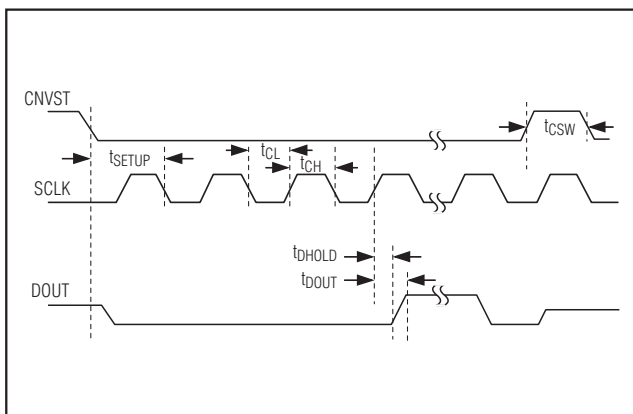


图 1. 详细的串行接口时序

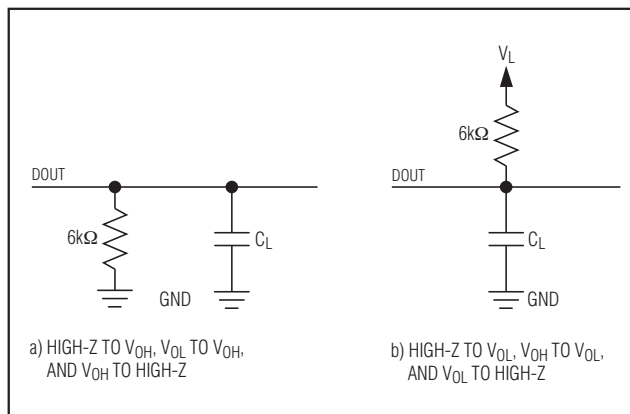


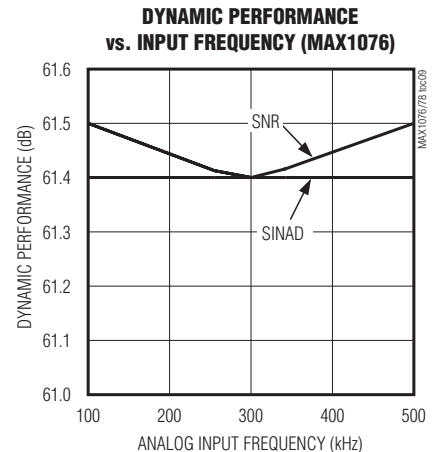
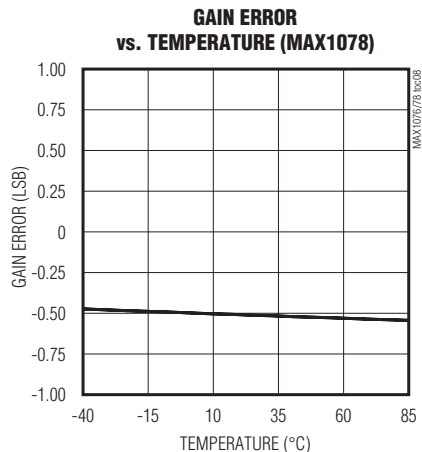
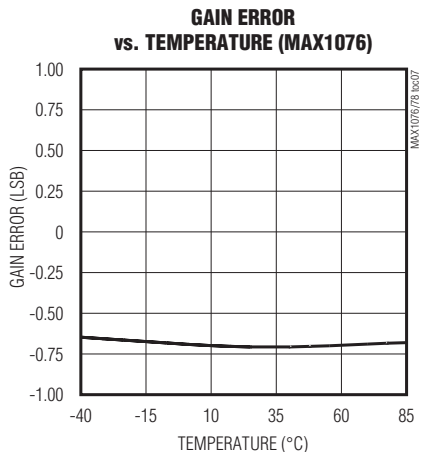
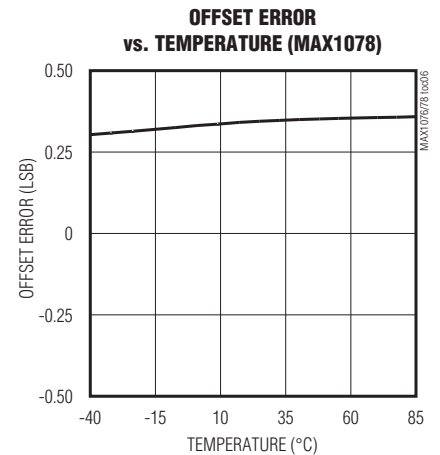
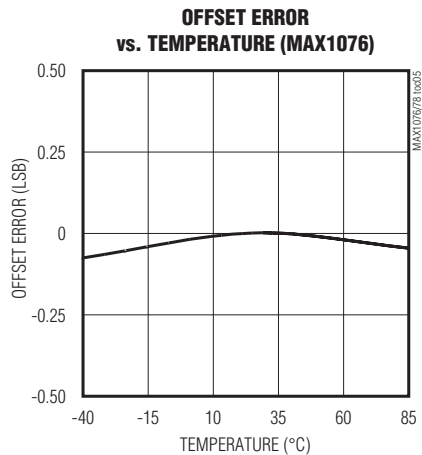
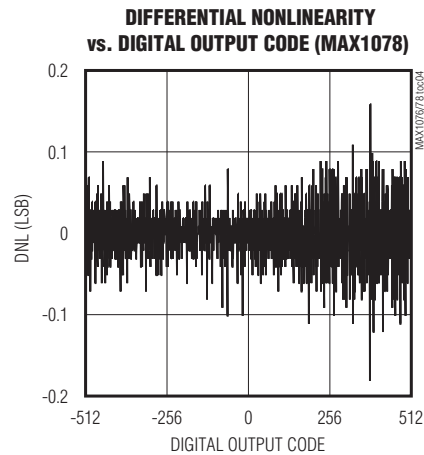
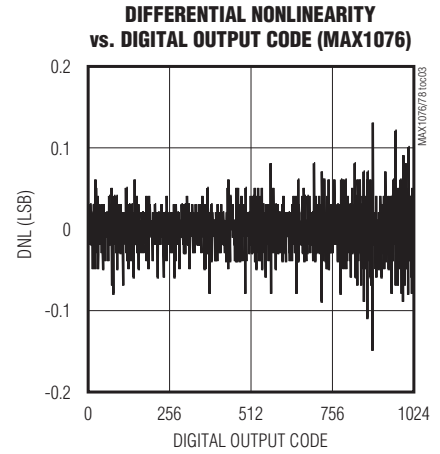
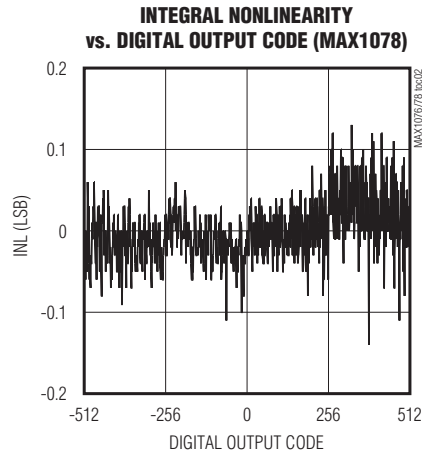
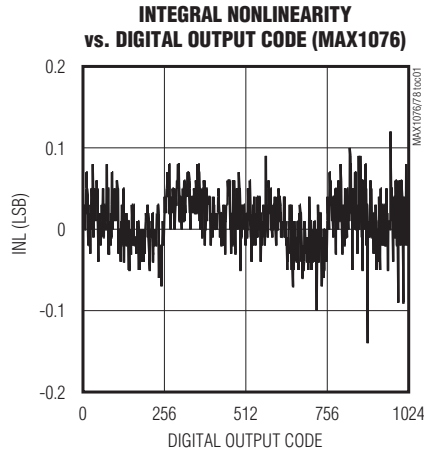
图 2. 使能/禁用时间测试负载电路

1.8Mps、单电源、低功耗、 真差分、10位 ADC，内置基准

典型工作特性

($V_{DD} = +5V$, $V_L = V_{DD}$, $f_{SCLK} = 28.8MHz$, $f_{SAMPLE} = 1.8Mps$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

MAX1076/MAX1078

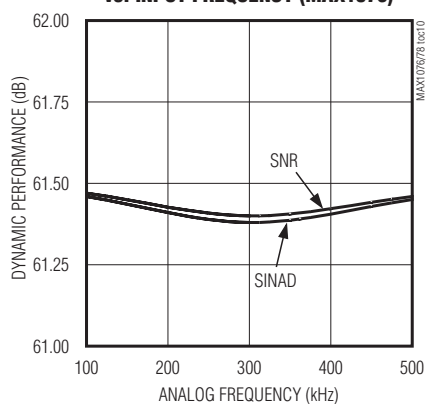


1.8Mps、单电源、低功耗、 真差分、10位 ADC，内置基准

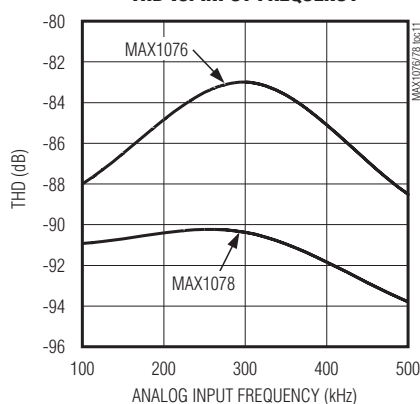
典型工作特性(续)

($V_{DD} = +5V$, $V_L = V_{DD}$, $f_{SCLK} = 28.8MHz$, $f_{SAMPLE} = 1.8Mps$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

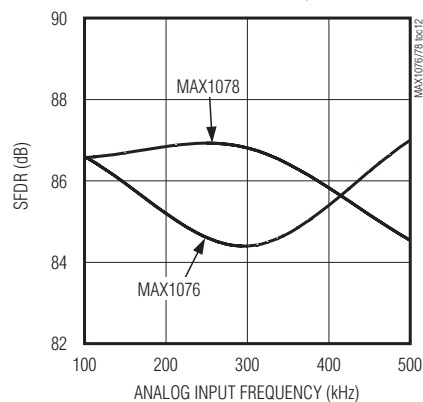
**DYNAMIC PERFORMANCE
vs. INPUT FREQUENCY (MAX1078)**



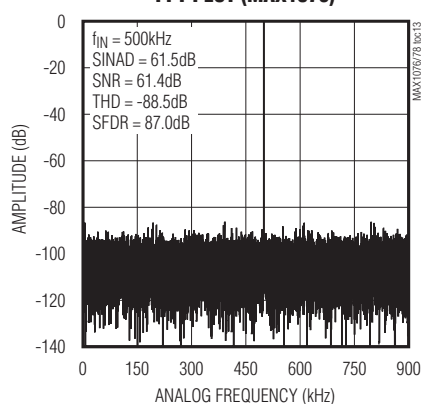
THD vs. INPUT FREQUENCY



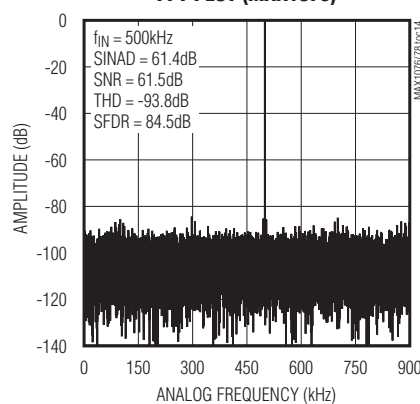
SFDR vs. INPUT FREQUENCY



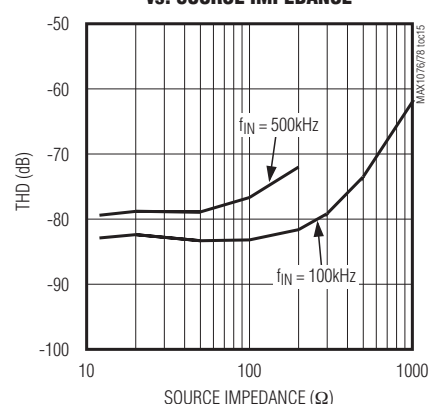
FFT PLOT (MAX1076)



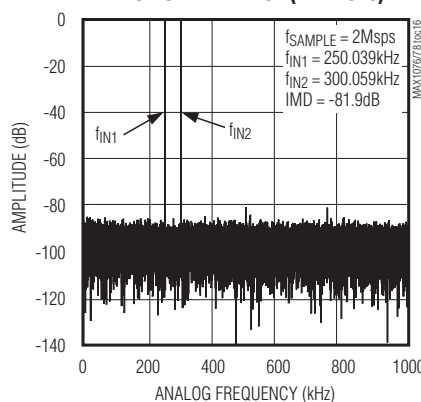
FFT PLOT (MAX1078)



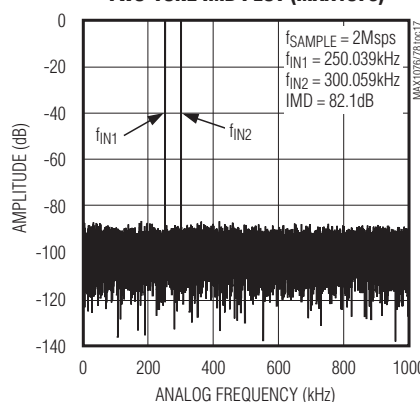
**TOTAL HARMONIC DISTORTION
vs. SOURCE IMPEDANCE**



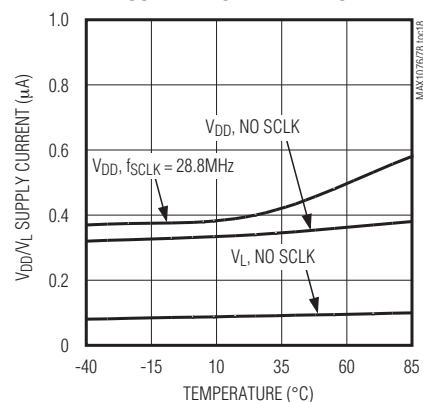
TWO-TONE IMD PLOT (MAX1076)



TWO-TONE IMD PLOT (MAX1078)



**V_{DD}/V_L FULL POWER-DOWN SUPPLY
CURRENT vs. TEMPERATURE**



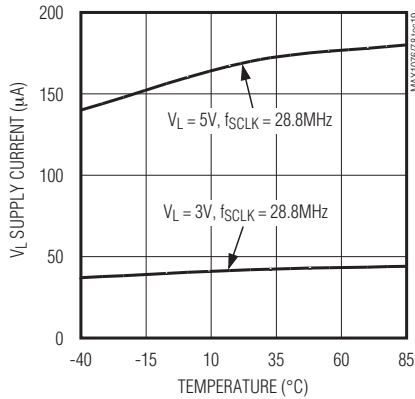
1.8Mpsps、单电源、低功耗、真差分、10位 ADC，内置基准

典型工作特性(续)

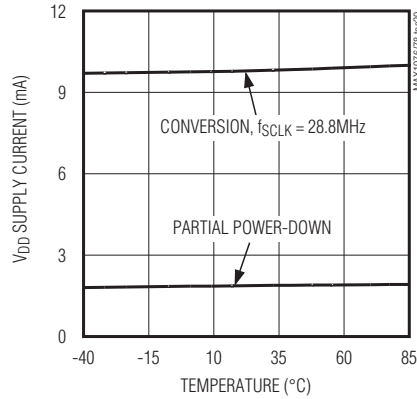
($V_{DD} = +5V$, $V_L = V_{DD}$, $f_{SCLK} = 28.8MHz$, $f_{SAMPLE} = 1.8Mpsps$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

MAX1076/MAX1078

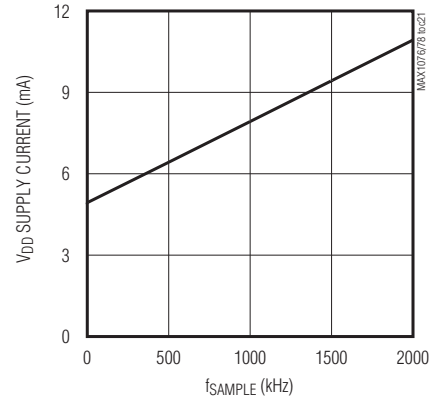
V_L PARTIAL/FULL POWER-DOWN SUPPLY CURRENT vs. TEMPERATURE



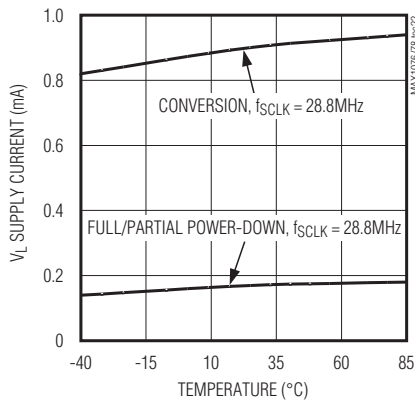
V_{DD} SUPPLY CURRENT vs. TEMPERATURE



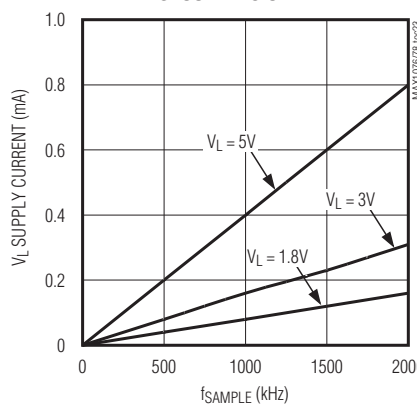
V_{DD} SUPPLY CURRENT vs. CONVERSION RATE



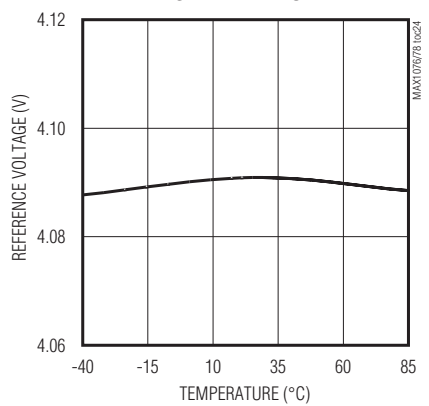
V_L SUPPLY CURRENT vs. TEMPERATURE



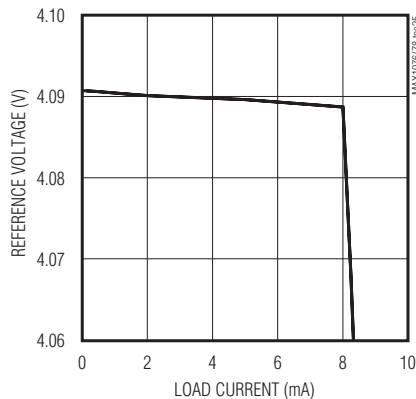
V_L SUPPLY CURRENT vs. CONVERSION RATE



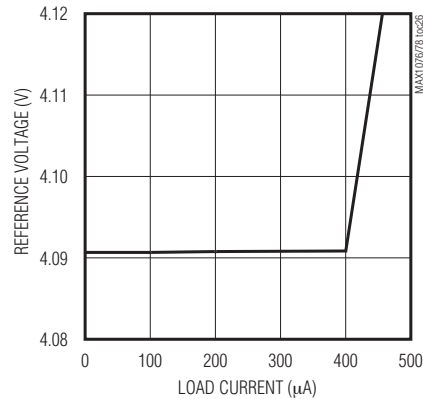
REFERENCE VOLTAGE vs. TEMPERATURE



REFERENCE VOLTAGE vs. LOAD CURRENT (SOURCE)



REFERENCE VOLTAGE vs. LOAD CURRENT (SINK)



1.8Mpsps、单电源、低功耗、 真差分、10位 ADC，内置基准

引脚说明

引脚	名称	功能
1	AIN-	模拟输入负端。
2	REF	基准电压输出。内置4.096V基准输出，用0.01μF电容和4.7μF电容旁路REF至RGND。
3	RGND	基准地。连接RGND至GND。
4	V _{DD}	模拟正电源电压(+4.75V至+5.25V)。使用0.01μF电容和10μF电容旁路V _{DD} 至GND。
5, 11	N.C.	无连接。
6	GND	地。GND在内部连接至EP。
7	V _L	逻辑正电源电压(1.8V至V _{DD})。使用0.01μF电容和10μF电容旁路V _L 至GND。
8	DOUT	串行数据输出。在SCLK的上升沿移出数据。
9	CNVST	转换启动。强制CNVST为高电平使器件准备转换。在CNVST的下降沿启动转换。CNVST的下降沿决定采样时刻。
10	SCLK	串行时钟输入。串行时钟从串行接口移出数据。SCLK也决定转换速率。
12	AIN+	模拟输入正端。
—	EP	裸焊盘。EP在内部连接至GND。

详细说明

MAX1076/MAX1078采用输入采样/保持和逐次逼近寄存器(SAR)电路，将模拟输入信号转换为10位数字输出。串行接口仅需要三根数字连接线(SCLK、CNVST和DOUT)，提供了与微处理器(μP)和DSP的便利连接。图3给出了简化的MAX1076/MAX1078内部结构。

真差分模拟输入采样/保持器

图4等效电路给出了MAX1076/MAX1078的输入结构，它由采样/保持器、比较器以及开关电容型数模转换器(DAC)构成。在上次转换的第14个SCLK上升沿，采样/保持器进入其采样模式。一旦上电，采样/保持器就立即进入其采样模式。输入电容正极连接至AIN+，而输入电容负极与AIN-相连。在CNVST的下降沿采样/保持器进入其保持模式，转换采样正负输入电平之间的差值。采样/保持器采集输入信号所需的时间取决于其输入电容的充电速度。如果输入信号源的阻抗较高，那么采样时间会加长。采样

时间 t_{ACQ} 是采集信号所必需的最短时间。它由如下公式计算：

$$t_{ACQ} \geq 8 \times (R_S + R_{IN}) \times 16pF$$

其中， $R_{IN} = 200\Omega$ ， R_S 是输入信号的源阻抗。

注： t_{ACQ} 不会小于104ns，并且任何低于12Ω的源阻抗不会显著影响ADC的交流性能。

输入带宽

ADC的输入采样电路具有20MHz小信号带宽，使其能够量化高速瞬变信号，以及通过使用欠采样技术测量带宽超过ADC采样速率的周期信号。为避免高频信号混入感兴趣的频段，建议采用抗混叠滤波器。

模拟输入保护

内部保护二极管将模拟输入钳位至V_{DD}和GND，允许模拟输入引脚的电压摆幅从GND - 0.3V至V_{DD} + 0.3V，而不会损坏器件。为确保正确转换，两个输入端电压都不能超出V_{DD}或者低于GND。

1.8Mpsps、单电源、低功耗、 真差分、10位 ADC，内置基准

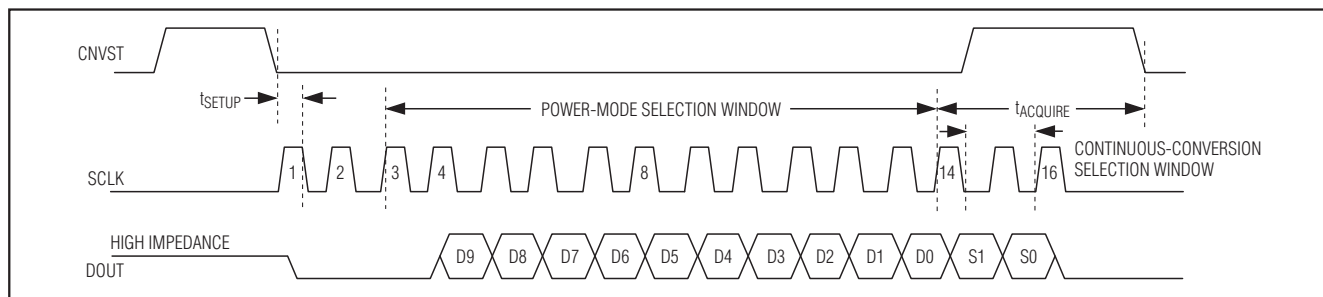


图5. 接口时序

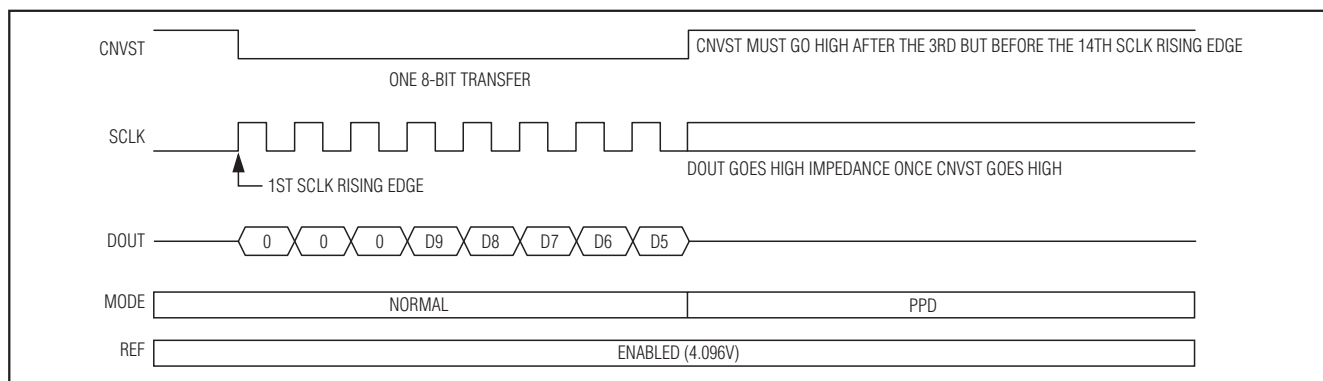


图6. SPI接口——局部关断模式

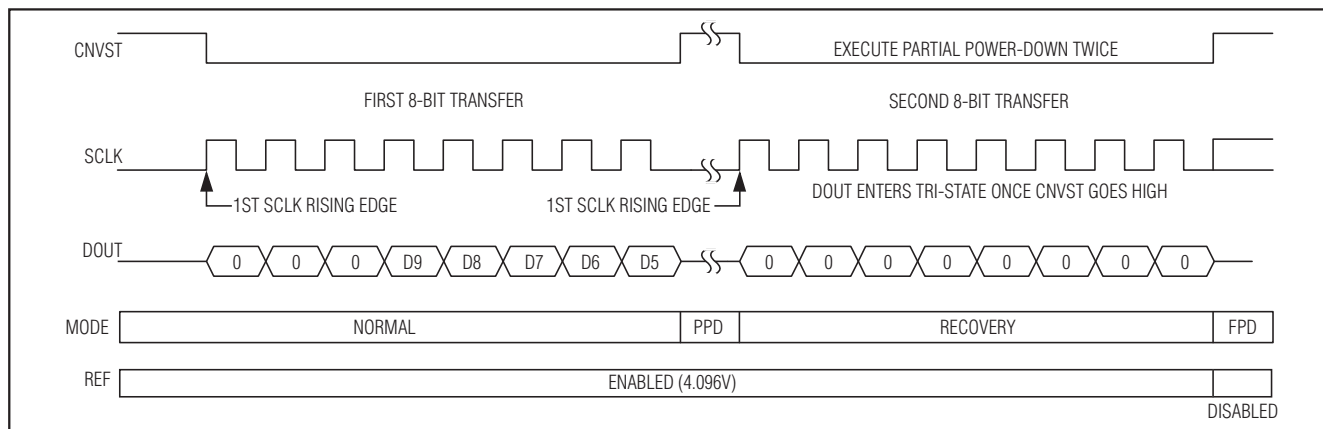


图7. SPI接口——完全关断模式

将进入完全关断模式(如图7所示)。拉低CNVST信号，并在拉高CNVST信号之前至少保持14个SCLK周期，将退出完全关断模式。完全关断模式下，基准被禁止，使功耗降至最小。退出完全关断模式时，需要至少保证2ms的恢复时间，用于基准电压的建立。在局部/完全关断模式下，保持SCLK信号逻辑低或者逻辑高电平，以尽可能降低功耗。

传输函数

图8给出了MAX1076的单极性传输函数。图9给出了MAX1078的双极性传输函数。MAX1076输出二进制原码，而MAX1078输出二进制补码。

1.8Mps、单电源、低功耗、真差分、10位 ADC，内置基准

应用信息

内部基准源

MAX1076/MAX1078带有一个内部基准，调节在4.096V。内部基准输出连接到REF引脚，并驱动内部电容DAC。输出也可用作其它元件的基准电压源，可提供2mA的电流。REF引脚需通过0.01μF和4.7μF电容旁路至RGND。

标准模式和局部关断模式下，内部基准持续保持供电状态。完全关断模式下，内部基准被禁止。硬件上电或退出完全关断模式时，须至少保证2ms的恢复时间，使基准达到其标称值。

如何启动转换

模数转换由CNVST信号启动，由SCLK信号提供时钟，而转换结果由SCLK信号从DOUT引脚串行输出。当SCLK信号处于空闲的高或者低电平，CNVST信号的下降沿启动一次转换。这使模拟输入级由采样模式转换为保持模式，DOUT引脚由高阻态变为低电平。完成一次正常的转换需要16个SCLK周期。如果CNVST信号在第16个SCLK信号下降沿期间保持低电平，DOUT引脚会在下一个CNVST或者SCLK的上升沿返回至高阻态，以使多片器件共享该串行接口。如果CNVST信号在第14个SCLK上升沿之后并在第16个上升沿之前拉为高电平，DOUT引脚保持有效以便进行连续的转换。当器件执行连续转换时，具有最高的数据吞吐率。图10描述了使用典型串行接口的转换方式。

与标准接口连接

MAX1076/MAX1078串行接口完全兼容SPI/QSPI和MICROWIRE (如图11所示)。如果有串行接口可用，将CPU的串行接口设置为主机模式，这样由CPU产生串行时钟。选择时钟频率可达28.8MHz。

SPI与MICROWIRE

当使用SPI或者MICROWIRE接口时，MAX1076/MAX1078兼容于SPI或MICROWIRE的四种工作模式，由控制寄存器中CPHA和CPOL位进行编程选择。转换开始于CNVST信号下降沿，DOUT变为低电平，指示转换正在进行。从ADC获取完整的10位数据，需要连续的两次单字节读数。DOUT在SCLK的上升沿输出数据。在 t_{DOUT} 时间之后，保证DOUT有效，并且保持有效直到下一个SCLK上升沿之后的 t_{DHOLD} 时间。当设置CPOL = 0、CPHA = 0，或者CPOL = 1、CPHA = 1时，数据在下一个上升沿移入微处

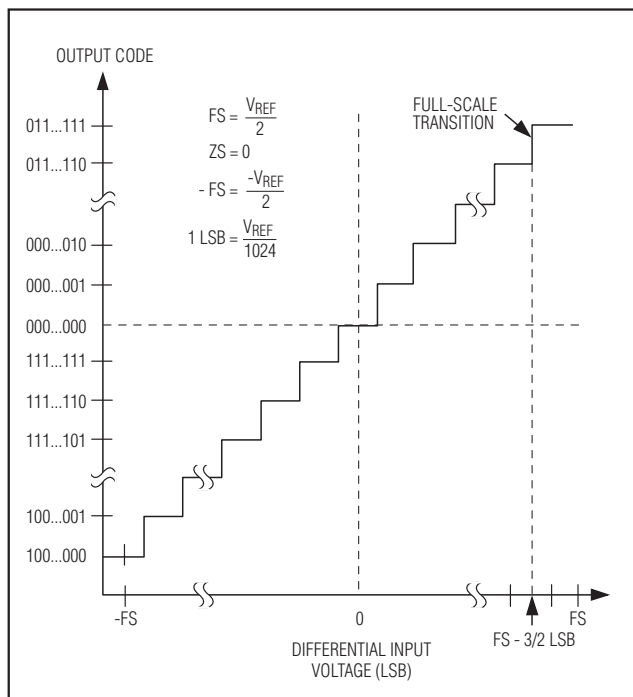


图8. 单极性传输函数(MAX1076)

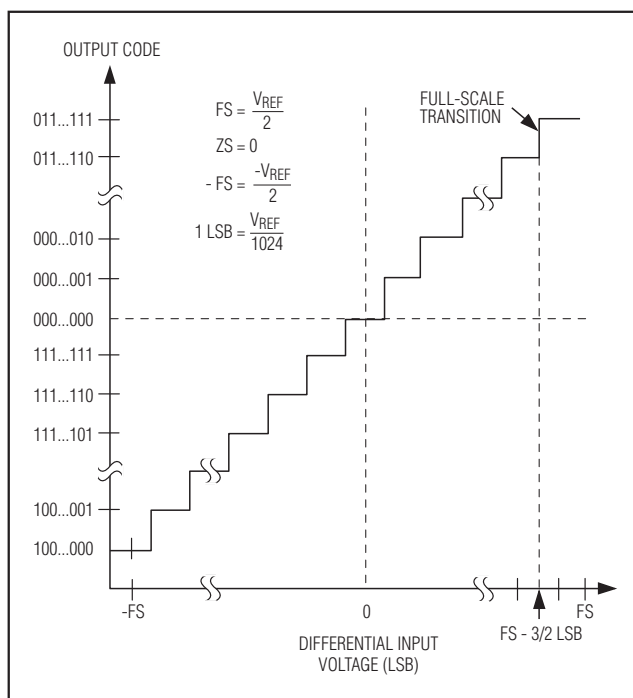


图9. 双极性传输函数(MAX1078)

1.8Msps、单电源、低功耗、 真差分、10位 ADC，内置基准

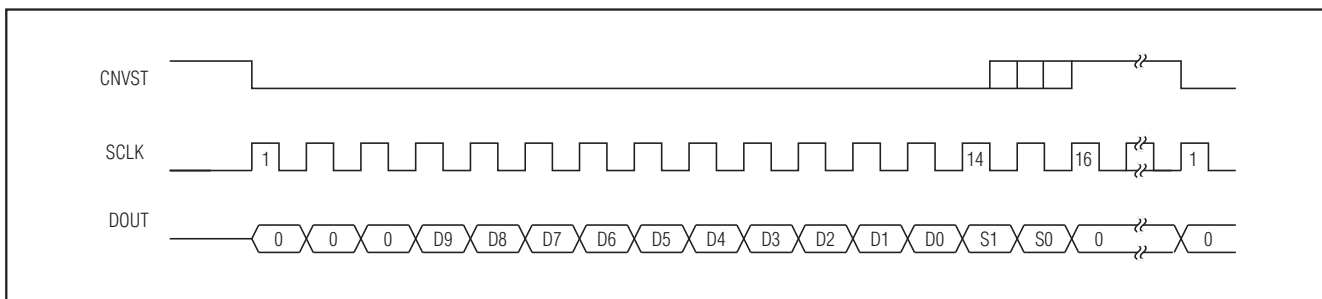


图10. 采用突发/连续时钟的连续转换

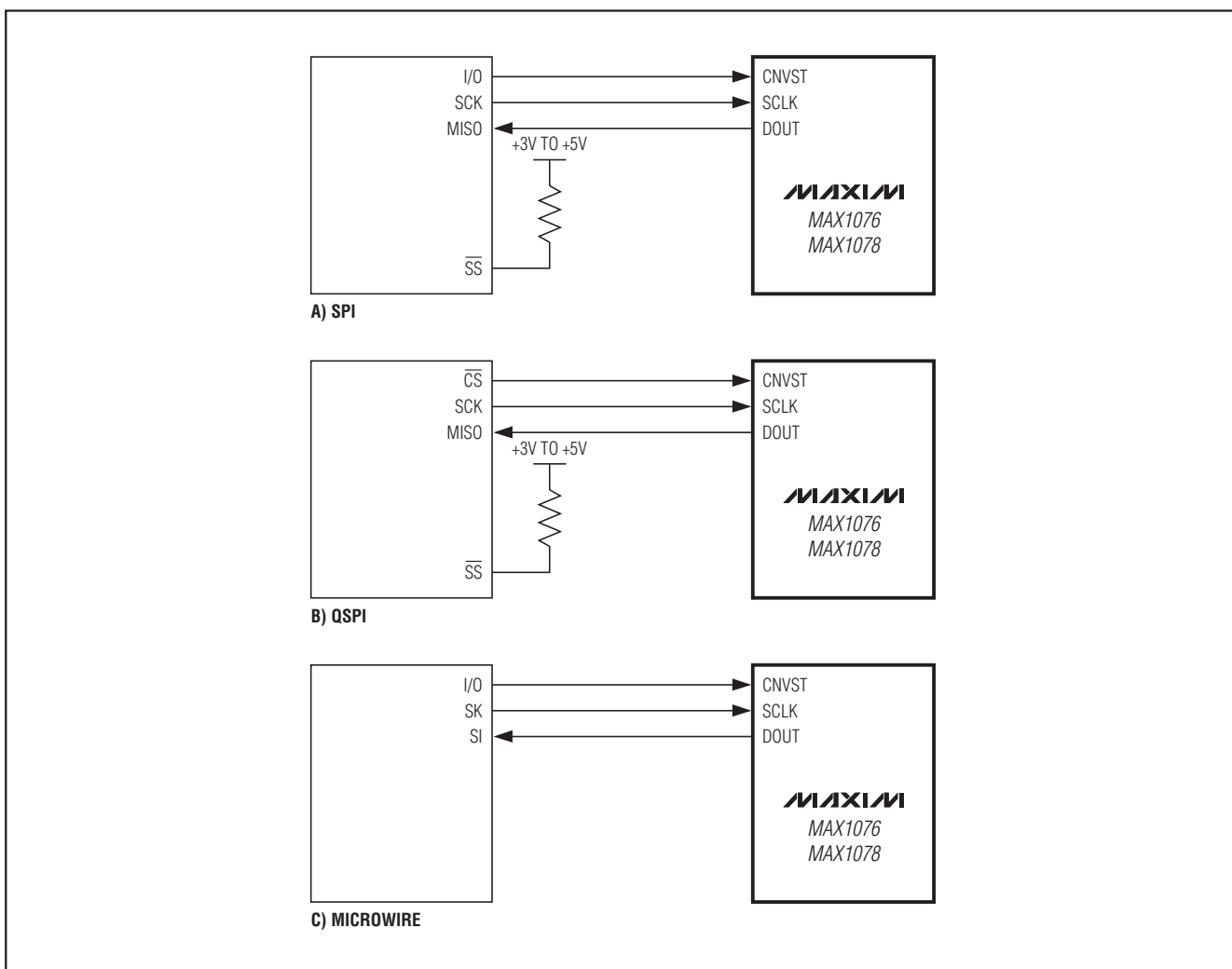


图11. 通用的MAX1076/MAX1078 串行接口连接方式

1.8MSPS、单电源、低功耗、真差分、10位 ADC，内置基准

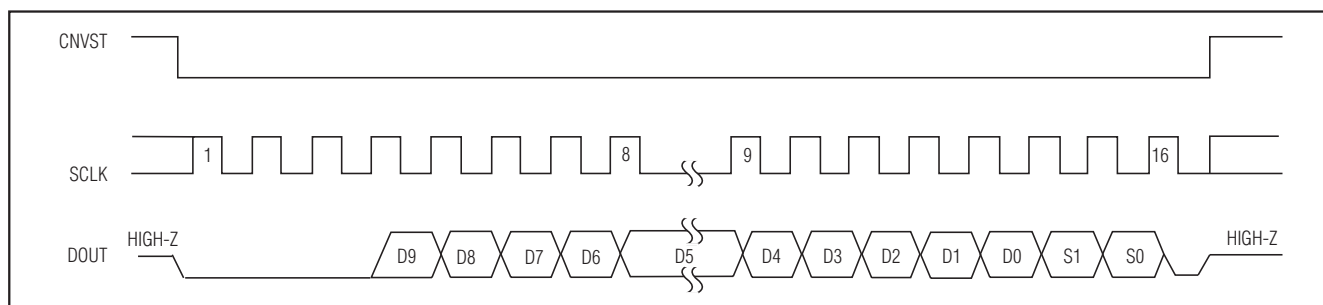


图12. SPI/MICROWIRE 串行接口时序——单次转换($CPOL = CPHA = 0$), ($CPOL = CPHA = 1$)

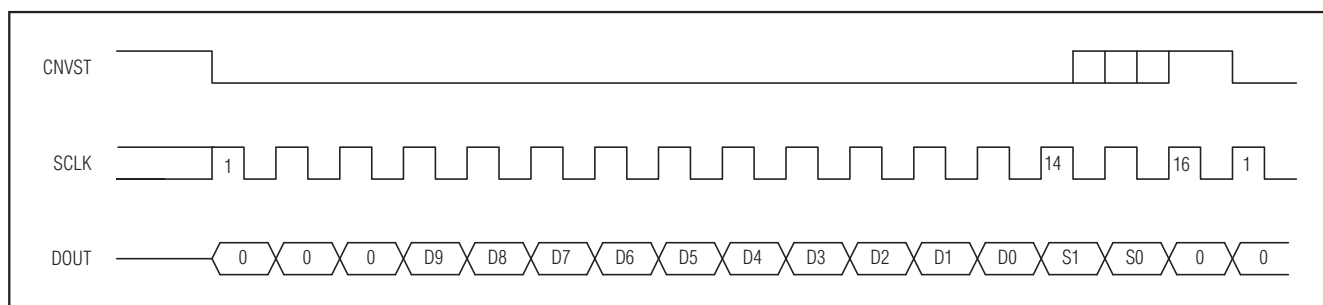


图13. SPI/MICROWIRE 串行接口时序——连续转换($CPOL = CPHA = 0$), ($CPOL = CPHA = 1$)

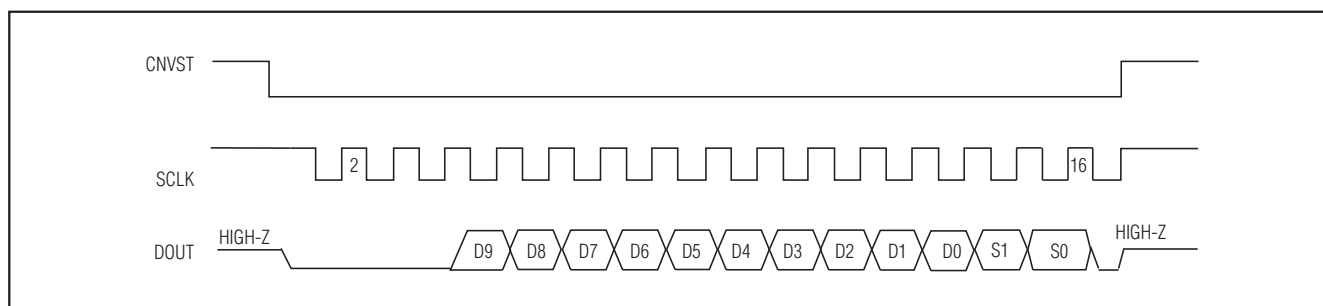


图14. QSPI 串行接口时序——单次转换($CPOL = 1$, $CPHA = 1$)

理器。当使用 $CPOL = 0$ 与 $CPHA = 1$ 或者 $CPOL = 1$ 与 $CPHA = 0$ 时，数据在下一个下降沿移入微处理器。图 11 给出了连接方式，而图 12 和图 13 给出了工作时序。请参考 *Timing Characteristics* 部分，以采用最佳的工作模式。

QSPI

SPI 要求两次单字节读数，以从 ADC 得到 10 位转换数据，而 QSPI 与 SPI 不同，允许采用最少的时钟周期移出数据。MAX1076/MAX1078 要求微处理器发送 16 个时钟周期，

以移出 10 位数据。图 14 给出了使用 $CPOL = 1$ 和 $CPHA = 1$ 模式的传输方式。转换结果包括 3 个 0 位，随后是 10 位数据位、2 位子位和一个后补 0 位，采用高位先出的格式。

连接至 TMS320C54_ 的 DSP 接口

MAX1076/MAX1078 可以直接接口至 Texas Instruments, Inc. 的 TMS320C54_ 系列 DSP。设置 DSP，以产生其自身的时钟或者采用外部时钟信号。既可使用标准的串口，也可以使用带缓冲的串口。图 15 给出了 MAX1076/MAX1078

1.8Mps、单电源、低功耗、 真差分、10位 ADC，内置基准

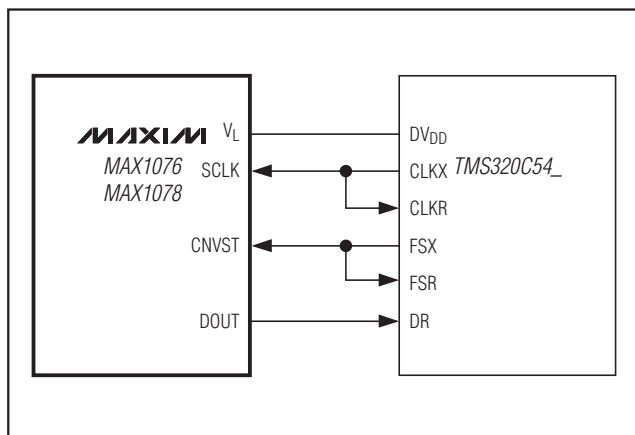


图15. 连接至TMS320C54_内部时钟

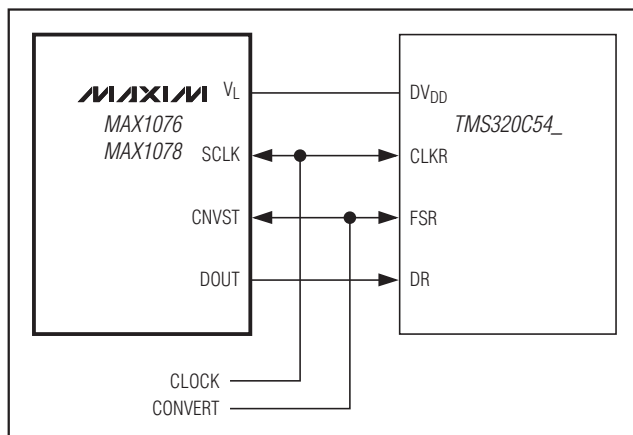


图16. 连接至TMS320C54_外部时钟

与TMS320C54_之间最简单的接口方式。发送串行时钟(CLKX)驱动接收串行时钟(CLKR)和SCLK，发送帧同步信号(FSX)驱动接收帧同步信号(FSR)和CNVST信号。

为了进行连续转换，设置串口发送时钟信号，并且在数据传输之前产生一个时钟周期的帧同步信号。串口配置寄存器(SPC)应该设置为内部帧同步(TXM = 1)、片内时钟源驱动CLKX (MCM = 1)、突发方式(FSM = 1)，以及16位字长(FO = 0)。

这种设置允许连续转换，只要在下次转换前数据发送寄存器(DXR)和数据接收寄存器(DRR)投入使用。另一种方式，当使用带缓冲的串口时可以启用自动缓冲模式，执行转换和读取数据，且无需CPU参与。当MAX1076/MAX1078工作的模拟电源电压高于DSP电源电压时，连接V_L至TMS320C54_的电源电压。可使用FO = 1设置字长为8位，以执行关断模式。在两种关断模式下，CNVST引脚必须空闲于高电平状态。

另一种连接MAX1076/MAX1078与TMS320C54_的方法是从外部产生两个器件的时钟信号。这种连接方式如图16所示，串行时钟信号(CLOCK)驱动CLKR和SCLK，转换信号(CONVERT)驱动FSR和CNVST。

串口必须设置为接受外部接收时钟和外部接收帧同步信号。

SPC寄存器应该写入如下信息：

TXM = 0，外部帧同步

MCM = 0，CLKX信号来自CLKX引脚

FSM = 1，突发方式

FO = 0，数据发送/接收采用16位字长

这种设置允许连续转换，只要在下次转换前DRR寄存器投入使用。另一种方式，当使用带缓冲的串口时可以启用自动缓冲模式，读取数据，且无需CPU参与。当MAX1076/MAX1078工作的模拟电源电压高于DSP电源电压时，连接V_L至TMS320C54_的电源电压。

利用数据发送(DX)引脚驱动CNVST信号，内部产生的CLKX信号驱动SCLK，MAX1076/MAX1078也可以这样连接至TMS320C54_。CNVST信号需要一个上拉电阻，以便在DX变为高阻态时使其保持高电平，并且必须不断地向DXR寄存器写入0001h，进行连续转换。将00FFh入DXR寄存器，可能进入关断模式(参考图17和图18)。

与ADSP21_ __的DSP接口

MAX1076/MAX1078可以直接与Analog Devices, Inc.的ADSP21_ __系列DSP相连接。图19给出了MAX1076/MAX1078与ADSP21_ __的直接连接方式。有两种可编程的工作模式用于与MAX1076/MAX1078的接口。为了进行连续转换，CNVST信号闲置为低电平，在传输上次结果的LSB期间拉高一个时钟周期。ADSP21_ __的STCTL与SRCTL寄存器应该配置为超前成帧(LAFR = 0)和高电平有效帧(LTFS = 0, LRFS = 0)信号。在这种模式下，设置数据无关的帧同步位(DITFS = 1)，而无需多次写入发送数据寄存器。对于单次转换，CNVST信号为闲置

1.8Msps、单电源、低功耗、真差分、10位 ADC，内置基准

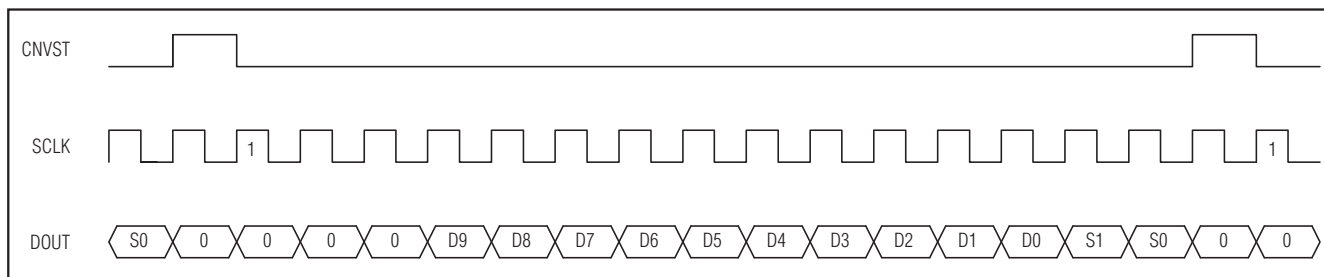


图17. DSP 接口——连续转换

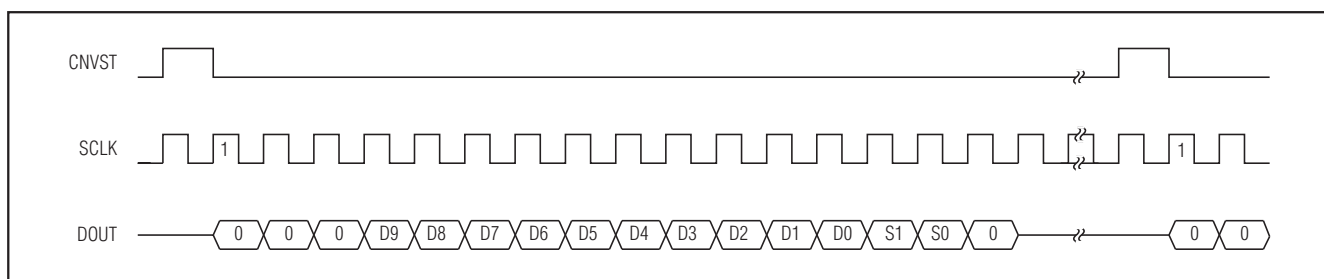


图18. DSP 接口——单次转换，连续/突发时钟

高电平，并在整个转换期间拉低。因此，ADSP21_ _ _的STCTL和SRCTL寄存器应该配置为滞后成帧(LAFR = 1)和低电平有效帧(LTFS = 1, LRFS = 1)信号。在此条件下，将字长设置为8位(SLEN = 1001)，这也是最好的进入关断模式的方法。当MAX1076/MAX1078工作电源电压高于DSP的电源电压时，连接V_L引脚至ADSP21_ _ _电源电压(参考图17和图18)。

布局，接地与旁路连接

为达到最佳性能，应使用印刷电路板，不推荐使用接线板。电路板布局应该确保数字信号线与模拟信号线互相分离。不允许模拟和数字(特别是时钟)信号线平行，也不允许数字线位于ADC封装的底部。

图20给出了推荐的系统地连接方式。在GND建立一个单点模拟地(星型接地点)，与逻辑地分开。连接所有的模拟地和DGND至星型接地点，以进一步减少噪声。返回该电源地的地连接线阻抗必须很低，且尽可能短，以保证无噪声工作。

V_{DD}电源的高频噪声会影响ADC高速比较器。采用0.01μF和10μF旁路电容将电源旁路至单点模拟地。为达到最佳的电源噪声抑制，应尽量缩短电容的引线长度。

定义

积分非线性

积分非线性(INL)为实际传输函数与直线的实际偏差。在消除失调和增益误差后，该直线可以是一条最佳的拟合直线，也可以是传输函数两个端点之间的连线。MAX1076/MAX1078的静态线性参数是采用端点连接法测量的。

微分非线性

微分非线性(DNL)是指实际的步长与1个LSB的理想值之间的差值。1个LSB或更小的DNL误差特性保证无失码和传输函数的单调性。

孔径抖动

孔径抖动(t_{AJ})是指采样之间的采样时间变化。

1.8Msps、单电源、低功耗、
真差分、10位ADC，内置基准

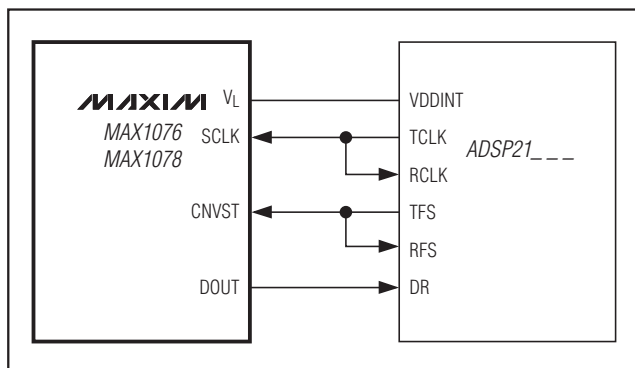


图19. 连接至ADSP21

孔径延迟

孔径延迟(t_{AD})定义为CNVST信号的下降沿与实际的采样时刻之间的延时时间。

信噪比

对于一个由数字采样理想重建的波形，信噪比(SNR)是指满量程模拟输入(RMS值)与RMS量化误差(残留误差)的比值。理论的最小模数转换噪声由量化误差引起，直接取决于ADC的分辨率(N位)：

$$\text{SNR} = (6.02 \times N + 1.76)\text{dB}$$

实际上，除了量化噪声还有其它的噪声源，包括热噪声、基准源噪声以及时钟抖动等。因此，SNR由RMS信号值与RMS噪声值的比率计算得到。其中，RMS噪声值等于所有频谱成分减去其基波、前五次谐波和直流失调。

信号与噪声 + 失真比

信号与噪声 + 失真比(SINAD)是指RMS基波幅度与所有其它的ADC输出信号的有效值的比:

$$\text{SINAD(dB)} = 20 \times \log (\text{Signal}_{\text{RMS}} / \text{Noise}_{\text{RMS}})$$

有效位数

有效位数(ENOB)给出了在特定输入频率和采样速率下ADC的精度。理想的ADC误差仅包括量化噪声。在输入范围等于ADC的满量程范围时,由如下公式计算ENOB值:

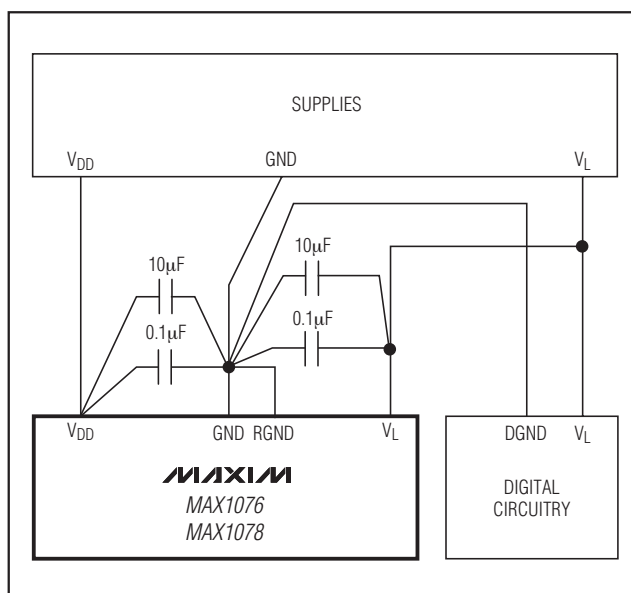


图20. 电源接地情况

$$\text{ENOB} = \frac{(\text{SINAD} - 1.76)}{6.02}$$

总谐波失真

总谐波失真(THD)是指输入信号前五次谐波RMS之和与其基波的比值。由如下公式表示:

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

V_1 是基波幅度, V_2 至 V_5 是二阶至五阶谐波的幅度。

无杂散动态范围

无杂散动态范围(SFDR)是基波分量(最大信号分量)的RMS幅度与最大失真分量的RMS值的比率。

全功率带宽

全功率带宽是指在满量程输入情况下输入信号幅度下降3dB时的频率值。

1.8Msps、单电源、低功耗、 真差分、10位 ADC，内置基准

全线性带宽

全线性带宽是指信号与噪声 + 失真比(SINAD)等于56dB时的频率值。

交调失真

对于任何具有非线性的器件，当两个频率不同(f_1 和 f_2)的正弦波输入器件时，器件会产生失真分量。交调失真(IMD)是指Nyquist频率内的IM2至IM5的交调乘积的总功率相对于两路输入 f_1 和 f_2 的总输入功率的比值。独立的输入音调幅度为-7dBFS。

各个交调乘积成份如下所示：

- 二阶交调乘积(IM2)： $f_1 + f_2$, $f_2 - f_1$
- 三阶交调乘积(IM3)： $2f_1 - f_2$, $2f_2 - f_1$, $2f_1 + f_2$, $2f_2 + f_1$
- 四阶交调乘积(IM4)： $3f_1 - f_2$, $3f_2 - f_1$, $3f_1 + f_2$, $3f_2 + f_1$
- 五阶交调乘积(IM5)： $3f_1 - 2f_2$, $3f_2 - 2f_1$, $3f_1 + 2f_2$, $3f_2 + 2f_1$

芯片信息

TRANSISTOR COUNT: 13,016
PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局，请查询
china.maxim-ic.com/packages。

封装类型	封装编码	文档编号
12 TQFN	T1244+3	21-0139

1.8Msps、单电源、低功耗、
真差分、10位 ADC，内置基准

修订历史

修订次数	修订日期	说明	修改页
0	5/04	最初版本。	—
1	4/09	删除了数据资料中工作在商业级温度范围的器件。	1-7

Maxim北京办事处

北京 8328信箱 邮政编码 100083
免费电话：800 810 0310
电话：010-6211 5199
传真：010-6211 5299