

集成了八路CW混频器的超声VGA

概述

MAX2036 8通道可变增益放大器(VGA)和可编程8路混频器针对高线性度、高动态范围以及低噪声超声成像和多普勒应用而设计。每路放大器都具有差分输入和输出,总增益范围为50dB(典型值)。此外,VGA还具有极低的输出参考噪声,适合与10位ADC连接。

MAX2036 VGA经设计优化,绝对增益误差小于 $\pm 0.5\text{dB}$,以确保超声波束成形通道间聚集误差最小。器件的差分输出可通过外部无源抗混叠滤波器直接驱动超声ADC。每个放大器输出还提供可转接的箝位功能,以限制输出信号,从而防止ADC过驱动或饱和。

器件的动态性能经过优化,大大降低了失真,支持二次谐波成像。在 $V_{\text{OUT}} = 1.5V_{\text{P-P}}$ 和 $f_{\text{IN}} = 5\text{MHz}$ 时,器件的二次谐波失真为-62dBc;在 $V_{\text{OUT}} = 1.5V_{\text{P-P}}$ 和 $f_{\text{IN}} = 5\text{MHz}$ 时,超声规范*双音3阶交调失真为-52dBc。

MAX2036还集成了8路正交混频器阵列和可编程LO相位发生器,构成完备的CW波束成形方案。可以通过数字串行接口和单个高频时钟选择每个通道的LO相位,也可以由分离的4 x LO时钟直接驱动每对复杂混频器的LO。串行接口允许多个器件方便地进行菊链连接,以减少编程接口引线的数量。LO分相器可以设置为4、8、16个正交相位。每个CW混频器的输入通路包含可选的低通滤波器,用于优化CWD噪声性能。这些混频器输出相加到I和Q差分电流输出。混频器和LO发生器设计用于实现优异的噪声性能:1.25MHz载波、1kHz偏移时为-155dBc/Hz。

MAX2036采用+5.0V供电,VGA模式下每通道功耗仅为120mW;标准CW工作模式下每通道功耗仅为269mW;此外还提供低功耗CW模式,每通道功耗仅为226mW。器件提供带裸焊盘的100引脚TQFP(14mm x 14mm)无铅封装。在0°C至+70°C温度范围内能保证其电气性能。

应用

超声成像

声纳

特性

- ◆ 8通道架构
- ◆ 高集成度理想用于超声成像系统
- ◆ 与超声VGA MAX2035引脚兼容

VGA特性

- ◆ 经过优化的最大增益、增益范围以及输出参考噪声指标,适合与10位ADC连接
 - 最大增益为39.5dB
 - 总增益范围为50dB
 - 5MHz时,具有 $60\text{nV}/\sqrt{\text{Hz}}$ 的超低输出参考噪声
- ◆ 绝对增益误差为 $\pm 0.5\text{dB}$
- ◆ 每通道功耗为120mW
- ◆ 可转接的输出VGA箝位功能,消除ADC过驱动
- ◆ 全差分VGA输出直接驱动ADC
- ◆ 可变增益范围支持50dB动态范围
- ◆ $V_{\text{OUT}} = 1.5V_{\text{P-P}}$ 、 $f_{\text{IN}} = 5\text{MHz}$ 时,HD2为-62dBc
- ◆ $V_{\text{OUT}} = 1.5V_{\text{P-P}}$ 、 $f_{\text{IN}} = 5\text{MHz}$ 时,超声规范*定义的双音IMD3为-52dBc

CWD混频器特性

- ◆ 1.25MHz载波、1kHz频偏时混频器噪声低至-155dBc/Hz
- ◆ 串口可编程LO相位发生器,提供4、8、16 LO正交相位分辨率
- ◆ 可选择独立通道的4 x f_{LO} LO输入驱动
- ◆ 每通道功耗为269mW(标准工作模式)和226mW(低功耗模式)

订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX2036CCQ+D	0°C to +70°C	100 TQFP-EP†
MAX2036CCQ+TD	0°C to +70°C	100 TQFP-EP†

+表示无铅(Pb)/符合RoHS标准的封装。

T = 卷带包装。

D = 防潮包装。

†EP = 裸焊盘。

*请参考应用信息中超声规范定义的IMD3部分。

引脚配置在数据资料的最后给出。

集成了八路CW混频器的超声VGA

MAX2036

ABSOLUTE MAXIMUM RATINGS

V_{CC}, V_{REF} to GND-0.3V to +5.5V
 Any Other Pins to GND-0.3V to (V_{CC} + 0.3V)
 CW Mixer Output Voltage to GND (CW_IOUT+, CW_IOUT-,
 CW_QOUT+, CW_QOUT-)13V
 VGA Differential Input Voltage (VGIN_+, VGIN_-)8.0V_{P-P}
 Analog Gain Control Differential Input Voltage
 (VG_CTL+, VG_CTL-)8.0V_{P-P}
 CW Mixer Differential Input Voltage
 (CWIN_+, CWIN_-)8.0V_{P-P}

CW Mixer LVDS LO Differential Input Voltage8.0V_{P-P}
 Continuous Power Dissipation (T_A = +70°C)
 100-Pin TQFP (derated 45.5mW/°C above +70°C) ..3636.4mW
 Operating Temperature Range0°C to +70°C
 Junction Temperature+150°C
 θ_{JC} (Note 1)+2°C/W
 θ_{JA} (Note 1)+22°C/W
 Storage Temperature Range-40°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS—VGA MODE

(Figure 7, V_{CC} = V_{REF} = 4.75V to 5.25V, V_{CM} = (3/5)V_{REF}, T_A = 0°C to +70°C, V_{GND} = 0V, LOW_PWR = 0, M4_EN = 0, CW_FILTER = 0 or 1, TEST_MODE = 0, PD = 0, CW_VG = 1, CW_M1 = 0, CW_M2 = 0, no RF signals applied, capacitance to GND at each of the VGA differential outputs is 60pF, differential capacitance across the VGA outputs is 10pF, R_L = 1kΩ, CW mixer outputs pulled up to +11V through four separate ±0.1% 115Ω resistors, all CW channels programmed off. Typical values are at V_{CC} = V_{REF} = 5V, T_A = +25°C, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
VGA MODE							
Supply Voltage Range	V _{CC}			4.75	5	5.25	V
V _{CC} External Reference Voltage Range	V _{REF}	(Note 3)		4.75	5	5.25	V
Total Power-Supply Current		Refers to V _{CC} supply current plus V _{REF} current	PD = 0	204		231	mA
			PD = 1	27		33	
V _{CC} Supply Current	I _{VCC}			192		216	mA
V _{REF} Current	I _{REF}			12		15	mA
Current Consumption per Amplifier Channel		Refers to V _{CC} supply current		24		27	mA
Differential Analog Control Voltage Range		Minimum gain		+2		V _{P-P}	
		Maximum gain		-2			
Differential Analog Control Common-Mode Voltage	V _{CM}			2.85	3	3.15	V
Analog Control Input Source/Sink Current				4.5		5	mA
LOGIC INPUTS							
CMOS Input High Voltage	V _{IH}			2.3			V
CMOS Input Low Voltage	V _{IL}					0.8	V

集成了八路CW混频器的超声VGA

MAX2036

DC ELECTRICAL CHARACTERISTICS—CM MIXER MODE

(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $LOW_PWR = 0$, $M4_EN = 0$, $CW_FILTER = 0$ or 1 , $TEST_MODE = 0$, $PD = 0$, $CW_VG = 0$, $CW_M1 = 0$, $CW_M2 = 0$, no RF signals applied, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, CW mixer outputs pulled up to $+11V$ through four separate $\pm 0.1\%$ 115Ω resistors. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CW MIXER MODE						
Current in Full-Power Mode 5V V_{CC} Supply	I_{CC_FP}	Refers to V_{CC} supply current (all 8 channels)		245	265	mA
Current in Full-Power Mode 11V V_{MIX} Supply	I_{MIX_FP}	Refers to V_{MIX} supply current (all 8 channels)		106	120	mA
Current in Full-Power Mode 5V V_{REF} Supply	I_{REF_FP}	Refers to V_{REF} supply current (all 8 channels)		17	21	mA
Power Dissipation in Full-Power Mode	P_{DISS_FP}	Total power dissipation (all 8 channels including both 5V (V_{CC} and V_{REF}) and 11V mixer pullup supply power dissipation in the device) (Note 4)		2.15	2.41	W
Current in Low-Power Mode 5V V_{CC} Supply	I_{CC_LP}	$LOW_PWR = 1$; refers to V_{CC} supply current (all 8 channels)		245	265	mA
Current in Low-Power Mode 11V V_{MIX} Supply	I_{MIX_LP}	$LOW_PWR = 1$; refers to V_{MIX} supply current (all 8 channels)		53	60	mA
Current in Low-Power Mode 5V V_{REF} Supply	I_{REF_LP}	$LOW_PWR = 1$; refers to V_{REF} supply current (all 8 channels)		17	21	mA
Power Dissipation in Low-Power Mode	P_{DISS_LP}	$LOW_PWR = 1$; total power dissipation (all 8 channels including both 5V (V_{CC} and V_{REF}) and 11V mixer pullup supply power dissipation in the device) (Note 4)		1.81	2.06	W
Mixer LVDS LO Input Common-Mode Voltage		Modes 1 and 2 (Note 5)		1.25 ± 0.2		V
LVDS LO Differential Input Voltage		Modes 1 and 2	200	700		mV _{p-p}
LVDS LO Input Common-Mode Current		Per pin		150	200	μA
LVDS LO Differential Input Resistance		Modes 1 and 2 (Note 6)		30		$k\Omega$
Mixer IF Common-Mode Output Current		Common-mode current in each of the differential mixer outputs (Note 7)		3.25	3.75	mA
DATA Output High Voltage		DOUT voltage when terminated in DIN (daisy chain) (Note 8)	4.5			V
DATA Output Low Voltage		DOUT voltage when terminated in DIN (daisy chain) (Note 8)			0.5	V

集成了八路CW混频器的超声VGA

AC ELECTRICAL CHARACTERISTICS—VGA MODE

(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $V_{CM} = (3/5)V_{REF}$, $T_A = 0^\circ C$ to $+70^\circ C$, $V_{GND} = 0V$, $LOW_PWR = 0$, $M4_EN = 0$, $CW_FILTER = 1$, $TEST_MODE = 0$, $PD = 0$, $CW_VG = 1$, $CW_M1 = 0$, $CW_M2 = 0$, $VG_CLAMP_MODE = 1$, $f_{RF} = f_{LO}/16 = 5MHz$, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, CW mixer outputs pulled up to $+11V$ through four separate $\pm 0.1\%$ 115Ω resistors, differential mixer inputs are driven from a low-impedance source. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Mode Select Response Time		CW_VG set from logic 1 to 0 or from 0 to 1 (Note 9)			2		μs
VGA MODE							
Large-Signal Bandwidth	f-3dB	V _{OUT} = 1.5V _{P-P} , 3dB bandwidth, gain = 20dB	Differential output capacitance is 10pF, capacitance to GND at each single-ended output is 60pF, R _L = 1kΩ		17		MHz
			No capacitive load, R _L = 1kΩ		22		
Differential Input Resistance	R _{IN}			170	200	230	Ω
Input Effective Capacitance	C _{IN}	f _{RF} = 10MHz, each input to ground			15		pF
Differential Output Resistance	R _{OUT}				100		Ω
Maximum Gain					39.5		dB
Minimum Gain					-10.5		dB
Gain Range					50		dB
Absolute Gain Error		T _A = +25°C, -2.0V < VG_CTL < -1.8V, V _{REF} = 5V			±0.6		dB
		T _A = +25°C, -1.8V < VG_CTL < +1.2V, V _{REF} = 5V			±0.5		
		T _A = +25°C, +1.2V < VG_CTL < +2.0V, V _{REF} = 5V			±1.2		
VGA Gain Response Time		50dB gain change to within 1dB final value			1		μs
Input-Referred Noise		VG_CTL set for maximum gain, no input signal			2		nV/√Hz
Output-Referred Noise		VG_CTL set for +20dB of gain	No input signal		60		nV/√Hz
			V _{OUT} = 1.5V _{P-P} , 1kHz offset		120		
Second Harmonic	HD2	VG_CLAMP_MODE = 1, VG_CTL set for +20dB of gain, f _{RF} = 5MHz, V _{OUT} = 1.5V _{P-P}		-55	-62		dBc
		VG_CLAMP_MODE = 1, VG_CTL set for +20dB of gain, f _{RF} = 10MHz, V _{OUT} = 1.5V _{P-P}			-62		
Third-Order Intermodulation Distortion	IMD3	VG_CTL set for +20dB of gain, f _{RF1} = 5MHz, f _{RF2} = 5.01MHz, V _{OUT} = 1.5V _{P-P} , V _{REF} = 5V (Note 3)		-40	-52		dBc
Channel-to-Channel Crosstalk		V _{OUT} = 1V _{P-P} differential, f _{RF} = 10MHz, VG_CTL set for +20dB of gain			-80		dB

集成了八路CW混频器的超声VGA

MAX2036

AC ELECTRICAL CHARACTERISTICS—CW MIXER MODE (continued)

(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $LOW_PWR = 0$, $M4_EN = 0$, $CW_FILTER = 1$, $TEST_MODE = 0$, $PD = 0$, $CW_VG = 0$, $CW_M1 = 0$, $CW_M2 = 0$, $VG_CLAMP_MODE = 1$, $f_{RF} = f_{LO}/16 = 5MHz$, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, CW mixer outputs pulled up to $+11V$ through four separate $\pm 0.1\%$ 115Ω resistors, differential mixer inputs are driven from a low-impedance source. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Output Voltage at Clamp ON		$VG_CLAMP_MODE = 0$, VG_CTL set for $+20dB$ of gain, $350mV_{P-P}$ differential input		2.2		V_{P-P} differential
Maximum Output Voltage at Clamp OFF		$VG_CLAMP_MODE = 1$, VG_CTL set for $+20dB$ of gain, $350mV_{P-P}$ differential input		3.4		V_{P-P} differential
CW MIXER MODE						
Mixer RF Frequency Range			0.9		7.6	MHz
Mixer LO Frequency Range			1		7.5	MHz
Mixer IF Frequency Range					100	kHz
Maximum Input Voltage Range					1.8	V_{P-P} differential
Differential Input Resistance		$CW_FILTER = 0$		633		Ω
		$CW_FILTER = 1$		1440		
Input-Referred Noise Voltage		Mode 3, $f_{RF} = f_{LO}/4 = 1.25MHz$, measured at a 1kHz offset frequency; clutter tone at $0.9V_{P-P}$ differential measured at the mixer input		6		$nV/\sqrt{Hz}$
		Mode 3, RF terminated into 50Ω ; $f_{LO}/4 = 1.25MHz$, measured at 1kHz offset		4.6		
Third-Order Intermodulation Distortion	IMD3	Mode 1, $f_{RF1} = 5MHz$ at $0.9V_{P-P}$ differential input, Doppler tone $f_{RF2} = 5.01MHz$ at $25dBc$ from clutter tone, $f_{LO}/16 = 5MHz$ (Note 10)		-50		dBc
Mixer Output Voltage Compliance		(Note 11)	4.75		12.00	V
Channel-to-Channel Phase Matching		Measured under zero beat conditions, $f_{RF} = 5MHz$, $f_{LO}/16 = 5MHz$ (Note 12)		± 3		Degrees
Channel-to-Channel Gain Matching		Measured under zero beat conditions, $f_{RF} = 5MHz$, $f_{LO}/16 = 5MHz$ (Note 12)		± 2		dB
Transconductance (Note 13)		$CW_FILTER = 1$ $f_{RF} = 1.1MHz$ at $1V_{P-P}$ differential, $f_{LO}/16 = 1MHz$		2.8		mS
		$CW_FILTER = 0$ (low LPF cutoff frequency) $f_{RF} = 1.1MHz$ at $1V_{P-P}$ differential, $f_{LO}/16 = 1MHz$		2.8		

集成了八路CW混频器的超声VGA

AC ELECTRICAL CHARACTERISTICS—CW MIXER MODE (continued)

(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, $V_{GND} = 0V$, $LOW_PWR = 0$, $M4_EN = 0$, $CW_FILTER = 1$, $TEST_MODE = 0$, $PD = 0$, $CW_VG = 0$, $CW_M1 = 0$, $CW_M2 = 0$, $VG_CLAMP_MODE = 1$, $f_{RF} = f_{LO}/16 = 5MHz$, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, CW mixer outputs pulled up to $+11V$ through four separate $\pm 0.1\%$ 115Ω resistors, differential mixer inputs are driven from a low-impedance source. Typical values are at $V_{CC} = V_{REF} = 5V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SERIAL SHIFT REGISTER						
Serial Shift Register Programming Rate					10	MHz
Minimum Data Set-Up Time	t_{DSU}			30		ns
Minimum Data Hold Time	t_{HLD}			2		ns
Minimum Data Clock Time	t_{DCLK}			100		ns
Minimum Data Clock Pulse Width High	$t_{DCLKPWH}$			30		ns
Minimum Data Clock Pulse Width Low	$t_{DCLKPWL}$			30		ns
Minimum Load Line	t_{LD}			30		ns
Minimum Load Line High to Mixer Clock On	t_{MIXCLK}			30		ns
Minimum Data Clock to Load Line High	t_{CLH}			30		ns

Note 2: Specifications at $T_A = +25^{\circ}C$ and $T_A = +70^{\circ}C$ are guaranteed by production. Specifications at $T_A = 0^{\circ}C$ are guaranteed by design and characterization.

Note 3: Noise performance of the device is dependent on the noise contribution from the supply to V_{REF} . Use a low-noise supply for V_{REF} . V_{CC} and V_{REF} can be connected together to share the same supply voltage if the supply for V_{CC} exhibits low noise.

Note 4: Total on-chip power dissipation is calculated as $P_{DISS} = V_{CC} \times I_{CC} + V_{REF} \times I_{REF} + [11V - (I_{MIX}/4) \times 115] \times I_{MIX}$.

Note 5: Note that the LVDS CWD LO clocks are DC-coupled. This is to ensure immediate synchronization when the clock is first turned on. An AC-coupled LO is problematic in that the RC time constant associated with the coupling capacitors and the input impedance of the pin causes there to be a period of time (related to the RC time constant) when the DC level on the chip side of the capacitor is outside the acceptable common-mode range and the LO swing does not exceed both the logic thresholds required for proper operation. This problem associated with AC-coupling would cause an inability to ensure synchronization among beamforming channels. The LVDS signal is terminated differentially with an external 100Ω resistor on the board.

Note 6: External 100Ω resistor terminates the LVDS differential signal path.

Note 7: The mixer common-mode current ($3.25mA/channel$) is specified as the common-mode current in each of the differential mixer outputs (CW_QOUT+ , CW_QOUT- , CW_IOUT+ , CW_IOUT-).

Note 8: Specification guaranteed only for DOUT driving DIN of the next device in a daisy-chain fashion.

Note 9: This response time does not include the CW output highpass filter. When switching to VGA mode, the CW outputs stop drawing current and the output voltage goes to the rail. If a highpass filter is used, the recovery time can be excessive and a switching network is recommended as shown in the *Applications Information* section.

Note 10: See the *Ultrasound-Specific IMD3 Specification* in the *Applications Information* section.

Note 11: Mixer output-voltage compliance is the range of acceptable voltages allowed on the CW mixer outputs.

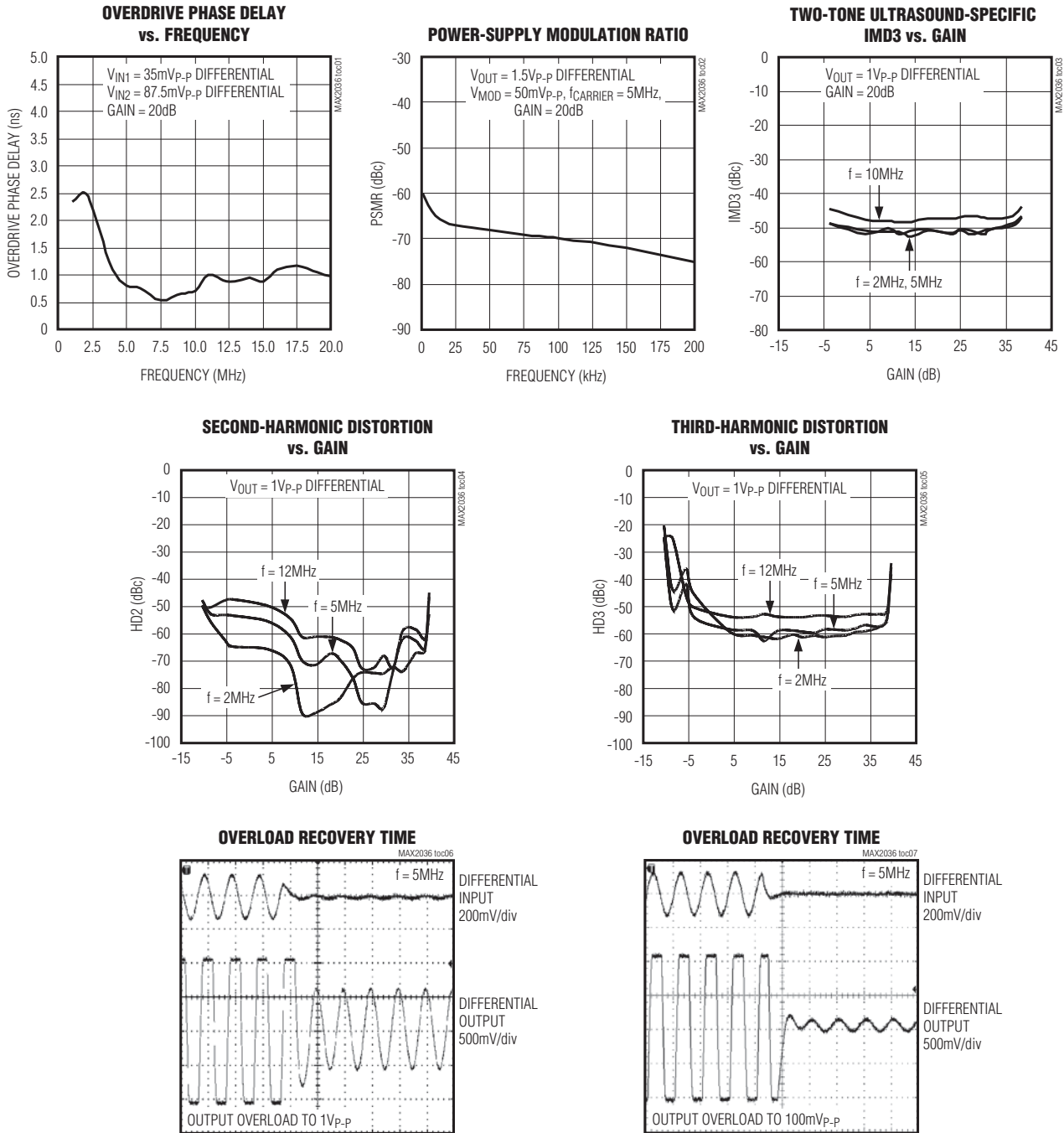
Note 12: Channel-to-channel gain-and-phase matching measured on 30 pieces during engineering characterization at room temperature. Each mixer is used as a phase detector and produces a DC voltage in the IQ plane. The phase is given by the angle of the vector drawn on that plane. Multiple channels from multiple parts are compared to each other to produce the phase variation.

Note 13: Transconductance is defined as the quadrature summing of the CW differential output current at baseband divided by the mixer's input voltage.

集成了八路CW混频器的超声VGA

典型工作特性

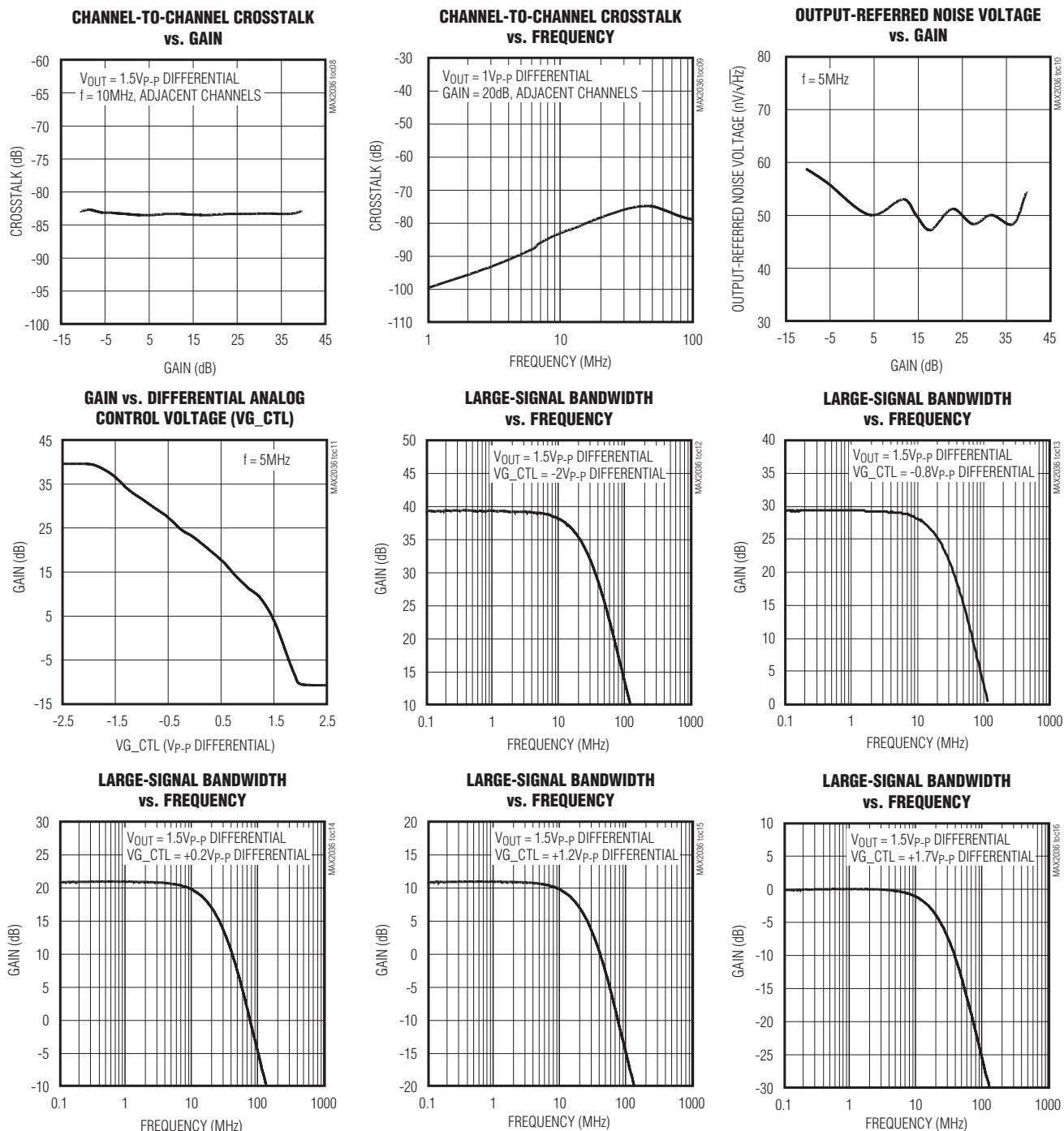
(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $V_{GND} = 0V$, $PD = 0$, $V_{G_CLAMP_MODE} = 1$, $f_{RF} = 5MHz$, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, $T_A = 0^\circ C$ to $+70^\circ C$. Typical values are at $V_{CC} = V_{REF} = 5V$, $V_{CM} = 3.0V$, $T_A = +25^\circ C$, unless otherwise noted.)



集成了八路CW混频器的超声VGA

典型工作特性(续)

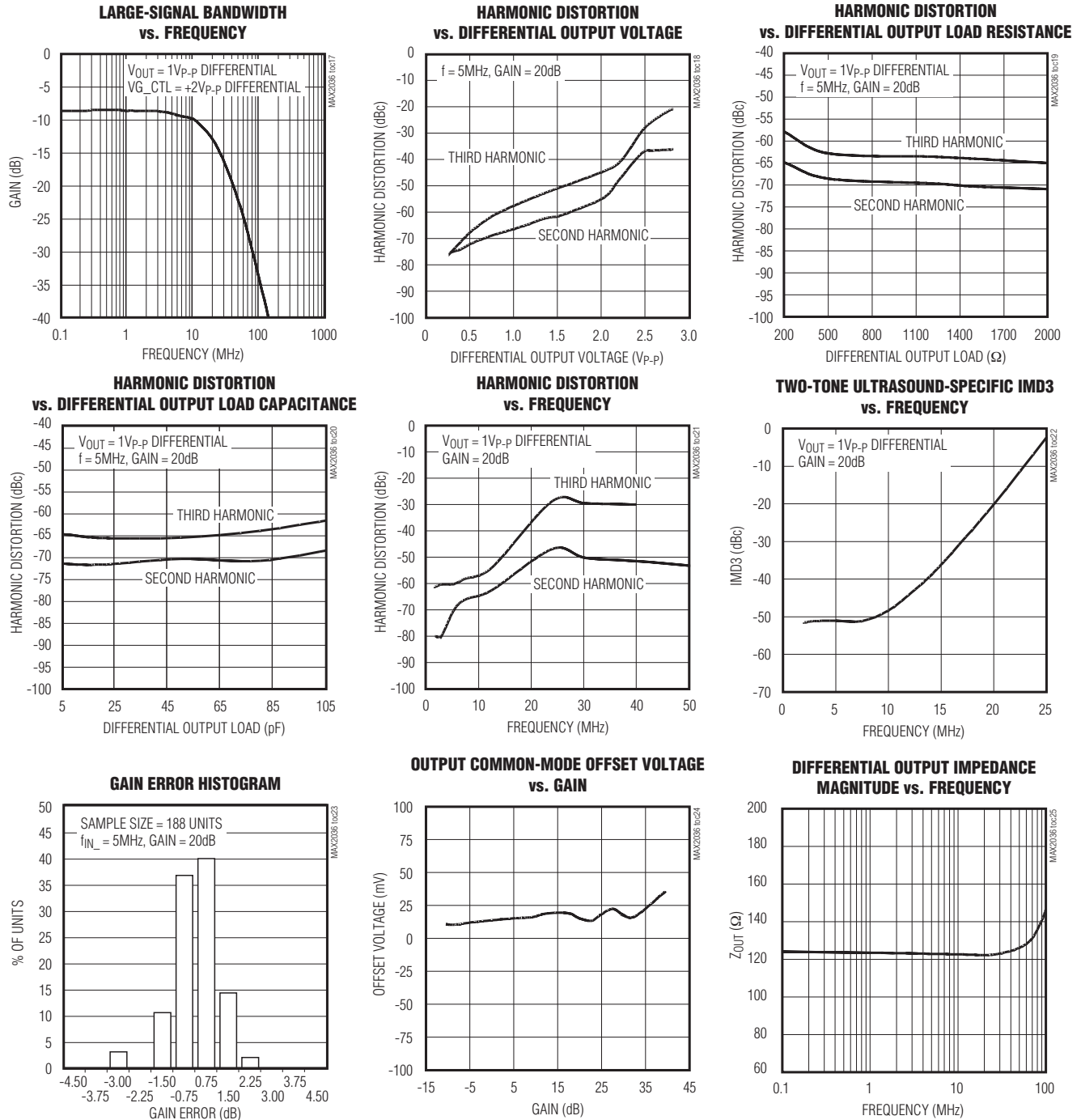
(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $V_{GND} = 0V$, $PD = 0$, $V_{G_CLAMP_MODE} = 1$, $f_{RF} = 5MHz$, capacitance to GND at each of the VGA differential outputs is 60pF, differential capacitance across the VGA outputs is 10pF, $R_L = 1k\Omega$, $T_A = 0^\circ C$ to $+70^\circ C$. Typical values are at $V_{CC} = V_{REF} = 5V$, $V_{CM} = 3.0V$, $T_A = +25^\circ C$, unless otherwise noted.)



集成了八路CW混频器的超声VGA

典型工作特性(续)

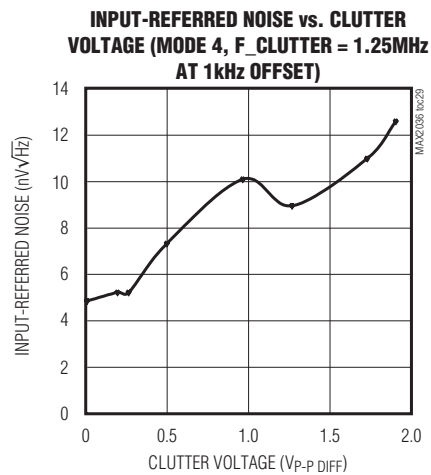
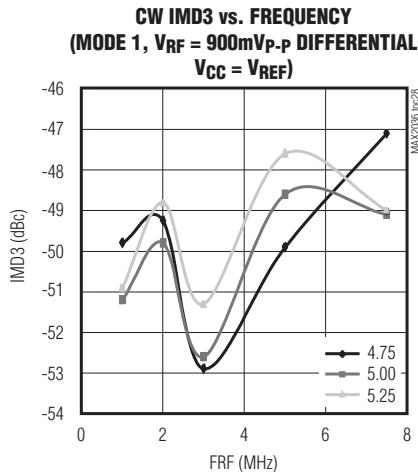
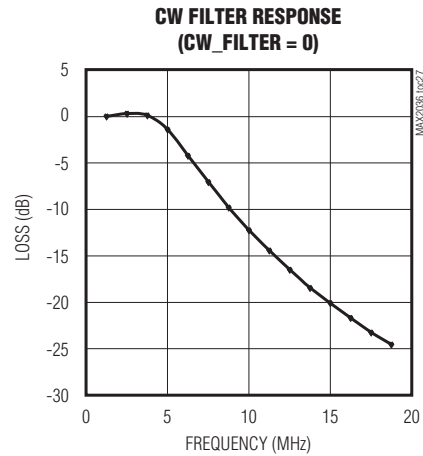
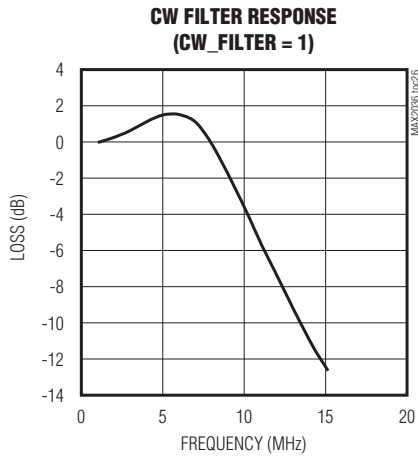
(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $V_{GND} = 0V$, $PD = 0$, $V_{G_CLAMP_MODE} = 1$, $f_{RF} = 5MHz$, capacitance to GND at each of the VGA differential outputs is $60pF$, differential capacitance across the VGA outputs is $10pF$, $R_L = 1k\Omega$, $T_A = 0^\circ C$ to $+70^\circ C$. Typical values are at $V_{CC} = V_{REF} = 5V$, $V_{CM} = 3.0V$, $T_A = +25^\circ C$, unless otherwise noted.)



集成了八路CW混频器的超声VGA

典型工作特性(续)

(Figure 7, $V_{CC} = V_{REF} = 4.75V$ to $5.25V$, $V_{GND} = 0V$, $LOW_PWR = 0$, $M4_EN = 0$, $CW_FILTER = 1$, $TEST_MODE = 0$, $PD = 0$, $CW_VG = 0$, $CW_M1 = 0$, $CW_M2 = 0$, CW mixer outputs pulled up to +11V through four separate $\pm 0.1\%$ 115 Ω resistors, differential mixer inputs are driven from a low impedance source.)



集成了八路CW混频器的超声VGA

引脚说明
MAX2036

引脚	名称	功能
1	CWIN2-	CW混频器通道2反相差分输入。
2	CWIN2+	CW混频器通道2同相差分输入。
3	VGIN3-	VGA通道3反相差分输入。
4	VGIN3+	VGA通道3同相差分输入。
5, 10, 19, 24, 29, 34, 58, 79, 81, 96	GND	地。
6	CWIN3-	CW混频器通道3反相差分输入。
7	CWIN3+	CW混频器通道3同相差分输入。
8	VGIN4-	VGA通道4反相差分输入。
9	VGIN4+	VGA通道4同相差分输入。
11	CWIN4-	CW混频器通道4反相差分输入。
12	CWIN4+	CW混频器通道4同相差分输入。
13	EXT_C1	外部补偿。在尽可能靠近引脚的位置连接一个4.7μF电容到地，用于旁路内部偏置电路。
14	EXT_C2	外部补偿。在尽可能靠近引脚的位置连接一个4.7μF电容到地，用于旁路内部偏置电路。
15	EXT_C3	外部补偿。在尽可能靠近引脚的位置连接一个4.7μF电容到地，用于旁路内部偏置电路。
16, 42, 46, 54, 72, 82, 87	VCC	5V电源，连接至+5V外部电源。采用0.1μF电容旁路VCC电源至地，尽可能靠近引脚安装电容。
17	VGIN5-	VGA通道5反相差分输入。
18	VGIN5+	VGA通道5同相差分输入。
20	CWIN5-	CW混频器通道5反相差分输入。
21	CWIN5+	CW混频器通道5同相差分输入。
22	VGIN6-	VGA通道6反相差分输入。
23	VGIN6+	VGA通道6同相差分输入。
25	CWIN6-	CW混频器通道6反相差分输入。
26	CWIN6+	CW混频器通道6同相差分输入。
27	VGIN7-	VGA通道7反相差分输入。
28	VGIN7+	VGA通道7同相差分输入。
30	CWIN7-	CW混频器通道7反相差分输入。
31	CWIN7+	CW混频器通道7同相差分输入。
32	VGIN8-	VGA通道8反相差分输入。
33	VGIN8+	VGA通道8同相差分输入。
35	CWIN8-	CW混频器通道8反相差分输入。
36	CWIN8+	CW混频器通道8同相差分输入。
37, 93	VREF	5V基准电源，连接至低噪声电源。在尽可能靠近引脚的位置采用0.1μF电容将其旁路至GND。注意，器件的噪声性能与VREF电源噪声的影响有关。VREF须使用低噪声电源。如果VCC为低噪声电源，可以将VCC和VREF连接在一起共用一个电源。

集成了八路CW混频器的超声VGA

引脚说明(续)

引脚	名称	功能
38	EXT_RES	外部电阻。在尽可能靠近引脚的位置连接一个0.1%的7.5k Ω 电阻至地，建立内部偏置电路的偏压。
39	CW_VG	CW混频器VGA使能，选择VGA或CW混频器工作模式。CW_VG置为逻辑高电平，将使能VGA，同时关断CW混频器。CW_VG置为逻辑低电平，将使能CW混频器，同时关断VGA。
40	PD	关断开关。驱动PD至高电平，将器件置为关断模式。驱动PD至低电平，则进入标准工作模式。
41	CW_FILTER	CW滤波器角频率选择，选择CW通道内部低通滤波器的角频率。CW_FILTER置于逻辑高电平时，角频率为9.5MHz；CW_FILTER置于逻辑低电平时，角频率为4.5MHz。
43	M4_EN	模式4使能，M4_EN置于逻辑高电平将禁止串行端口，并开启全部8个CW通道。
44	LOW_PWR	低功耗使能，置为高电平时使能器件CW混频器的低功耗模式。
45	DOUT	串口数据输出。数据输出简化了CW通道的菊链连接，支持模拟波束成形编程。
47	N.C.	无连接，该引脚浮空(该引脚即为MAX2036评估板数据资料中的TEST_MODE引脚)。
48	LO8	通道8的CW LO输入，模式3和4的LO时钟输入。
49	VGOUT8+	VGA通道8同相差分输出。
50	VGOUT8-	VGA通道8反相差分输出。
51	LO7	通道7的CW LO输入。模式3和4的LO时钟输入。
52	VGOUT7+	VGA通道7同相差分输出。
53	VGOUT7-	VGA通道7反相差分输出。
55	LO6	通道6的CW LO输入。模式3和4的LO时钟输入。
56	VGOUT6+	VGA通道6同相差分输出。
57	VGOUT6-	VGA通道6反相差分输出。
59	LO5	通道5的CW LO输入。模式3和4的LO时钟输入。
60	VGOUT5+	VGA通道5同相差分输出。
61	VGOUT5-	VGA通道5反相差分输出。
62	VG_CTL-	VGA模拟增益控制差分输入。差分控制电压设置在-2V时，提供最大增益(+39.5dB)；差分控制电压设置在+2V时，提供最小增益(-10.5dB)。
63	VG_CTL+	
64	LO_LVDS-	CW LVDS LO反相差分输入。模式1和2的LO时钟反相输入。
65	LO_LVDS+	CW LVDS LO同相差分输入。模式1和2的LO时钟同相输入。
66	LO4	通道4的CW LO输入。模式3和4的LO时钟输入。
67	VGOUT4+	VGA通道4同相差分输出。
68	VGOUT4-	VGA通道4反相差分输出。
69	LO3	通道3的CW LO输入。模式3和4的LO时钟输入。
70	VGOUT3+	VGA通道3同相差分输出。
71	VGOUT3-	VGA通道3反相差分输出。
73	LO2	通道2的CW LO输入。模式3和4的LO时钟输入。
74	VGOUT2+	VGA通道2同相差分输出。

集成了八路CW混频器的超声VGA

MAX2036

引脚说明(续)

引脚	名称	功能
75	VGOUT2-	VGA通道2反相差分输出。
76	LO1	通道1的CW LO输入。模式3和4的LO时钟输入。
77	VGOUT1+	VGA通道1同相差分输出。
78	VGOUT1-	VGA通道1反相差分输出。
80	DIN	串口数据输入，编程串行移位寄存器的数据输入。
83	CLK	串口数据时钟，编程串行移位寄存器的时钟输入。
84	CW_M1	CW模式选择输入1。用于设置波束成形模式1、2、3和4的输入，关于模式编程的详细信息请参考表1。
85	CW_M2	CW模式选择输入2。用于设置波束成形模式1、2、3和4的输入，关于模式编程的详细信息请参考表1。
86	VG_CLAMP_MODE	VGA箝位模式使能。驱动VG_CLAMP_MODE至低电平，使能VGA箝位模式，VGA输出被箝位至2.2V _{P-P} 差分电压；驱动VG_CLAMP_MODE至高电平，禁用VGA箝位模式。
88	LOAD	串口装载。通过串行移位寄存器将数据装载到I/Q分相器。将LOAD总线由高电平拉至低电平，然后再由低电平拉至高电平后，可对I/Q分相器进行编程。
89	CW_QOUT+	CW混频器正交(Q)通道同相差分输出。8路混频器正交通道的CW混频输出。
90	CW_QOUT-	CW混频器正交(Q)通道反相差分输出。8路混频器正交通道的CW混频输出。
91	CW_IOUT-	CW混频器同相通道(I)的差分反相输出。8路混频器同相通道的CW混频输出。
92	CW_IOUT+	CW混频器同相通道(I)的差分同相输出。8路混频器同相通道的CW混频输出。
94	VGIN1-	VGA通道1反相差分输入。
95	VGIN1+	VGA通道1同相差分输入。
97	CWIN1-	CW混频器通道1反相差分输入。
98	CWIN1+	CW混频器通道1同相差分输入。
99	VGIN2-	VGA通道2反相差分输入。
100	VGIN2+	VGA通道2同相差分输入。
—	EP	裸焊盘，内部连接至GND。将EP连接至大面积PCB地平面，以最大限度地提高散热能力。

集成了八路CW混频器的超声VGA

详细说明

MAX2036是一款8通道VGA，集成了8路可编程正交混频器阵列，专为超声成像和多普勒应用而设计。器件经过优化具有低功耗、高动态范围和超低噪声指标。VGA通道具有差分输入、模拟可变增益控制、可直接驱动ADC的差分输出以及可选择的输出电压箝位，以防止ADC过驱动。集成8通道正交混频器阵列包括串行可编程LO相位发生器，用于CWD波束成形。LO分相器可以设置为4、8、16个正交相位。低通滤波器集成于每个CW混频器的输入通道。混频器输出相加到I/Q差分电流输出。

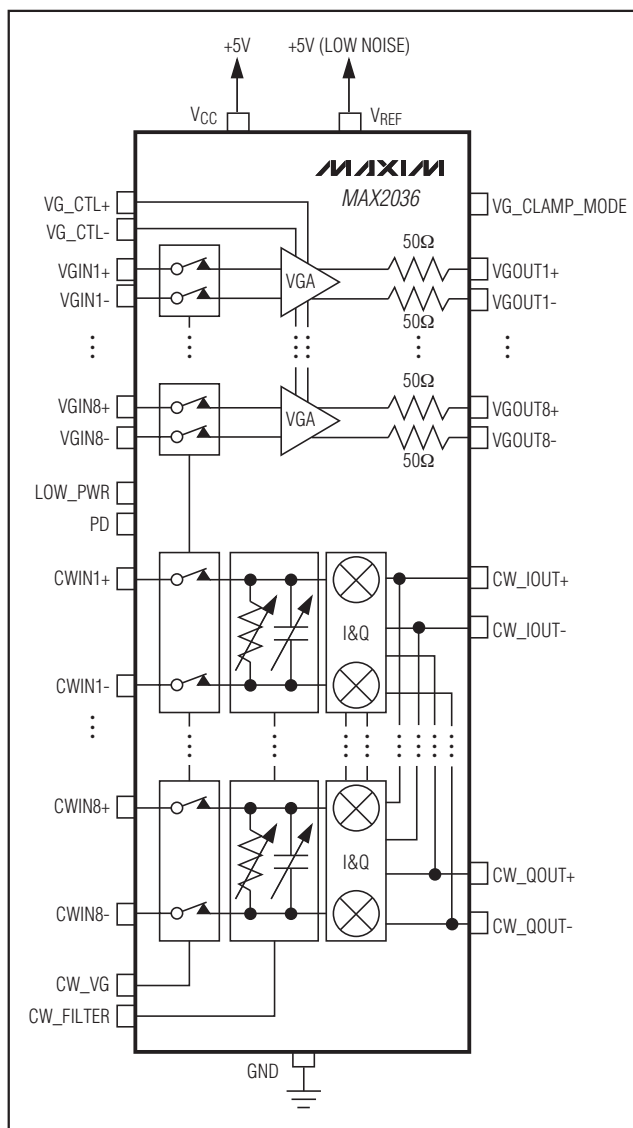
MAX2036集成了8通道正交混频器阵列和可编程LO相位发生器，可构建完整的连续波(CW)多普勒波束成形方案。每个通道的LO相位选择可通过数字串口和单个高频时钟编程，而每个复合混频器对的LO可采用独立的4 x LO时钟直接驱动。串行接口使多个器件轻松实现菊链，从而最大限度地减少编程接口连线。LO分相器可以设置为4、8、16个正交相位。每个CW混频器的输入包含可选择的低通滤波器，用于优化CWD噪声指标。混频器输出相加到I和Q差分电流输出。混频器和LO发生器设计支持优异的噪声性能：1.25MHz载波、900mV_{P-P}差分杂散信号、1kHz频偏时-155dBc/Hz。

可变增益放大器(VGA)

MAX2036的VGA经过优化具有高线性度、高动态范围和低输出噪声指标，非常适合超声成像系统。VGA通路在10MHz时具有-80dB的通道间串扰和低于±0.5dB的绝对增益误差，能够在超声系统中提供最小的通道间聚焦误差。每路VGA包含模拟增益调节电路，用于驱动ADC的差分输出(VGOUT₊、VGOUT₋)缓冲器以及可以直接与MAX2034四通道LNA直接连接的差分输入(VGIN₊、VGIN₋)。详细信息请参考高级波形混频器和可编程波束成形器功能框图。

VGA具有-10.5dB至+39.5dB可调增益范围，具有50dB (典型值)总动态范围。VGA增益可以通过差分增益控制输入VG_CTL₊和VG_CTL₋调节。将差分增益控制输入电压设置为+2V时提供最小增益；设置为-2V时提供最大增益。差分模拟控制共模电压为3V (典型值)。

高级波形混频器和可编程波束成形器功能框图



集成了八路CW混频器的超声VGA

VGA箝位

箝位功能用于限制VGA输出信号，避免ADC过驱动或ADC饱和。设置VG_CLAMP_MODE至低电平，将VGA差分输出箝位至 $2.2V_{P-P}$ ；设置VG_CLAMP_MODE至高电平，禁用箝位功能。

关断

器件还可以利用PD进入关断模式。将PD置于逻辑高电平，进入关断模式。关断模式下，器件仅消耗27mA的总电流。将PD置于逻辑低电平，进入正常工作模式。

过载恢复

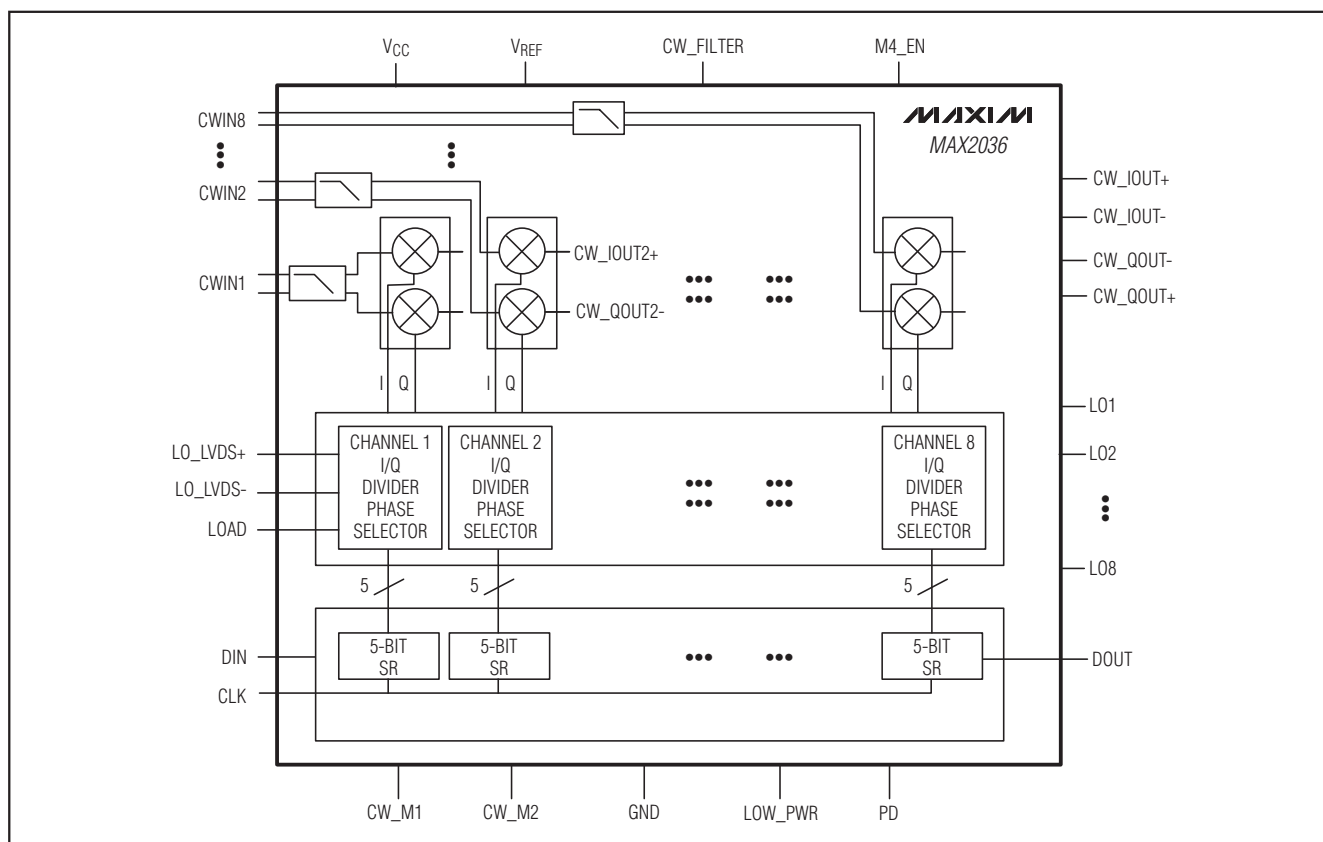
器件经过优化设计具有快速过载恢复功能，非常适合典型的成像系统，这些系统的超声输入缓冲器通常具有较大的输入信号，请参考典型工作特性中关于发送过载的快速恢复时间示意图。

八通道连续波形(CW)混频器

MAX2036 CW混频器设计采用有源双平衡技术。混频器具有较高的动态范围和高线性度指标，同时具有非常低的噪声，可理想用于超声CWD信号接收器。八通道正交混频器阵列在1.25MHz载波、1kHz频偏时具有-155dBc/Hz的噪声指标，还可提供典型值为-50dBc的双音三阶交调的超声指标，请参考应用信息部分的超声规范定义的IMD3。

八通道阵列带有正交和同相差分电流输出(CW_QOUT+、CW_QOUT-、CW_IOUT+和CW_IOUT-)，产生总的CWD波束成形信号。最大差分电流输出为 $3mA_{P-P}$ 典型值，混频器输出兼容于4.75V至12V电压范围。

高级CW混频器和可编程波束成形器功能框图



集成了八路CW混频器的超声VGA

CW混频器输出合成

八路混频器阵列的输出在内部合成，以产生总的CWD合成波束成形信号。八路阵列产生八路正交通道(Q)的差分输出和八路同相(I)通道的差分输出。所有正交、同相输出与单路I和Q差分电流输出(CW_QOUT+、CW_QOUT-、CW_IOUT+和CW_IOUT-)相加。

LO相位选择

LO分相器可通过移位寄存器设置在4、8、16个正交相位，构成完整的CW波束成形方案。

CWD波束成形模式

CWD波束成形有四种独立模式，关于不同工作模式的说明请参考表1。工作模式可由CW_M1和CW_M2逻辑输入选择，相位发生器通过串口控制。关于不同正交相位编程信息请参考应用信息中的串口部分。

模式1

模式1下，LO_LVDS输入频率通常为 $16 \times f_{LO}$ 。CWD LO频率范围为1MHz至7.5MHz，则输入频率范围为16MHz至120MHz。高频LO时钟要求采用差分LVDS输入， $16 \times f_{LO}$ 输入经过16分频，产生16个相位。这16个相位用于8个通道，通过移位寄存器选择相位编程。每个通道具有相应的5位移位寄存器，用于设置16分频电路的输出相位。移位寄存器的前4位用于设置16个相位，第5位单独用于每个通道的通/断控制。对于模式1，将CW_M1和CW_M2设置为低电平，参见表2。

表2. 模式1逻辑表(B4 = 0: 通道导通/B4 = 1: 通道关断)

MODE 1 CW_M1 = 0 CW_M2 = 0	MSB			LSB	SHUTDOWN
PHASE (DEG)	D (B0)	C (B1)	B (B2)	A (B3)	SD (B4)
0	0	0	0	0	0/1
22.5	0	0	0	1	0/1
45	0	0	1	0	0/1
67.5	0	0	1	1	0/1
90	0	1	0	0	0/1
112.5	0	1	0	1	0/1
135	0	1	1	0	0/1
157.5	0	1	1	1	0/1
180	1	0	0	0	0/1
202.5	1	0	0	1	0/1
225	1	0	1	0	0/1
247.5	1	0	1	1	0/1
270	1	1	0	0	0/1
292.5	1	1	0	1	0/1
315	1	1	1	0	0/1
337.5	1	1	1	1	0/1

表1. CWD波束成形模式

CW_M1	CW_M2	MODE	LO INPUT FREQUENCY	CLOCK INTERFACE	PHASE RESOLUTION	NO. OF CLOCK INPUTS PER CHIP	PROGRAM BY SERIAL SHIFT REGISTER (SSR)	NO. OF USEFUL BITS IN SSR	NO. OF DON'T- CARE BITS IN SSR
0	0	1	16 x	LVDS	16 phases	1	Yes	4	0
0	1	2	8 x	LVDS	8 phases	1	Yes	3	1 MSB
1	0	3	4 x	3V CMOS	4 phases	8	Yes	2	2 MSBs
1	1	4	4 x	3V CMOS	Quadrature provided	8	No	N/A	N/A

N/A = 不可用。

集成了八路CW混频器的超声VGA

模式2

模式2下，LO_LVDS输入频率为 $8 \times f_{LO}$ (典型值)。CWD LO频率范围为1MHz至7.5MHz，则输入频率范围则为8MHz至60MHz，这一高频LO时钟要求采用差分LVDS输入。 $8 \times f_{LO}$ 输入被8分频，产生8个相位。这8个相位用于8个通道，通过移位寄存器选择相位设置。注意，串行移位寄存器在模式1、2和3下相同，其中每个通道具有相应的5位移位寄存器，用于设置输出相位。由于模式2仅产生8个相位，4个相位设置位中仅用了3位，但移位寄存器仍然装载5位数据，相位编程的MSB位无效。移位寄存器的第5位总是用于分别控制每个通道的通/断。对于模式2，将CW_M1位置为逻辑低电平，并将CW_M2置为逻辑高电平，请参考表3。

表3. 模式2逻辑表(DC = 无关, B4 = 0: 通道导通/B4 = 1: 通道关断)

MODE 2 CW_M1 = 0 CW_M2 = 1					SHUTDOWN
PHASE (DEG)	D (B0)	C (B1)	B (B2)	A (B3)	SD (B4)
0	DC	0	0	0	0/1
45	DC	0	0	1	0/1
90	DC	0	1	0	0/1
135	DC	0	1	1	0/1
180	DC	1	0	0	0/1
225	DC	1	0	1	0/1
270	DC	1	1	0	0/1
315	DC	1	1	1	0/1

模式3

此模式不需要LO_LVDS输入，独立的 $4 \times f_{LO}$ 时钟输入通过LO1-LO8提供给各个通道。CWD LO频率范围为1MHz至7.5MHz，则输入频率范围为4MHz至30MHz。注意，LO时钟频率可采用3V CMOS输入。 $4 \times f_{LO}$ LO1-LO8输入经过4分频产生4个相位。这4个相位用于8个通道，可通过串

表4. 模式3逻辑表(DC = 无关, B4 = 0: 通道导通/B4 = 1: 通道关断)

MODE 3 CW_M1 = 1 CW_M2 = 0					SHUTDOWN
PHASE (DEG)	D (B0)	C (B1)	B (B2)	A (B3)	SD (B4)
0	DC	DC	0	0	0/1
90	DC	DC	0	1	0/1
180	DC	DC	1	0	0/1
270	DC	DC	1	1	0/1

行移位寄存器选择相位。对于模式3，由于只产生4个相位，因此4个相位设置位只用了2位，而另外两个高位无效。对于模式3，CW_M1置于逻辑高电平，CW_M2置于逻辑低电平，请参考表4。

模式4

该模式不适用LO_LVDS输入，利用外部独立的 $4 \times f_{LO}$ LO1-LO8输入为每个通道提供适当的相位。要求采用 $4 \times f_{LO}$ 输入，以便器件内部产生精确的、与占空比无关的正交LO驱动。注意，此模式不使用串行移位寄存器。CWD LO频率范围为1MHz至7.5MHz，输入频率范围为4MHz至30MHz，类似输入通过LO1至LO8提供。为用户提供复位控制，以保持CWD通道同步。复位控制通过RESET实现。对于模式4，设置CW_M1和CW_M2至逻辑高电平，请参考表5。

表5. 模式4逻辑表

MODE 4 CW_M1 = 1 CW_M2 = 1					SHUTDOWN
PHASE (DEG)	D (B0)	C (B1)	B (B2)	A (B3)	SD (B4)
Serial bus not used in mode 4	N/A	N/A	N/A	N/A	N/A

N/A = 不可用。

集成了八路CW混频器的超声VGA

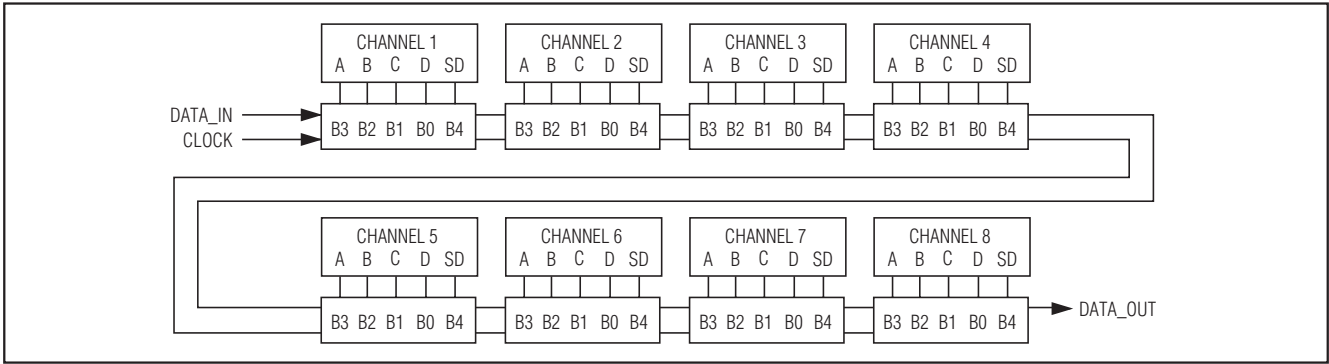


图1. 串行移位寄存器的数据流

同步

图1给出了通过串行数据端口对8个独立通道串行编程的流程。注意，串行数据能够以菊链方式连接，通过一条数据线实现系统的多芯片编程。

CW低通滤波器

MAX2036的每个CW差分输入对和相应的混频器输入之间还带有可选择的低通滤波器。片上集成了并联电容和电阻，适用于宽带和窄带配置。并联电容/电阻网络跨接在每路CW差分输入端，可通过CW_FILTER选择。驱动CW_FILTER至高电平，滤波器角频率设置为： $f_C = 9.5\text{MHz}$ 。驱动CW_FILTER至低电平，滤波器角频率设置为： $f_C = 4.5\text{MHz}$ 。CW_VG允许滤波器的输入与输入节点(芯片内部)断开，从而防止LNA输出过载，并且不改变VGA输入共模电压。

VGA和CW混频器工作原理

标准工作模式，MAX2036配置为VGA通道使能而混频器阵列关断(VGA模式)，或者配置为正交混频器阵列使能而

VGA通道关断(CW模式)。VGA模式下，除了CW混频器阵列关断外，低通滤波器和CW混频器的差分输入在内部与输入节点断开，使CW差分输入(CWIN_+、CWIN_-)变为高阻态。CW模式将断开VGA输入与器件输入端口的连接。VGA模式下，将CW_VG设为逻辑高电平；CW模式下，则将CW_VG设为逻辑低电平。

关断和低功耗模式

器件关断模式下，无论CW_VG处于何种逻辑状态，VGA和CW混频器均关断。由于连接到输入的内部开关均处于关断状态，VGA和CW混频器输入均处于高阻态。器件的总电源电流降至27mA。PD置为逻辑高电平时，器件处于关断状态。

器件提供低功耗模式，以降低CWD模式的功耗。选择低功耗模式时，复合混频器工作在更低的静态电流下，每通道总电流降至53mA。注意，工作在此模式时，器件的动态性能略有降低，表6给出标准工作模式的逻辑函数。

表6. 标准工作模式的逻辑函数

PD INPUT	CW_VG INPUT	LOW_PWR	VGA	CW MIXER	INTERNAL SWITCH TO VGA	INTERNAL SWITCH TO LPF AND CW MIXER	5V V _{CC} CURRENT CONSUMPTION (mA)	11V V _{Mix} CURRENT CONSUMPTION (mA)
1	1	N/A	Off	Off	Off	Off	27	0
1	0	N/A	Off	Off	Off	Off	27	0
0	0	0	Off	On	Off	On	245	106
0	0	1	Off	On	Off	On	245	53
0	1	N/A	On	Off	On	Off	204	0

N/A = 不可用。

集成了八路CW混频器的超声VGA

应用信息

模式选择响应时间

模式选择响应时间表示器件在CW和VGA模式间切换时需要的时间。图2给出了CW输出与仪表放大器连接，用于驱动ADC的一种方案。该方案中，每个CW_IOUT+、CW_IOUT-、CW_QOUT+、CW_QOUT-与其驱动电路之间共有四个大电容(介于470nF至1μF之间)。CW混频器输出通常用于驱动仪表放大器的输入，这些仪表放大器由运算放大器组成，其输入阻抗由共模电压设置电阻决定。

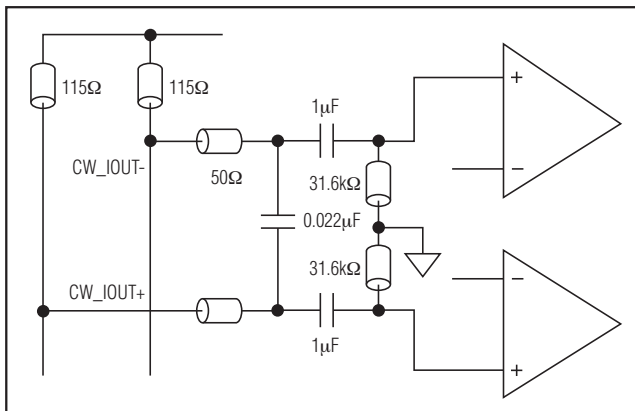


图2. CW混频器输出电路的典型范例

很明显，这一输出网络带有高通滤波器和低通滤波器。低通滤波器的角频率主要由115Ω混频器上拉电阻、50Ω串联电阻以及0.022μF并联电容决定。低通滤波器用于滤除LO泄漏和上边带的组合噪声。高通滤波器的角频率主要由1μF隔直电容和31.6kΩ并联电阻决定，需要谨慎考虑。

简化后的高通滤波器如图3所示。

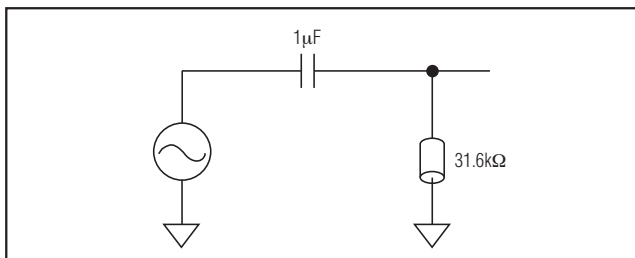


图3. 确定高通滤波器极点的简化电路

这里的高通滤波器极点为 $f_p = 1/(2 \times \pi \times RC)$ ，大约为5Hz。注意，较低的高通滤波器角频率用于滤除下变频器的杂散频率，它出现在直流附近，但不会干扰低至400Hz的CWD成像信号。例如，如果需要采用低至400Hz的CWD，高通滤波器极点的最佳选择应该至少为该频率的十分之一(< 40Hz)，保证该极点不会对有用信号产生衰减。注意，如果高通滤波器极点设置为400Hz，角频率处的频响将会下降3dB。上例中高通滤波器的极点采用5Hz，满足上述讨论直至40Hz的限制。

问题在于，混频器输出与仪表放大器之间任何大小合适的隔直电容都会引入明显的时间常数，从而降低模式选择的切换速度。

图4给出了一个图2的替代方案，能够实现快速模式选择的响应时间。

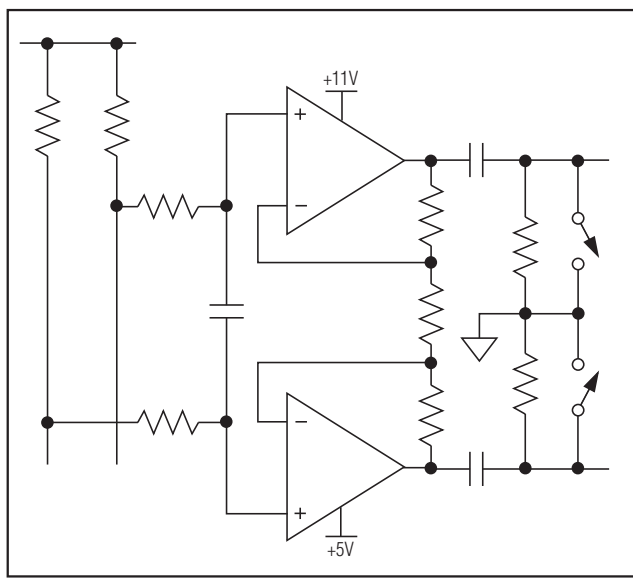


图4. 直流耦合输入至仪表放大器，以改善模式选择的响应时间

图4中，CWD混频器的输出与仪表放大器直流耦合。因此运算放大器必须能够支持混频器输出的全部范围，当混频器禁止时最大为+11V，当混频器使能时低至+5V的MAX2036电源电压。运算放大器可由高压+11V以及低压+5V供电，因此需要6V运算放大器。

集成了八路CW混频器的超声VGA

串口

通过MAX2036的串口，利用串行移位寄存器将LO设置为16、8或4个正交相位。数据通过DIN移入器件，串行移位寄存器时钟连接至CLK输入。对于每个通道，串行移位寄存器有5位数据。前4位用于设置相位，第5位用于使能或禁止混频器阵列的各个通道。

每个混频器可设置到1/16相位；因此每个通道的编程需要4位。主机高频混频器时钟连接到差分输入LO_LVDS+和LO_LVDS- (模式1和2)或LO_ (模式3和4)。LOAD输入允许用户装载相位计数器，数值可编程，用于产生正确的LO相位。混频输入信号连接到八路差分输入，CWIN_+和CWIN_-。I/Q基带差分输出之和连接到CW_IOUT+/-和CW_QOUT+/-。CW_M1和CW_M2用于选择四种可能的工作模式，参见表1。

串口允许多个器件实现菊链连接，从而最大程度地减少编程连线。DOUT支持菊链功能。

编程波束成形器

标准CWD模式下，LO_或LO_LVDS±的混频器时钟开启，而DIN、CLK和LOAD的编程信号关闭(LOAD = 高电平；CLK = 低电平；DIN = 无关，但固定为高或低电平)。开始编程时，关闭混频器时钟。数据按照推荐的10MHz编程速率或100ns最小数据时钟周期/时间移入移位寄存器，时序详细信息参见图5。

移位寄存器编程后，将LOAD总线拉至逻辑低电平，随后返回逻辑高电平，将内部计数器的数值装载到I/Q分相器/选择器。LOAD保持低电平时间必须达到 t_{CLH} 。用户开启混频器时钟启动波束成形器，必须开启时钟后才能启动混频器。

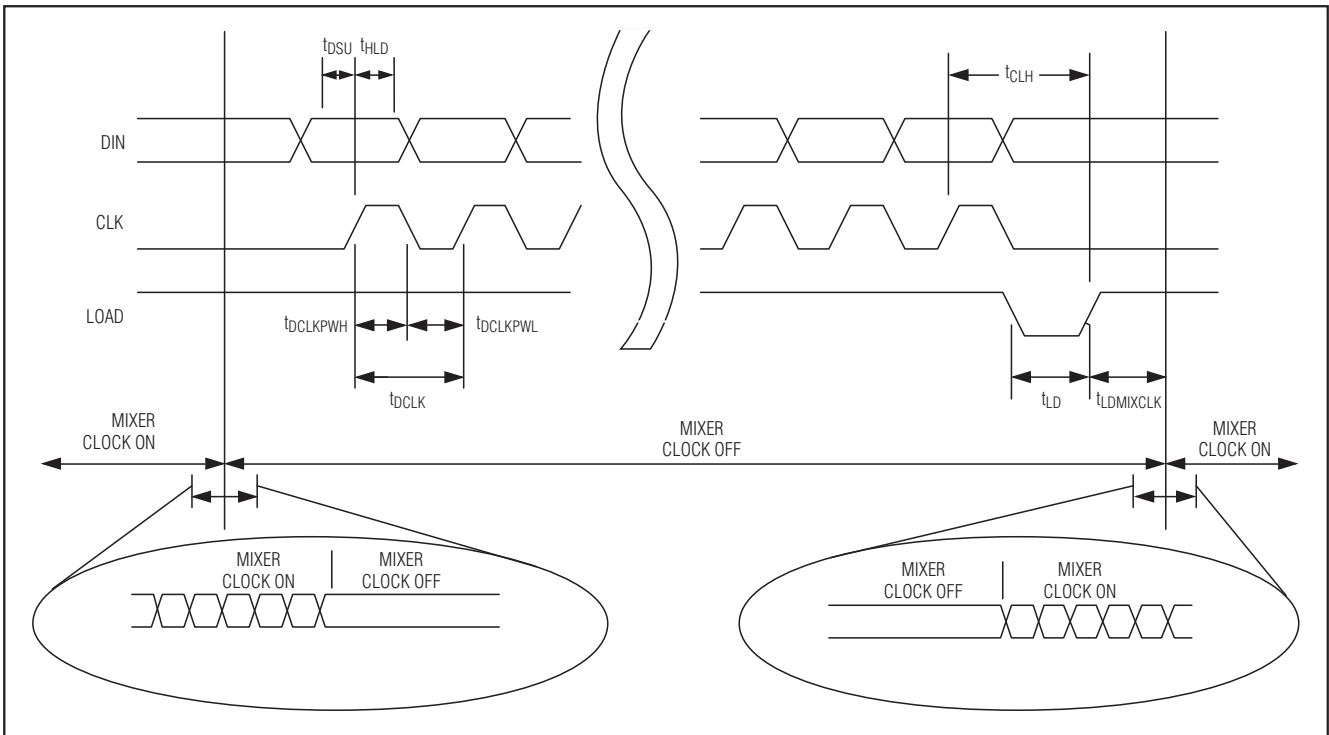


图5. 移位寄存器时序图

集成了八路CW混频器的超声VGA

CW混频器输出合成

最大差分电流输出通常为 $3\text{mA}_{\text{P-P}}$ ，而每个混频器通道的混频电压范围为 4.75V 至 12V 。每个差分混频器输出的混频器共模电流通常为 3.25mA 。在每个 115Ω 负载电阻下，总电流输出等于 $N \times 3.25\text{mA}$ (其中 N = 通道数)。本例中， $+V_{\text{SUM}}$ 和 $-V_{\text{SUM}}$ 的静态输出电压为 $+11\text{V} - (N \times 3.25\text{mA} \times 115) = +11\text{V} - (8 \times 3.25\text{mA} \times 115) = 8.05\text{V}$ 。当一个通道由最大输出电流(差分 $3\text{mA}_{\text{P-P}}$)驱动，而其它通道没有驱动时，每个输出的电压摆幅为 $1.5\text{mA}_{\text{P-P}} \times 115\Omega$ ，或 $174\text{mV}_{\text{P-P}}$ ，而差分电压为 $348\text{mV}_{\text{P-P}}$ 。本例中，电压范围为 $+V_{\text{SUM}}$ 和 $-V_{\text{SUM}}$ 的有效范围。

外部补偿

需要采用外部补偿旁路内部偏置电路。在尽可能靠近引脚EXT_C1、EXT_C2和EXT_C3 (引脚13、14、15)处分别连接 $4.7\mu\text{F}$ 电容至地。

外部偏置电阻

EXT_RES处的外部偏置电阻用于设置内部偏压，将EXT_RES (引脚38)通过 $7.5\text{k}\Omega$ (0.1%)电阻接地，电阻须尽可能靠近引脚放置。

模拟输入和输出耦合

典型应用中，MAX2036由一个低噪声放大器(如MAX2034)驱动，并通过分立的差分输出、抗混叠滤波器驱动ADC(如MAX1436 8路ADC)。MAX2036的差分输入阻抗典型值为 240Ω 。VGA的差分输出可驱动 60pF 的对地差分负载电容，而VGA输出差分电容为 10pF ， $R_L = 1\text{k}\Omega$ 。差分输出具有大约 3.75V 的共模偏置。如果下一级具有不同的共模输入范围，则对这些差分输出采用交流耦合。

超声规范定义的IMD3

与典型的通信规范不同，超声规范定义的双音IMD3指标对应的两个输入音具有不同的幅度。测试中， f_1 代表肌肉等组织的反射波， f_2 代表血液的反射波。后者一般比前者的幅度低 25dB ，所以这种测量方式中，双音输入的其中一个比另一个低 25dB 。在超声应用中，IMD3产物($f_1 - (f_2 - f_1)$)表现为不希望出现的多普勒误差信号，见图6。

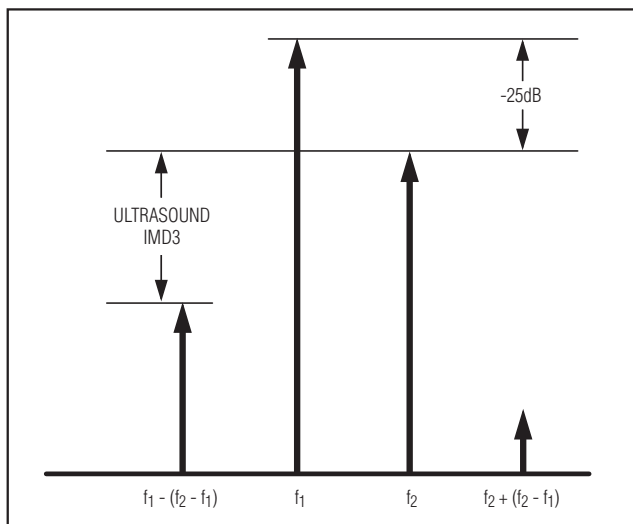


图6. 超声IMD3测量技术

PCB布局

MAX2036的引脚排列经过优化后，能够很方便地与相关分立元件连接，实现紧凑的物理布局。通常，该器件与几个类似器件一起构成多通道信号处理系统。

MAX2036采用TQFP-EP封装，其裸焊盘(EP)提供了一个与管芯之间的低热阻通道。设计电路板(PCB)时，借助MAX2036的裸焊盘散热非常重要。此外，将裸焊盘通过一个低电感路径连接至电气地。EP必须直接或通过一系列电镀过孔焊接至PCB的地层。

集成了八路CW混频器的超声VGA

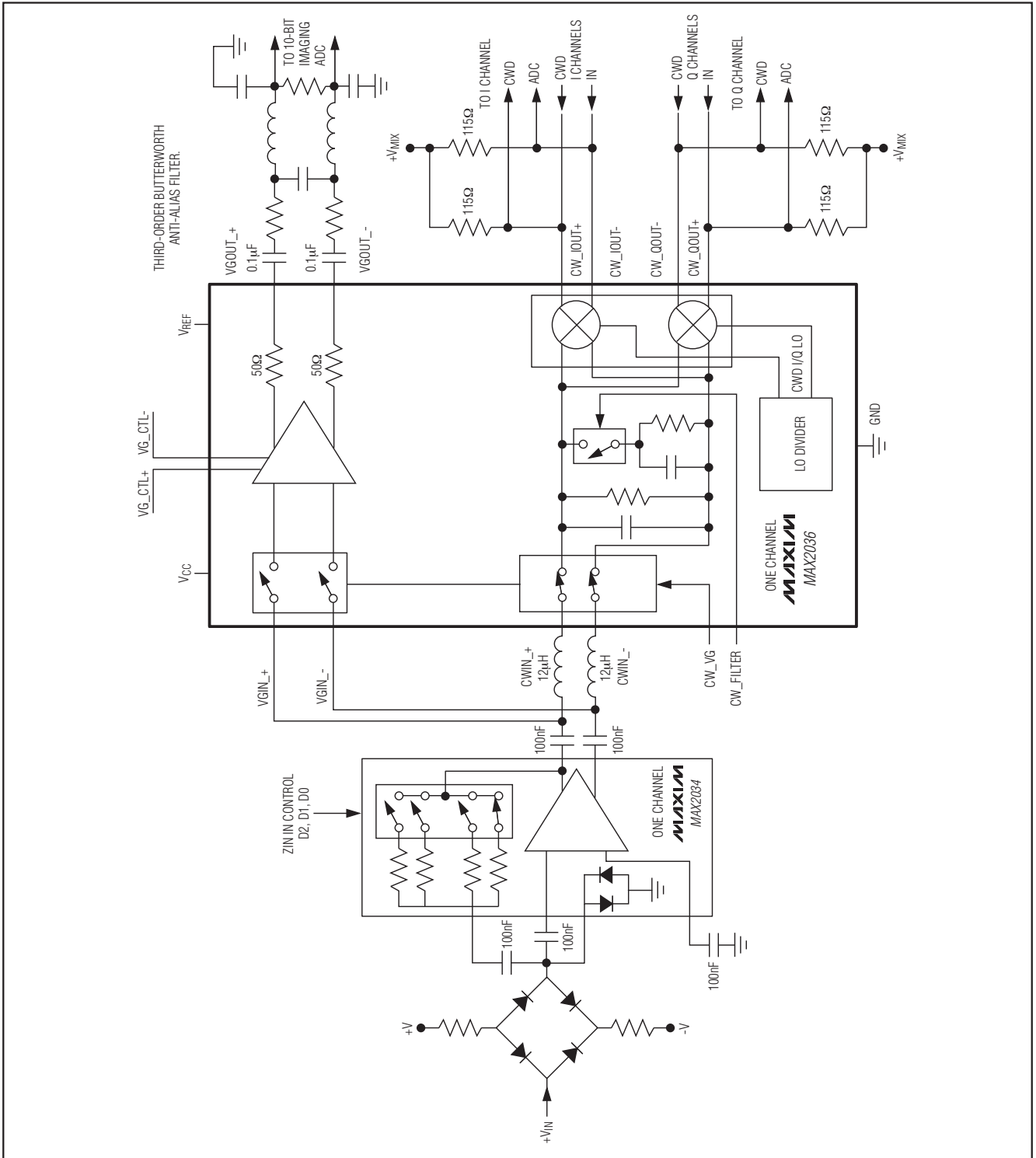
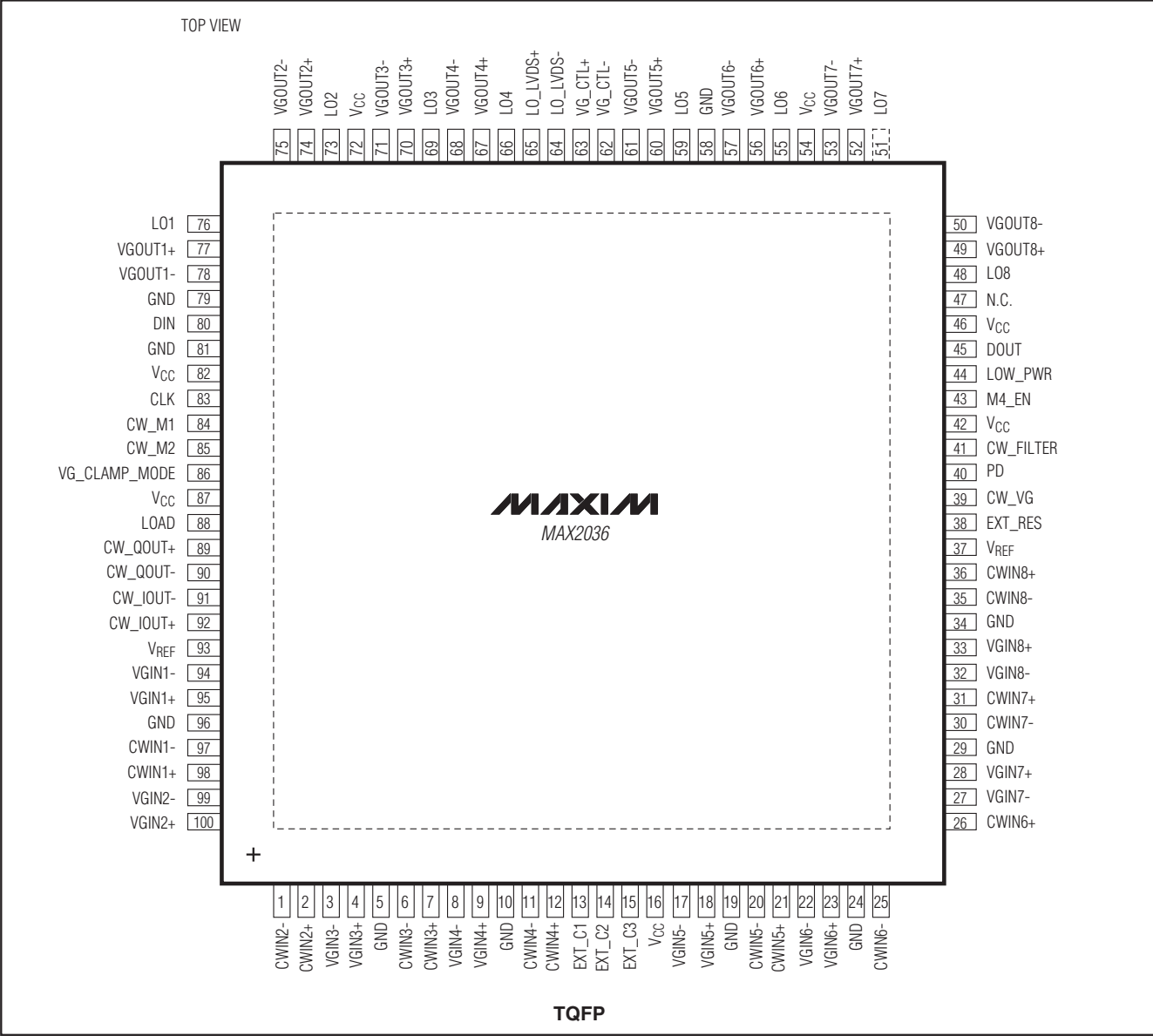


图7. 每个通道的超声成像典型应用

集成了八路CW混频器的超声VGA

引脚配置

MAX2036



集成了八路CW混频器的超声VGA

PROCESS: Silicon Complementary Bipolar

芯片信息

封装信息

如需最近的封装外形信息和焊盘布局，请查询 china.maxim-ic.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	文档编号
100 TQFP-EP	C100E+3	21-0116

集成了八路CW混频器的超声VGA

修订历史

修订号	修订日期	说明	修改页
0	1/09	最初版本。	—
1	6/09	更正了引脚名称不一致的问题。	1-6, 10, 12, 13, 18, 20

MAX2036

Maxim北京办事处

北京 8328信箱 邮政编码 100083
免费电话：800 810 0310
电话：010-6211 5199
传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ **25**