19-5894; Rev 0; 6/11

安全认证开发系统

评估：DS28E01/DS28CN01/DS2460

概述

安全认证开发系统是一个高度灵活的可编程硬件/软件系统，用于对Maxim SHA–1安全认证产品的开发、实验室测试以及嵌入式应用的演示。系统支持多种选项，用于演示、开发主机的SHA–1计算以及主机与Maxim 1–Wire®、I²C SHA–1从器件的通信。支持主系统SHA–1计算开发的多种功能选择，包括配合Maxim DS2460、Microchip PIC18F4550微控制器(µC)处理的固定功能，以及Maxim开发、配合Xilinx Spartan®–3A XC3S400A FPGA使用的SHA–1 Verilog方案(DSSHA1)。连接Maxim SHA–1从器件的主机开发同样提供多项选择，包括Maxim DS2482–100 I²C至1–Wire线路驱动器、基于PIC18F4550的软件1–Wire波形发生器，以及配合Xilinx FPGA使用的Verilog方案(DS1WM)。评估套件可单独使用或通过PC机的RS–232或USB口控制，通过在电路调试端口安装并测试微控制器软件。利用JTAG端口，允许通过标准的Xilinx开发工具改变FPGA编程；借助扩展端口(40引脚微控制器、120引脚FPGA)，电路板可以作为复杂设计的开发平台。

可从**https://support.maxim–ic.com/cn/1–Wire**申请获得免费软件/固件。

特性

- 完备的Maxim SHA–1产品开发系统
- 用于评估Maxim的DS2460、DS2482–100、DS28CN01和DS28E01器件，加速开发进程
- 可通过扩展端口支持其它及未来的Maxim SHA–1认证产品
- 配合PIC18F4550 µC和Xilinx XC3S400A FPGA，支持嵌入式主机开发
- 通过RS–232和USB 2.0连接PC
- JTAG连接器通过一条Ribbon电缆连接Xilinx平台
- 用于FPGA的120针扩展端口
- PIC18F4550在电路仿真端口
- 用于PIC18F4550外设的40针扩展端口
- I²C和1–Wire总线扩展端口
- 通过跳线配置用于作为I²C主机的µC或FPGA
- 通过跳线配置用于µC、FPGA、DS2482–100或外部1–Wire总线主机
- 六个通用按钮和LED指示
- LED指示电源和FPGA加载完成
- 签署NDA后，可申请获得免费评估软件

定购信息

PART	TYPE
DSAUTHSK#	Secure Authentication Starter Kit

#表示电路板符合RoHS标准，器件可能含铅(Pb)，但拥有RoHS标准的豁免。

1–Wire是Maxim Integrated Products, Inc.的注册商标。

Spartan是Xilinx, Inc.的注册商标。

元件列表

ITEM TYPE	DESIGNATOR	LABEL	LOCATION (SEE FIGURE 1)	DESCRIPTION
PCB	—	—	—	PCB: Secure Authentication Starter Kit#, REV A
POWER SUPPLY				
LED	D9	—	B7	Red LED LNJ208R8ARA
Connector	J14	—	A6	2.1mm barrel socket PJ-002A-SMT
Jumper	JP9	USB, JACK	A6/A7, B6/B7	3 pins
Pushbutton	SW8	RESET POWER	B5	Normally open 7914J-1-000E
Test Point	TP5	TIP	A7	Inner contact of J14 (positive)
	TP6	RING	A6	Outer contact of J14 (negative)
	TP7	5V	B7	Raw 5V power rail
	TP8	—	B6/C6	Filtered 3.3V power rail before R47
	TP9	—	B6	Filtered 3.3V power rail
	TP10	—	C6	Filtered 1.2V power rail before R49
	TP11	—	C6	Filtered 1.2V power rail
	TP14	GND	I1	Access to local ground
	TP15	GND	B7	
	TP16	GND	H7	
	TP17	GND	I4	
	TP18	GND	C2	
	TP19	GND	C7	
IC	U24, U25	—	B6, C6	Step-down DC-DC converter (10 TDFN-EP*) Maxim MAX1556AETB+
	U26	—	B5	Triple voltage monitor and sequencer (20 TQFN-EP*) Maxim MAX16028TP+
SYSTEM CLOCK				
IC	U21, U23		E2	Single Schmitt-trigger inverter 74VHC1G14DF
	U22		E2/F2	16MHz oscillator Fox Electronics FXO-HC536R-16
PIC MICRO				
LED	D1, D2	—	B1	Green LED LNJ308G8TRA
Connector	J1	—	A4/A5	Mini USB, female DX3R005HN2E700
	J2	—	A1, A2, A3	DB9 connector 5788797-1
	J3	—	B3/B4	5-pin header, ICD port 4-102972-0
	J4	—	D2–D5	2 x 20-pin header PEC20DAAN
Jumper	JP4	uP-OW	E6	2 pins

元件列表(续)

ITEM TYPE	DESIGNATOR	LABEL	LOCATION (SEE FIGURE 1)	DESCRIPTION
Pushbutton	SW1	RB4 MICRO	B1	Normally open 7914J-1-000E
	SW2	RB5 MICRO	B1/C1	
IC	U2	—	B2/B3	RS-232 drivers/receivers (16 TSSOP) Maxim MAX232ACUE+
	U5	—	C3	Microcontroller PIC18F4550T-I/PT
FPGA				
LED	D3, D4	—	E1	Green LED LNJ308G8TRA
	D5	—	D1	
	D6	—	C1	
	D7	—	F1	Blue LED LTST-C191TBKT
Connector	J5	—	E5/F5	2mm spaced pin header, 2 x 7 pins 87759-1450
	J6	BANK 3	I4–I7	0.1-mil spaced pin header, 2 x 20 pins PEC20DAAN
	J7	BANK 0	I1–I4	
	J8	BANK 1	F1–I1	
Jumper Block	JB1	—	G3	2 x 3 pins 9-146252-0-01
Jumper	JP1	—	F3/G3	3 pins
	JP6	FPGA	E6	2 pins
Pushbutton	SW3	BANK 0 FPGA	E1/F1	Normally open 7914J-1-000E
	SW4	BANK 1 FPGA	E1	
	SW5	BANK 2 FPGA	D1	
	SW6	BANK 3 FPGA	C1	
	SW7	RESET	F4	
IC	U10	—	G2/G3, H2/H3	Spartan-3A FPGA XC3S400A-4FTG256C
	U11	—	F4	Gate NC7SV08P5X
	U12	—	E4/F4	PROM for FPGA XCF04SVOG20C
	U17, U19	—	G5, D5/E5, D6/E6	Dual-level translator (8 TDFN-EP*) Maxim MAX3394EETA+T
PIC/FPGA BRIDGE				
Test Point	TP1	RA6	C2	Signal input pin of U3
IC	U1	—	D2	Three-state bus buffer/line driver 74VHC1G125DF
	U3	—	C2	
	U4, U9	—	E3	
	U6	—	E3/F3	Octal transparent latch 74LCX573DTG
	U7	—	E3/F3, E4/F4	Low-voltage CMOS octal transceiver MC74LCX245DTR2G

元件列表(续)

ITEM TYPE	DESIGNATOR	LABEL	LOCATION (SEE FIGURE 1)	DESCRIPTION
IC	U8	—	C2	Single Schmitt-trigger inverter 74VHC1G14DF
I²C				
Connector	J9	—	G7/H7	I²C expansion port
Jumper	JP2	—	G5	Select SCL source for I²C slaves
	JP3	—	F5	Select SDA source for I²C slaves
	JP8	2482	F6	Enable 1-Wire extra strong pullup from DS2482-100
Test Point	TP2	SCL	H7	SCL line of I²C bus
	TP3	SDA	I7	SDA line of I²C bus
IC	U13	—	F7	Single-channel 1-Wire master (8 SO) Maxim DS2482S-100+
	U14	—	F6	1Kbit I²C/SMBus EEPROM with SHA-1 engine (8 µSOP) Maxim DS28CN01U-A00+
	U15	—	F6	SHA-1 coprocessor with EEPROM (8 SO) Maxim DS2460S+
	U16	—	F5/F6	12-bit I²C voltage-output DAC (6 SOT23) Maxim MAX5812MEUT
1-Wire				
Connector	J10	VPUP	E5	1-Wire pullup resistor
	J11	—	D7/E7	RJ11 1-Wire port 5520250-3
	J12	—	F7/G7	1-Wire expansion port
	J13	—	F7	TO-92 1-Wire socket 801-93-036-10-012000
Jumper	JP5	—	E5/F5, E6/F6	2 x 3 pins 9-146252-0-03
	JP7	—	E7	2 pins
	JP10	—	C5	3 pins
	JP11	—	C5	3 pins
Test Point	TP4	OW	D7	Data line of 1-Wire bus
	TP12	VPUP	D6	1-Wire V_{PUP} before R52
	TP13	VPUP	D7	1-Wire V_{PUP}
IC	U18	—	D6	ESD protection diode with resistors (6 TSOC) Maxim DS9503P+
	U20	—	E7	1Kb protected 1-Wire EEPROM with SHA-1 engine (6 TSOC) Maxim DS28E01P-100+

+表示无铅(Pb)/符合RoHS标准的封装。

**EP = 裸焊盘。*

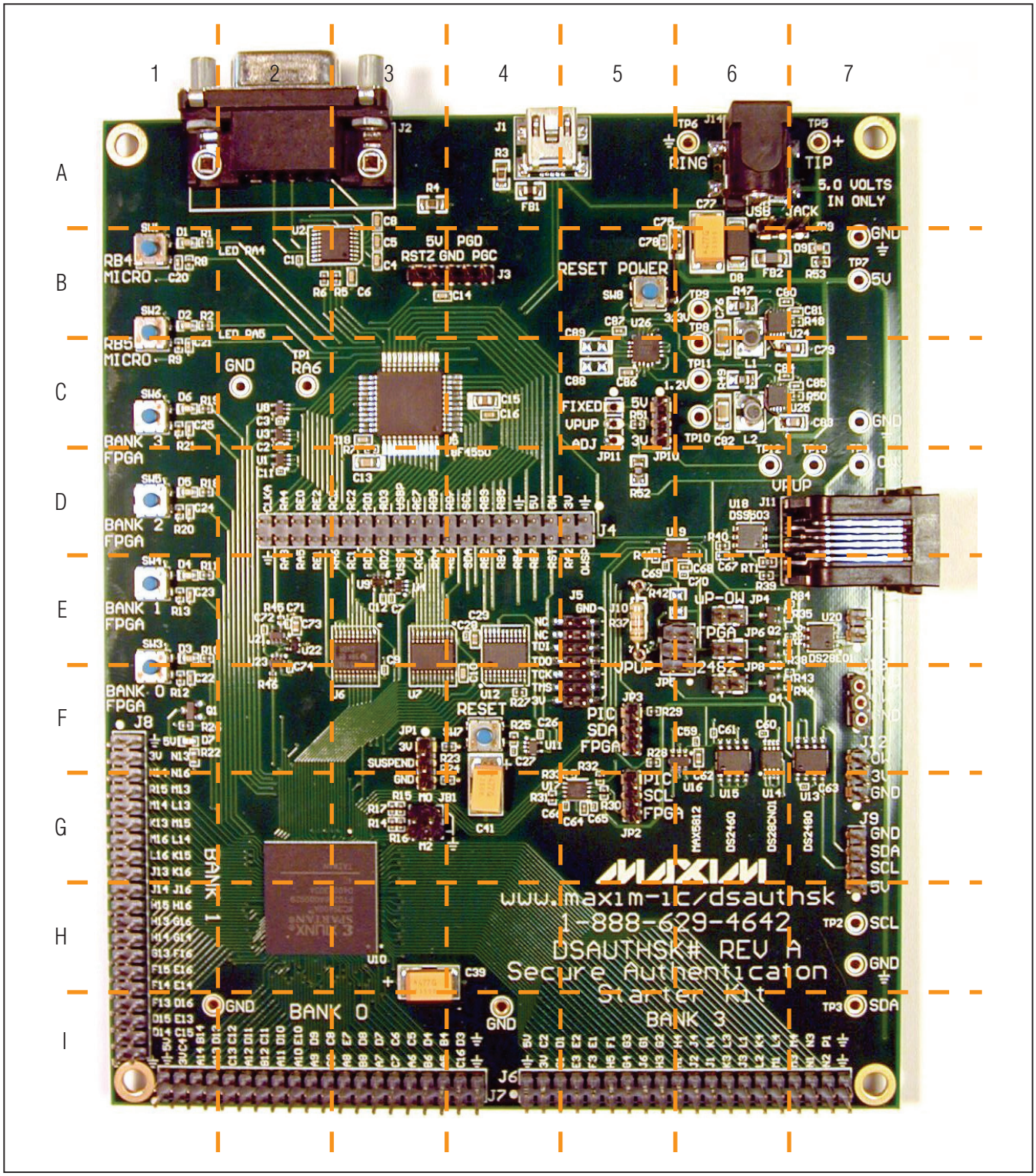

图1. 安全认证开发板，带参考网格标示

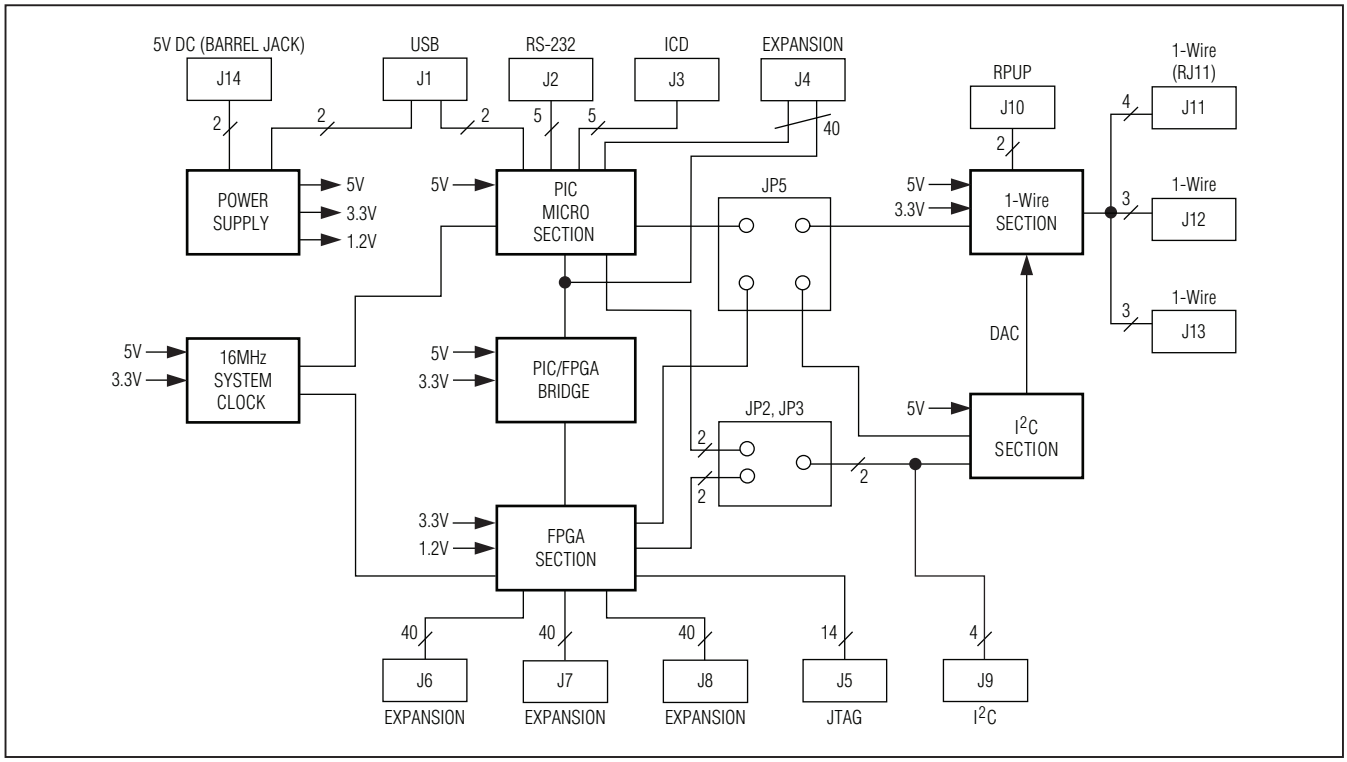

图2. 安全认证开发板原理框图

硬件详细说明

图1给出了开发板的网格标示，以便快速查找元件在电路板上的位置，方便操作。图2所示原理框图给出了电路的所有连接器和端口。以下内容将对每个模块进行讨论，介绍必要的跳线设置，提供电路板应用的详细信息。

电源部分

电源部分包括3片集成电路：U24、U25和U26。U24和U25为降压型DC–DC转换器，从5V输入电压产生3.3V和1.2V输出电压。U26用于电源监测和排序，并在3.3V或1.2V电源发生故障，或者按下RESET POWER按钮(SW8)时(用户复位)，发出上电复位脉冲。如果5V电源上电，则点亮红色LED (D9)，由连接到J14的外部5V ±5%电源或USB端口(J1)电源供电。有关J14引脚说明，请参考表1。须严格按照可以使用的电源安装JP9，详细信息请参考*跳线设置*部分，提供不同的测试点用于连接5V输入、3.3V和1.2V电源。TP8/TP9和TP10/TP11连接到3.3V和1.2V电源线的10mΩ电阻，以测量负载电流。10mV测量电压对应于1mA负载电流。

表1. J14引脚定义

PIN	SIGNAL NAME	ALIAS
1	POWER	TIP
2	GND	RING
3	GND	RING
4	POWER	TIP

注：*J14没有印刷引脚1标记，引脚1位于TP5的左侧。引脚排列按照逆时针方向编号。****注意：如果把不正确的电压作用到J14，将会损坏电路板。***

表2. J1 USB端口引脚

PIN	SIGNAL NAME
1	VBUS
2	USB DM
3	USB DP
4	NC
5–9	GND

注：*J1没有印刷引脚1标记，引脚5位于FB1的右上方。引脚从左至右递减编号，引脚6至9为USB插座外部，连接至GND。*

表3. J2 RS–232端口引脚

PIN	SIGNAL NAME	PIC PIN
1, 4, 6, 9	NC	—
2	T1OUT\	TX
3	R1IN	RX
5	GND	—
7	R2IN	RA3
8	T2OUT\	RA2

注：*J2没有印刷引脚1标记，引脚1位于左侧。引脚从左至右递增编号，引脚1至5在前排(可检测)，引脚6至9在后排(不可检测)。*

表4. J3 ICD端口引脚

PIN	SIGNAL NAME
1	RSTZ
2	5V
3	GND
4	PGD
5	PGC

注：*J3没有印刷引脚1标记，引脚1标有RSTZ，引脚从左至右递增编号。*

系统时钟部分

系统时钟部分包括3片集成电路：U21、U22和U23。U22提供时钟源，为16MHz硅振荡器。U21和U23为施密特触发反相器，用作信号驱动器。U21由5V电源供电，为PIC微处理器提供5V时钟信号；U23为FPGA提供3.3V时钟信号。U22和U23工作在3.3V电源。时钟信号没有直接测试点，可在J4的第39脚检测5V时钟信号。

表5. J4扩展端口引脚

PIN	SIGNAL NAME		PIN	SIGNAL NAME
1	GND		2	OWSP
3	3V		4	RA2
5	OW		6	RST
7	5V		8	RB7
9	GND		10	RB6
11	RB5		12	RB4
13	RB3		14	RB2
15	SCL		16	SDA
17	RD7		18	RD6
19	RD5		20	RD4
21	RC7		22	RC6
23	USBP		24	USBM
25	RD3		26	RD2
27	RD1		28	RD0
29	RC2		30	RC1
31	RC0		32	RA6
33	RE2		34	RE1
35	RE0		36	RA5
37	RA4		38	RA3
39	CLKA		40	GND

PIC微处理器部分

PIC微处理器部分包括2片集成电路：双通道RS–232驱动器/接收器U2和微控制器U5。U2和U5均工作于5V电源，U2使用户能够通过RS–232端口J2访问微控制器。USB端口J1直接连接至微控制器；利用ICD端口J3，可通过在电路调试器控制微控制器；扩展端口J4允许外部电路连接微控制器，表2至表5给出了J1–J4的引脚排列。电路板的两个按钮(SW1、SW2)和两个绿色LED (D1、D2)可以用作用户输入和反馈，功能取决于微控制器的装载软件。PIC微处理器部分的唯一跳线为JP4，当微控制器作为1–Wire主控制器时使用。如果软件控制的1–Wire供电需要“强上拉”，则必须安装JP4，详细信息请参考*跳线设置*部分。PIC微处理器部分没有直接测试点，但在J4可以检测到多个信号。

安全认证开发系统

FPGA部分

FPGA部分包括5片集成电路：U10、U11、U12、U17和U19。U10和U12为FPGA，与JTAG PROM有关；U17和U19为电平转换器，允许3.3V FPGA与5V I^2C及1–Wire电路通信。双输入与门U11配合SW7，为FPGA提供手动复位(独立于上电复位)。FPGA需要1.2V和3.3V电源供电，U11采用3.3V供电，U17采用3.3V和5V供电，U19则利用FPGA侧的3.3V和1–Wire侧用户可选的VPUP (JP10、JP11)供电。FPGA部分具有一个JTAG端口J5和三个扩展口J6、J7和J8，表6至表9给出了各自的引脚分配。除RESET按钮(SW7)外，FPGA部分还包含另外四个按钮(SW3–SW6)和四个绿色LED (D3–D6)，可以用作用户输入和反馈，具体功能取决于FPGA的装载软件。蓝色LED D7表示FPGA的DONE信号状态，如果DONE为高电平，则点亮LED。FPGA部分具有三个跳线：JP1、JB1和JP6。JP1与FPGA的挂起模式有关，使能后可用其节省功耗；JB1用于选择FPGA从U12加载配置(正常工作)，还是从JTAG端口加载配置(开发程序期间)；JP6在FPGA作为1–Wire主控制器时使用，如果软件控制的1–Wire供电需要“强上拉”，则必须安装JP6，详细信息请参考*跳线设置*部分。FPGA部分没有直接测试点。

表6. J5 JTAG端口引脚

PIN	SIGNAL NAME		PIN	SIGNAL NAME
1	GND		2	3V
3	GND		4	TMS
5	GND		6	TCK
7	GND		8	TDO
9	GND		10	TDI
11	GND		12	NC
13	GND		14	NC

注：*J5没有印刷引脚1标记，引脚1在J5右下侧，引脚2位于左下侧。奇数编号位于右侧，从下至上递增编号；偶数编号位于左侧，从下至上递增编号。*

表7. J6 Bank 3扩展端口引脚

CONNECTOR PIN	FPGA PIN	SIGNAL NAME		CONNECTOR PIN	FPGA PIN	SIGNAL NAME
1	—	GND		2	—	5V
3	—	3V		4	C2	BANK3 IO2
5	C1	BANK3 IO1		6	D1	BANK3 IO4
7	E3	BANK3 IO3		8	E2	BANK3 IO6
9	F3	BANK3 IO5		10	E1	BANK3 IO8
11	H5	BANK3 IO7		12	F1	BANK3 IO10
13	G4	BANK3 IO9		14	G3	BANK3 IO12
15	J6	BANK3 IO11		16	G1	BANK3 IO14
17	H3	BANK3 IO13		18	G2	BANK3 IO16
19	H1	BANK3 IO15		20	H4	BANK3 IO18
21	J2	BANK3 IO17		22	J4	BANK3 IO20
23	J1	BANK3 IO19		24	K1	BANK3 IO22
25	K3	BANK3 IO21		26	L3	BANK3 IO24
27	J3	BANK3 IO23		28	L1	BANK3 IO26
29	L2	BANK3 IO25		30	K4	BANK3 IO28
31	M1	BANK3 IO27		32	L4	BANK3 IO30
33	M3	BANK3 IO29		34	M4	BANK3 IO32
35	N1	BANK3 IO31		36	N3	BANK3 IO34
37	N2	BANK3 IO33		38	P1	BANK3 IO35
39	—	GND		40	—	GND

表8. J7 Bank 0扩展端口引脚

CONNECTOR PIN	FPGA PIN	SIGNAL NAME		CONNECTOR PIN	FPGA PIN	SIGNAL NAME
1	—	GND		2	—	5V
3	—	3V		4	C4	BANK0 IO2
5	A14	BANK0 IO1		6	B14	BANK0 IO4
7	A13	BANK0 IO3		8	D13	BANK0 IO6
9	C13	BANK0 IO5		10	C12	BANK0 IO8
11	A12	BANK0 IO7		12	D11	BANK0 IO10
13	B12	BANK0 IO9		14	C11	BANK0 IO12
15	A11	BANK0 IO11		16	D10	BANK0 IO14
17	A10	BANK0 IO13		18	E10	BANK0 IO16
19	A9	BANK0 IO15		20	D9	BANK0 IO18
21	C9	BANK0 IO17		22	C8	BANK0 IO20
23	A8	BANK0 IO19		24	E7	BANK0 IO22
25	B8	BANK0 IO21		26	D8	BANK0 IO24
27	A7	BANK0 IO23		28	D7	BANK0 IO26
29	C7	BANK0 IO25		30	C6	BANK0 IO28
31	A6	BANK0 IO27		32	C5	BANK0 IO30
33	B6	BANK0 IO29		34	D4	BANK3 IO37
35	A5	BANK0 IO31		36	B4	BANK0 IO32
37	C16	BANK1 IO36		38	D3	BANK3 IO36
39	—	GND		40	—	GND

表9. J8 Bank 1扩展端口引脚

CONNECTOR PIN	FPGA PIN	SIGNAL NAME		CONNECTOR PIN	FPGA PIN	SIGNAL NAME
1	—	GND		2	—	5V
3	—	3V		4	N13	BANK1 IO2
5	N14	BANK1 IO1		6	N16	BANK1 IO4
7	R15	BANK1 IO3		8	M13	BANK1 IO6
9	M14	BANK1 IO5		10	L13	BANK1 IO8
11	K13	BANK1 IO7		12	M15	BANK1 IO10
13	M16	BANK1 IO9		14	L14	BANK1 IO12
15	L16	BANK1 IO11		16	K15	BANK1 IO14
17	J13	BANK1 IO13		18	K16	BANK1 IO16
19	J14	BANK1 IO15		20	J16	BANK1 IO18
21	H15	BANK1 IO17		22	H16	BANK1 IO20
23	H13	BANK1 IO19		24	G16	BANK1 IO22
25	H14	BANK1 IO21		26	G14	BANK1 IO24
27	G13	BANK1 IO23		28	F16	BANK1 IO26
29	F15	BANK1 IO25		30	E16	BANK1 IO28
31	F14	BANK1 IO27		32	E14	BANK1 IO30
33	F13	BANK1 IO29		34	D16	BANK1 IO32
35	D15	BANK1 IO31		36	E13	BANK1 IO34
37	D14	BANK1 IO33		38	C15	BANK1 IO35
39	—	GND		40	—	GND

PIC/FPGA桥接部分

PIC/FPGA桥接部分包括7片集成电路：U1、U3、U4及U6–U9。U6和U7在PIC和FPGA之间传输地址和数据信号并提供适当的电平转换。U1、U3、U8和U9控制PIC至U6、U7和FPGA信号从5V至3.3V的电平转换。U4将FPGA的反馈信号从3.3V转换至5V。除U4工作在5V外，PIC/FPGA桥接部分的其它集成电路工作在3.3V。桥接部分的唯一测试点为TP1，允许连接FPGA的写操作控制信号。

表10. J9 I²C扩展端口引脚

PIN	SIGNAL NAME
1	5V
2	SCL
3	SDA
4	GND

表11. J10 RPUP插座引脚

PIN	SIGNAL NAME
1	VPUP
2	OW

表12. J11 RJ11端口引脚

PIN	SIGNAL NAME
1	5V
2	GND
3	OW (DATA)
4	OW RTN
5	NC
6	NC

注：*J11没有印刷引脚1标记，引脚1位于底部。引脚从下至上递增编号。*

表13. J12 1–Wire扩展端口引脚

PIN	SIGNAL NAME
1	GND
2	3V
3	OW

I²C部分

I²C部分包括4片集成电路：U13–U16。U13为1–Wire主控制器，由JP5选择与电路板或外部1–Wire器件通信。U14为1Kb I²C/SMBus EEPROM，带有SHA–1引擎，U15为SHA–1协处理器。这些是利用该开发板进行评估的典型I²C器件。U16为DAC，用于产生可调节的1–Wire上拉电压。J9用于连接带有I²C从器件的小电路板，引脚分配请参考表10。I²C部分包括跳线JP2、JP3和JP8，必须配置跳线JP2和JP3选择PIC微处理器或FPGA作为I²C主控制器；JP8在DS2482–100作为1–Wire主控制器时使用，如果软件控制1–Wire供电需要“强上拉”，则必须安装JP8，详细信息请参考*跳线设置*部分。I²C部分有两个测试点(TP2、TP3)，允许监测SCL和SDA的状态。

1–Wire部分

1–Wire部分包括2片集成电路：U18和U20。U18为ESD保护器件，保护1–Wire电路免受J11、J12或J13产生的ESD冲击而损坏。U20为保护型1Kb 1–Wire EEPROM，带有SHA–1引擎，可通过JP7连接到1–Wire总线。需特别注意J10配置，由于没有安装R37，所以在J10两端安装一个上拉电阻，用于1–Wire总线上拉，典型上拉电阻为2.2kΩ。DS2482–100作为1–Wire主控制器时，不得安装该电阻。J11选择将DS1402 1–Wire网络电缆连接到1–Wire总线。也可以从外部控制U20，此时可以将J10开路、JP5不需要安装跳线。J12用于连接带有1–Wire从器件的小电路板。TO–92或PR–35封装的1–Wire从器件可直接插入至J13，表11至表14给出了各自的引脚排列。除JP7外，1–Wire部分还包括跳线JP5、JP10和JP11，必须用跳线配置JP5，以选择PIC微处理器或FPGA或由DS2482–100作为1–Wire主控制器；必须配置JP10，以选择1–Wire上拉电压，典型值为5V或3.3V；JP11用于选择用户可编程的上拉电压，上

表14. J13 TO–92插座引脚

PIN	SIGNAL NAME
1	GND
2	OW
3	GND

拉电压由I²C部分的数/模转换器U16控制。出厂时，没有配置JP11，FIXED VPUP选择由短路器(R51)连接。为了使用可调节的VPUP，必须拆下R51并配置JP11，详细信息请参考*跳线设置*部分。1–Wire部分有3个测试点：TP4、TP12和TP13。TP4允许监测1–Wire总线的状态，TP12和TP13连接至VPUP通路的10mΩ电阻，10mV的测量电压对应于1mA负载电流。

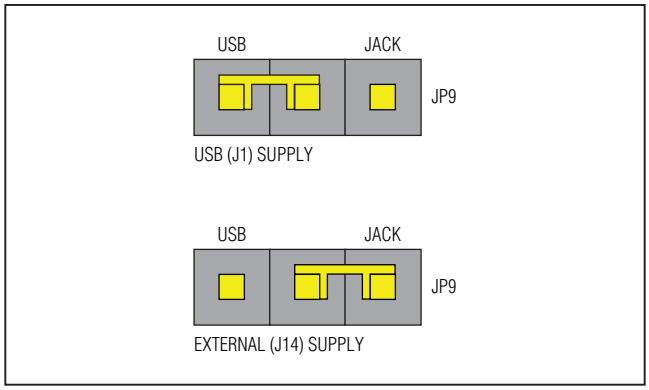

图3. JP9，选择电源

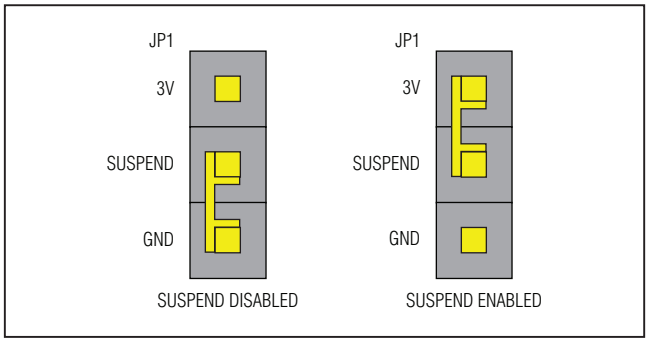

图4. JP1，选择挂起模式

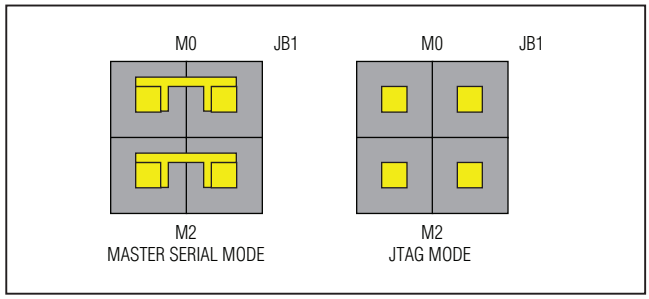

图5. JB1，选择FPGA配置来源

跳线设置

电源

必须根据可供使用的电源安装跳线，请参考图3。

FPGA挂起模式

如果使能挂起模式，可有效降低功耗(图4)，更多信息请参考XAPP480。

FPGA初始化

在主控制器串行模式下，FPGA从U12 (PROM)加载配置，该设置用于正常工作模式。JTAG模式下，FPGA从JTAG端口J5加载配置，该设置用于FPGA程序开发。如果只安装一个跳线(M0或M2)，配置无效，如图5所示。

I²C主控选择

为了选择PIC或FPGA，必须安装两个跳线，如图6所示。

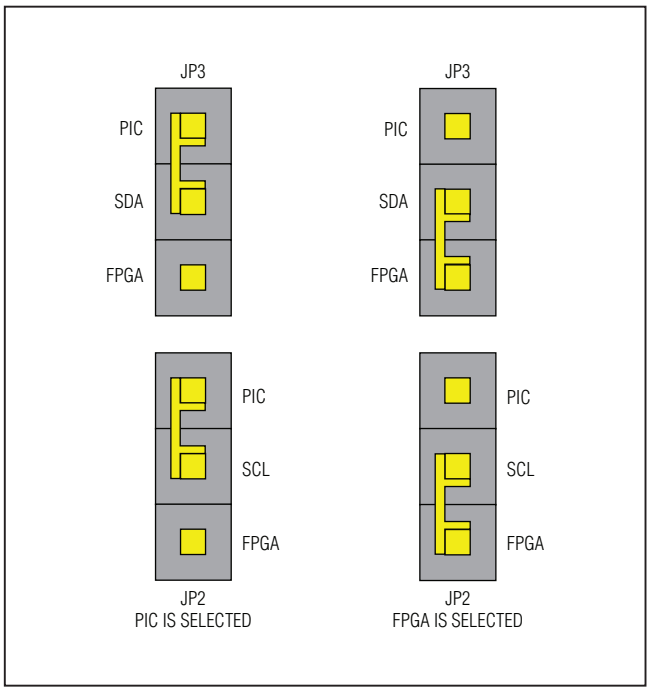

图6. JP2、JP3，选择I²C主控制器

安全认证开发系统

1–Wire主控制器选择

使用DS2482–100或外部主控制器时，必须拆下J10处的电阻，如图7所示。

1–Wire上拉电压选择

除非选择可调节的上拉电压，否则将由JP10定义1–Wire上拉电压，详细信息请参考图8。

1–Wire强上拉使能

使用PIC或FPGA控制1–Wire从器件时，必须使能强上拉以支持瞬间的大功率模式。DS2482–100内置强上拉，因此，强上拉为可选项，如图9所示。

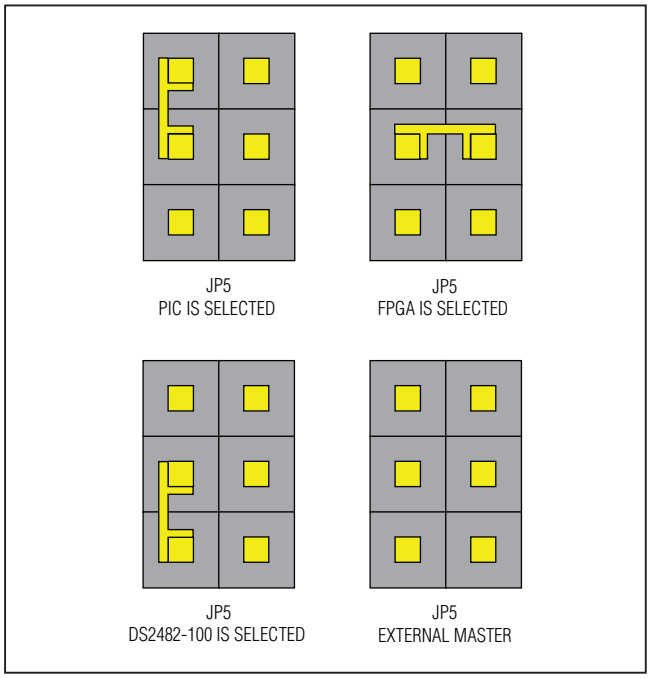

图7. JP5，选择1–Wire主控制器

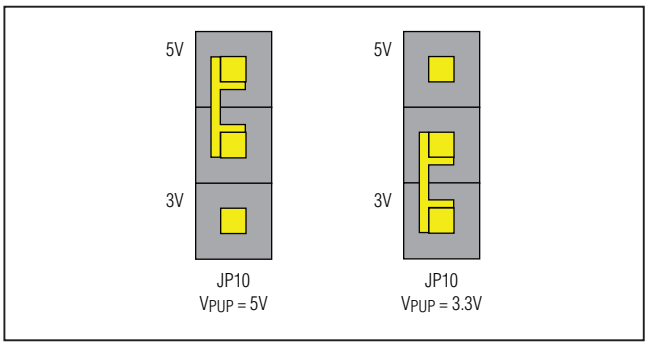

图8. JP10，预选1–Wire上拉电压

访问DS28E01

为访问DS28E01，必须安装跳线，如图10所示。

可调1–Wire上拉电压

出厂时未安装JP11。为了使用JP11，必须拆下R51，如图11所示。

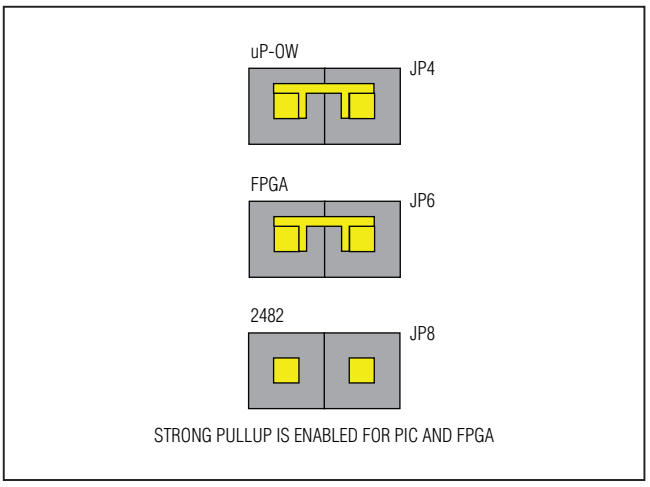

图9. JP4、JP6、JP8，1–Wire强上拉使能

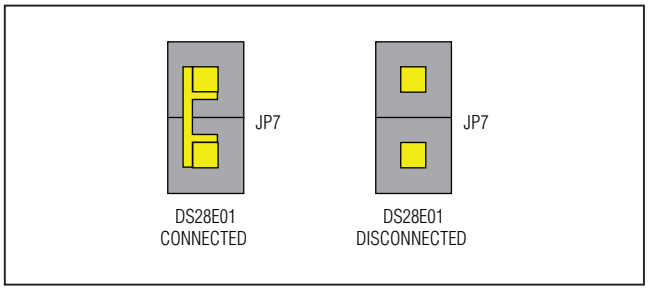

图10. JP7，访问DS28E01

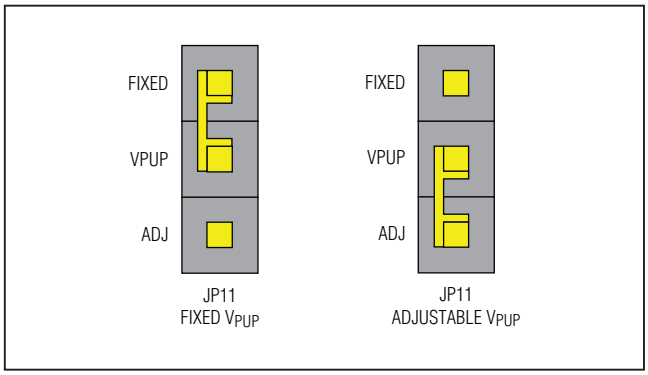

图11. JP11，选择固定与可调1–Wire上拉

安全认证开发系统

配置支持

仅靠PIC或FPGA就可以实现质询、响应安全认证。通过6位地址总线、8位数据总线和控制线，PIC可以与FPGA通信。由此，PIC中的固件可以减轻FPGA的部分工作负荷。FPGA可包含DS1WM，合成1–Wire总线主控制器，DSSHA1处理器配合用户的FPGA设计，创建定制的安全方案。SHA–1计算可由PIC软件、FPGA (DSSHA1)或DS2460 SHA–1协处理器执行。可直接由PIC、FPGA (DS1WM)或DS2482–100驱动1–Wire总线，I²C总线可直接由PIC通过其内部I²C端口驱动或由FPGA (I2CM)驱动，表15所示为安全认证开发板所支持的功能组合。

安全认证开发板应用

通过RS–232使用PIC

标准DB9连接器(J2)和线路发送器/接收器(U2)一起支持演示板的RS–232串口连接。编程人员可通过该接口开发Windows®、Linux®及Mac OS®操作系统或其它类型串口主机系统的通信软件。这是建立与串行主机系统通信的传统而又简单的方法之一。采用串口的另一便利条件是大多数计算都具有终端程序，支持串口通信。通过这种方式，开发者无需在跨平台计算机上安装任何软件，即可开发PIC固件。

表15. 配置

HOST	SHA-1 COMPUTATION	BUS INTERFACE	PATH	TARGET SLAVE DEVICE
PIC alone	**Software code (PIC)** or DS2460 (PIC I²C port)	1-Wire Software code (PIC)	Direct	DS28E01 (1-Wire)
		I²C (PIC I²C port)	By DS2482-100	
			Direct	**DS28CN01 (I²C)**
PIC with FPGA	Software code (PIC) or DSSHA1 (Verilog, FPGA) or DS2460 (PIC I²C port)	1-Wire Software code (PIC) or DS1WM (VHDL/Verilog, FPGA)	Direct	DS28E01 (1-Wire)
		I²C (PIC I²C port)	By DS2482-100	
			Direct	DS28CN01 (I²C)
FPGA alone	PicoBlaze™ ASM code (FPGA) or DSSHA1 (Verilog, FPGA) or DS2460 (FPGA I2CM*)	1-Wire PicoBlaze ASM code (FPGA) or DS1WM (VHDL/Verilog, FPGA)	Direct	DS28E01 (1-Wire)
		I²C I2CM* (VHDL, FPGA)	By DS2482-100	
			Direct	DS28CN01 (I²C)

** I2CM正在开发中。*

***注：**电路板硬件支持表15列出的所有条目。有些组合可能更为重要，用粗体表示只有PIC参与软件的SHA–1计算，通过PIC的I²C端口直接与DS28CN01通信。*

Windows是Microsoft Corp.的注册商标。
Linux是Linus Torvalds的注册商标。
Mac OS是Apple Inc.的注册商标。
PicoBlaze是Xilinx, Inc.的商标。

安全认证开发系统

通过USB端口使用PIC

USB端口(J1)除了为电路板供电外，也可连接PIC，利用USB端口开发基于USB的应用程序，连接Windows OS、Linux、Mac OS或其它支持USB的主机系统。可以用USB替代串口连接，另外，当前市场上支持串口的主机系统越来越少，而支持USB的主机系统越来越多，这也是提供USB连接的重要原因。此外，也可以在PIC内部开发一个USB功能引导装载程序，提供现场更新固件的能力，由客户根据需要现场更新。

调试和更新PIC固件

PIC微控制器固件可通过ICD端口(J3)调试和更新。利用已安装MPLAB IDE软件的PC，ICD端口支持Microchip的MPLAB® ICD 3在电路调试。通过该ICD端口，程序员可加载开发代码、设置端点、单步调试，以验证工作是否正确，以及测试/擦除固件。

更改FPGA配置

Xilinx Spartan–3A FPGA由JTAG端口(J5)配置。JTAG端口支持HW–USB–II–G (Platform Cable USB II)或其它Xilinx电缆，直接编程FPGA或编程可以使用的XCF04S JTAG PROM。14芯、2mm扁平电缆可从HW–USB–II–G连接到JTAG端口。随Xilinx ISE® WebPACK®软件集成了用于编程的免费软件，称为iMPACT，更多信息请参考Xilinx网站。图12所示为实际的JTAG链，链中可直接加载FPGA或JTAG PROM。使用JTAG PROM时，用户还需要安装位于JB1的两个跳线，以实际加载FPGA。

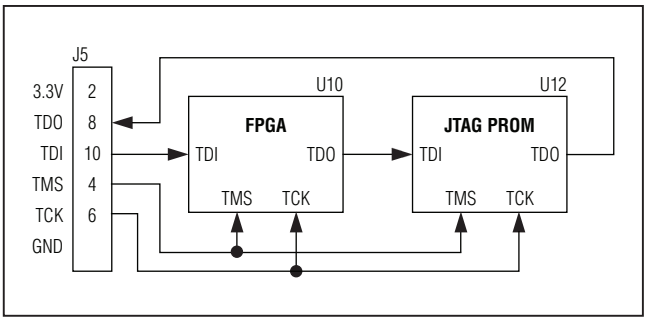

图12. JTAG链拓扑

MPLAB是Microchip Technology Inc.的注册商标。
ISE和WebPACK是Xilinx, Inc.的注册商标。

修订历史

修订号	修订日期	说明	修改页
0	6/11	最初版本。	—

Maxim北京办事处
北京8328信箱 邮政编码100083
免费电话：800 810 0310
电话：010–6211 5199
传真：010–6211 5299