

DS4830

光电微控制器

概述

DS4830采用低功耗、16位MAXQ20微处理器核，提供完备的光控、校准及监测方案，该处理器带有大容量程序存储器及RAM数据存储器。I/O资源包括：高速/高精度模/数转换器(ADC)、带数/模转换器(DAC)补偿的高速比较器、12位DAC、12位PWM、内部和外部温度传感器、快速采样/保持器、I²C主/从接口以及多协议串行主机/从机接口。可直接连接配置成二极管的晶体管远端温度传感器，也可以通过片内I²C主机接口连接多个外部数字温度传感器IC。独立的从机I²C接口便于与主控制器之间的通信，并可支持片内闪存存在系统编程的加密保护。

采用高度通用的C编译器和开发软件简化系统开发，通过集成的JTAG接口以及相应硬件对闪存编程和在电路调试。

应用

双工/三工PON：GPON、10GEPON、XPON OLT、ONU

光收发器：XFP、SFP、SFP+、QSFP、40G、100G

[订购信息](#)在数据资料的最后给出。

[典型应用电路](#)在数据手册的最后给出。

MAXQ是Maxim Integrated Products, Inc.的注册商标。

SPI是Motorola, Inc.的商标。

相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/DS4830.related。

注意：该器件某些版本的规格可能与发布的规格不同，会以勘误表的形式给出。通过不同销售渠道可能同时获得器件的多个版本。欲了解器件勘误表信息，请点击：china.maximintegrated.com/errata。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

特性

- ◆ 16位MAXQ20低功耗微控制器
- ◆ 高效C语言编程
- ◆ 36K字程序存储器
 - ◇ 32K字闪存程序存储器
 - ◇ 4K字ROM程序存储器
- ◆ 1K字数据RAM
- ◆ 8通道DAC
 - ◇ 12位电压型DAC
 - ◇ 内部或外部基准
- ◆ 10通道PWM
 - ◇ Boost/Buck DC-DC控制器，支持7位至12分辨率、1MHz开关频率
 - ◇ 支持4通道TECC H桥控制
- ◆ 带有16路输入选择的10位高速比较器
 - ◇ 比较时间：1.6μs
- ◆ 带有18路输入选择的13位A/D转换器(27ksps)
- ◆ 温度测量模拟前端
 - ◇ 内部温度传感器：±3°C
 - ◇ 0.125°C分辨率
 - ◇ 支持两路外部温度传感器
 - ◇ 差分满摆幅输入
- ◆ 31个GPIO引脚
- ◆ 可屏蔽中断源
- ◆ 内部20MHz振荡器，CPU时钟频率为10MHz
 - ◇ 在0°C至+50°C温度范围内精度达4%
- ◆ 高达133MHz的外部时钟，用于PWM和定时
- ◆ 从机通信接口：SPI™或400kHz I²C兼容2线接口
- ◆ 主机通信接口：SPI、400kHz I²C兼容接口或Maxim 3线激光驱动器
- ◆ I²C和JTAG装载
- ◆ 两个16位定时器
- ◆ 工作电压范围：3.0V至3.6V
- ◆ 欠压监测
- ◆ JTAG端口，用于在系统调试和编程
- ◆ 所有模拟电路运行时保持低功耗(16mA)

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND.....-0.3V to +3.63V
 SCL, SDA, RST.....-0.3V to +3.63V
 All Other Pins to GND
 except REG18 and REG285-0.3V to ($V_{DD} + 0.3V$)*
 Continuous Sink Current20mA per pin, 50mA total

Continuous Source Current.....20mA per pin, 50mA total
 Operating Temperature Range.....-40°C to +85°C
 Storage Temperature Range.....-55°C to +125°C
 Lead Temperature (soldering, 10s)+300°C
 Soldering Temperature (reflow)+260°C

*Subject to not exceeding +3.63V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED OPERATING CONDITIONS

($T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD} Operating Voltage	V_{DD}	(Note 1)	3.0		3.6	V
Input Logic-High	V_{IH}		0.7 x V_{DD}		$V_{DD} + 0.3$	V
Input Logic-Low	V_{IL}		-0.3		0.3 x V_{DD}	V
Input Logic-High: SCL, SDA, MCL, MSDA	V_{I2C_IH}	(Note 1)	2.1		$V_{DD} + 0.3$	V
Input Logic-Low: SCL, SDA, MCL, MSDA	V_{I2C_IL}	(Note 1)	-0.5		+0.8	V

DC ELECTRICAL CHARACTERISTICS

($V_{DD} = 3V$ to $3.6V$, $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, unless otherwise noted. Typical values are at $V_{DD} = 3.3V$, $T_A = +25^{\circ}\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I_{CPU}	CPU mode, all analog disabled (Notes 2, 3)		4.8		mA
	$I_{FASTCOMP}$			2		
	$I_{SAMPLEHOLDS}$	Both sample/hold		1.5		
	I_{ADC}			2.8		
	I_{DACS}	Per channel (Note 4)		0.6		
Brownout Voltage	V_{BO}	Monitors V_{DD} (Note 1)		2.7		V
Brownout Hysteresis	V_{BOH}	Monitors V_{DD} (Note 1)		0.07		V
1.8V Regulator Initial Voltage	V_{REG18}	(Note 1)	1.71	1.8	1.89	V
2.85V Regulator Initial Voltage	V_{REG285}	(Note 1)	2.8	2.85	2.9	V

DC ELECTRICAL CHARACTERISTICS (continued)(V_{DD} = 3V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Clock Frequencies	f _{OSC-PERIPHERAL}	T _A = +25°C (Note 5)		20		MHz
	f _{MOSC-CORE}	T _A = +25°C (Note 5)		10		
Clock Error	f _{ERR}	T _A = -40°C to +85°C			±5.5	%
External Clock Input	f _{XCLK}		20		133	MHz
Voltage Range: GP[15:0], SHEN, DACPW[7:0], REFINA, REFINB		(Note 1)	-0.3		V _{DD} + 0.3	V
Output Logic-Low: SCL, SDA, MDIO, MDI, MCL, MCS, REFINA, REFINB, All GPIO Pins	V _{OL1}	I _{OL} = 4mA (Note 1)			0.4	V
Output Logic-High: SDA, MDIO, MDI, MCL, MCS, REFINA, REFINB, All GPIO Pins Not Open Drain	V _{OH1}	I _{OH} = -4mA (Note 1)	V _{DD} - 0.5			V
Pullup Current: MDIO, MDI, MCL, MCS, All GPIO Pins	I _{PU1}	V _{PIN} = 0V	26	55	78	μA
GPIO Drive Strength, Extra Strong Outputs: GP0, GP1, MCS, PW8, PW9	R _{HISt}			9	27.6	Ω
	R _{LOSt}			8	25.2	
GPIO Drive Strength, Strong Outputs: MDI, DACPW3, DACPW6	R _{HIA}			17	32.4	Ω
	R _{LOA}			12	26.4	
GPIO Drive Strength, Excluding Strong GPIO Outputs	R _{HIB}			27	57	Ω
	R _{LOB}			31	63	

DAC DC ELECTRICAL CHARACTERISTICS(V_{DD} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DAC Resolution			12			Bits
DAC Internal Reference Accuracy		2.5V internal reference	-1.25		+1.25	%
DAC Internal Reference Power-Up Speed		99% settled		10		μs
Reference Input Full-Scale Range (REFINA, REFINB)			1		2.5	V
DAC Operating Current	I _{DACS}	Per channel	See the <i>DC Electrical Characteristics</i>			
DAC Integral Nonlinearity	DACINL	12-bit at 2.5V reference		12		LSB
DAC Differential Nonlinearity	DACDNL	12-bit at 2.5V reference			1	LSB
DAC Offset	V _{OFFSET-DAC}	At code "0"	0		18	mV
DAC Source Load Regulation	I _{DAC-SOURCE}	0 to full-scale output			8.6	mV/mA
DAC Sink Capability and Sink Load Regulation	R _{DAC-SINK}	0 to 0.5V output, limited by output buffer impedance		500		Ω
	I _{DAC-SINK}	0.5V to full-scale output			11.5	mV/mA
DAC Settling Time	t _{DAC}				10	μs

FAST COMPARATOR/QUICK TRIPS DC ELECTRICAL CHARACTERISTICS(V_{DD} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Fast Comparator Resolution			8			Bits
Fast Comparator Internal Reference Accuracy			-1		+1	%
Fast Comparator Operating Current	I _{FASTCOMP}		See the <i>DC Electrical Characteristics</i>			
Fast Comparator Full Scale	V _{FS-COMP}		2.36	2.42	2.48	V
Fast Comparator Integral Nonlinearity	INL	Differential mode, 2.2nF capacitor at input			2	LSB
Fast Comparator Differential Nonlinearity	DNL	Differential mode, 2.2nF capacitor at input			1	LSB
Fast Comparator Offset	V _{OFFSET-COMP}				2	LSB
Fast Comparator Input Resistance	R _{IN-COMP}	(Note 6)	15			MΩ
Fast Comparator Input Capacitance	C _{IN-COMP}			4		pF
Fast Comparator Sample Rate	f _{COMP}			625		ksps

ADC DC ELECTRICAL CHARACTERISTICS(V_{DD} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADC Resolution			13			Bits
ADC Internal Reference Accuracy			-0.85		+0.85	%
ADC Operating Current	I _{ADC}		See the <i>DC Electrical Characteristics</i>			
ADC Full-Scale 1	V _{FS-ADC1}			1.2		V
ADC Full-Scale 2	V _{FS-ADC2}			0.6		V
ADC Full-Scale 3	V _{FS-ADC3}			2.4		V
ADC Full-Scale 4	V _{FS-ADC4}			3.6		V
ADC Integral Nonlinearity	ADCINL	13-bit		10		LSB
ADC Differential Nonlinearity	ADCDNL		-8	+1	+8	LSB
ADC Sample-Sample Deviation		ADC full-scale set to V _{FS-ADC3}		5		LSB
ADC Offset	V _{OFFSET-ADC}	13-bit			2	LSB
GP[15:0] Input Resistance	R _{IN-ADC}		15			MΩ
ADC Sample Rate	f _{SAMPLE}	(Note 7)	8			ksps
ADC Temperature Conversion Time	t _{TEMP}			4.2		ms
Internal Temperature Measurement Error		(Note 8)	-3.2		+3.2	°C
Remote Temperature Measurement Error (DS4830 Error Only)		(Note 8)	-3.5		+3.5	°C

SAMPLE/HOLD DC ELECTRICAL CHARACTERISTICS(V_{DD} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Sample/Hold Input Range	V _{SHP}	ADC-SHN[1:0] = GND	0		1	V
Sample/Hold Capacitance	C _{SH}	ADC-SHP[1:0] to ADC-SHN[1:0]			5	pF
Sample Input Leakage	I _{SHLKG}	ADC-SHP[1:0] and ADC-SHN[1:0] connected to GND			1.2	μA
Sample Time	t _s	ADC-SHP[1:0] and ADC-SHN[1:0] connected to 50Ω voltage source	300			ns
Hold Time	t _h		250			μs
Sample Offset	V _{SH-OFF}	Measured at 10mV	-10	-1.6	+7	mV
Sample Error	ERR _{SH}	V _{ADC-SHP_} to V _{ADC-SHN_} = 5mV, t _s = 300ns, driven with 5kΩ voltage source	-3		+3	%
Sample Discharge Strength	R _{DIS}	ADC-SHP[1:0] or ADC-SHN[1:0] to GND		900	1500	Ω

FLASH MEMORY DC ELECTRICAL CHARACTERISTICS(V_{DD} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = 3.3V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Flash Erase Time	t _{ME}	Mass erase	22	24	40	ms
	t _{PE}	Page erase	22	24	40	
Flash Programming Time per Word	t _{PROG}	(Note 9)	69	74	79	μs
Flash Programming Temperature			-40		+85	°C
Flash Endurance	n _{FLASH}	T _A = +50°C, guaranteed by design	20,000			Write Cycles
Data Retention		T _A = +50°C, guaranteed by design	100			Years

I²C-COMPATIBLE INTERFACE ELECTRICAL CHARACTERISTICS(V_{DD} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted.) (See [Figure 1.](#))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL/MSCL Clock Frequency	f _{SCL}	Timeout not enabled			400	kHz
SCL/MSCL Bootloader Clock Frequency	f _{SCL:BOOT}				100	kHz
Bus Free Time Between a STOP and START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD:STA}	(Note 10)	0.6			μs
Low Period of SCL/MSCL Clock	t _{LOW}		1.3			μs
High Period of SCL/MSCL Clock	t _{HIGH}		0.6			μs
Setup Time for a (Repeated) START Condition	t _{SU:STA}		0.6			μs
Data Hold Time	t _{HD:DAT}	Receive	0			ns
		Transmit	300			
Data Setup Time	t _{SU:DAT}	(Notes 11, 12)	100			ns
SCL/MSCL, SDA/MSDA Capacitive Loading	C _B	(Note 13)			400	pF
Rise Time of Both SDA/MSDA and SCL/MSCL Signals	t _R	(Note 13)	20 + 0.1C _B		300	ns
Fall Time of Both SDA/MSDA and SCL/MSCL Signals	t _F	(Note 13)	20 + 0.1C _B		300	ns
Setup Time for STOP Condition	t _{SU:STO}		0.6			μs
Spike Pulse Width That Can Be Suppressed by Input Filter	t _{SP}	(Note 14)	0		50	ns
SCL/MSCL and SDA/MSDA Input Capacitance	C _{BIN}			5		pF
SMBusTimeout				30		ms

3-WIRE DIGITAL INTERFACE SPECIFICATION(V_{DD} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted.) (See [Figure 2](#).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MCL Clock Frequency	f _{SCLOUT}			833		kHz
MCL Duty Cycle	t _{3WDC}			50		%
MDIO Setup Time	t _{DS}		100			ns
MDIO Hold Time	t _{DH}		100			ns
MCS Pulse-Width Low	t _{CSW}		500			ns
MCS Leading Time Before the First MCL Edge	t _L		500			ns
MCS Trailing Time After the Last MCL Edge	t _T		500			ns
MDIO, MCL Load	C _{B3W}	Total bus capacitance on one line			10	pF

SPI DIGITAL INTERFACE SPECIFICATION(V_{DD} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted.) (See [Figure 3](#) and [Figure 4](#).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SPI Master Operating Frequency	1/t _{MSPICK}				f _{SYS} /2	MHz
SPI Slave Operating Frequency	1/t _{SSPICK}				f _{SYS} /4	MHz
SPI I/O Rise/Fall Time	t _{SPI_RF}	C _L = 15pF, pullup = 560Ω			25	ns
MSPICK Output Pulse-Width High/Low	t _{MCH} , t _{MCL}		t _{MSPICK} /2 - t _{SPI_RF}			ns
MSPIDO Output Hold After MSPICK Sample Edge	t _{MOH}		t _{MSPICK} /2 - t _{SPI_RF}			ns
MSPIDO Output Valid to MSPICK Sample Edge (MSPIDO Setup)	t _{MOV}		t _{MSPICK} /2 - t _{SPI_RF}			ns
MSPIDI Input Valid to MSPICK Sample Edge (MSPIDI Setup)	t _{MIS}		2t _{SPI_RF}			ns
MSPIDI Input to MSPICK Sample Edge Rise/Fall Hold	t _{MIH}		0			ns
MSPICK Inactive to MSPIDO Inactive	t _{MLH}		t _{MSPICK} /2 - t _{SPI_RF}			ns
SSPICK Input Pulse-Width High/Low	t _{SCH} , t _{SCL}			t _{SCL} /2		ns
SSPICKS Active to First Shift Edge	t _{SSE}		t _{SPI_RF}			ns
SSPIDI Input to SSPICK Sample Edge Rise/Fall Setup	t _{SIS}		t _{SPI_RF}			ns
SSPIDI Input from SSPICK Sample Edge Transition Hold	t _{SIH}		t _{SPI_RF}			ns
SSPIDO Output Valid After SSPICK Shift Edge Transition	t _{SOV}				2t _{SPI_RF}	ns

SPI DIGITAL INTERFACE SPECIFICATION (continued)(V_{DD} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted.) (See [Figure 3](#) and [Figure 4](#).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{\text{SSPICS}}$ Inactive	t _{SSH}		t _{SSPICK} + t _{SPI_RF}			ns
SSPICK Inactive to $\overline{\text{SSPICS}}$ Rising	t _{SD}		t _{SPI_RF}			ns
SSPIDO Output Disabled After $\overline{\text{SSPICS}}$ Edge Rise	t _{SLH}		2t _{SSPICK} + 2t _{SPI_RF}			ns

ELECTRICAL CHARACTERISTICS: JTAG INTERFACE(V_{DD} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted.) ([Figure 5](#))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
JTAG Logic Reference	V _{REF}		V _{DD} /2			V
TCK High Time	t _{TH}		0.5			μs
TCK Low Time	t _{TL}		0.5			μs
TCK Low to TDO Output	t _{TLQ}		0.125			μs
TMS, TDI Input Setup to TCK High	t _{DVTH}		0.25			μs
TMS, TDI Input Hold After TCK High	t _{THDX}		0.25			μs

Note 1: All voltages are referenced to GND. Currents entering the IC are specified as positive, and currents exiting the IC are specified as negative.**Note 2:** Maximum current assuming 100% CPU duty cycle.**Note 3:** This value does not include current in GPIO, SCL, SDA, MDIO, MDI, MCL, REFINA, and REFINB.**Note 4:** Depends on voltage on REFINA/B using internal reference.**Note 5:** There is one internal oscillator. The oscillator (peripheral clock) goes through a 2:1 divider to create the core clock.**Note 6:** Guaranteed by design.**Note 7:** ADC conversions are delayed up to 1.6μs if the fast comparator is sampling the selected ADC channel. This can cause a slight decrease in the ADC sampling rate.**Note 8:** Temperature readings average 64 times.**Note 9:** Programming time does not include overhead associated with the utility ROM interface.**Note 10:** f_{SCL} must meet the minimum clock low time plus the rise/fall times.**Note 11:** The maximum t_{HD:DAT} need only be met if the device does not stretch the low period (t_{LOW}) of the SCL signal.**Note 12:** This device internally provides a hold time of at least 75ns for the SDA signal (referred to the V_{IH:MIN} of the SCL signal) to bridge the undefined region of the falling edge of SCL.**Note 13:** C_B—Total capacitance of one bus line in pF.**Note 14:** Filters on SDA and SCL suppress noise spikes at the input buffers and delay the sampling instant.

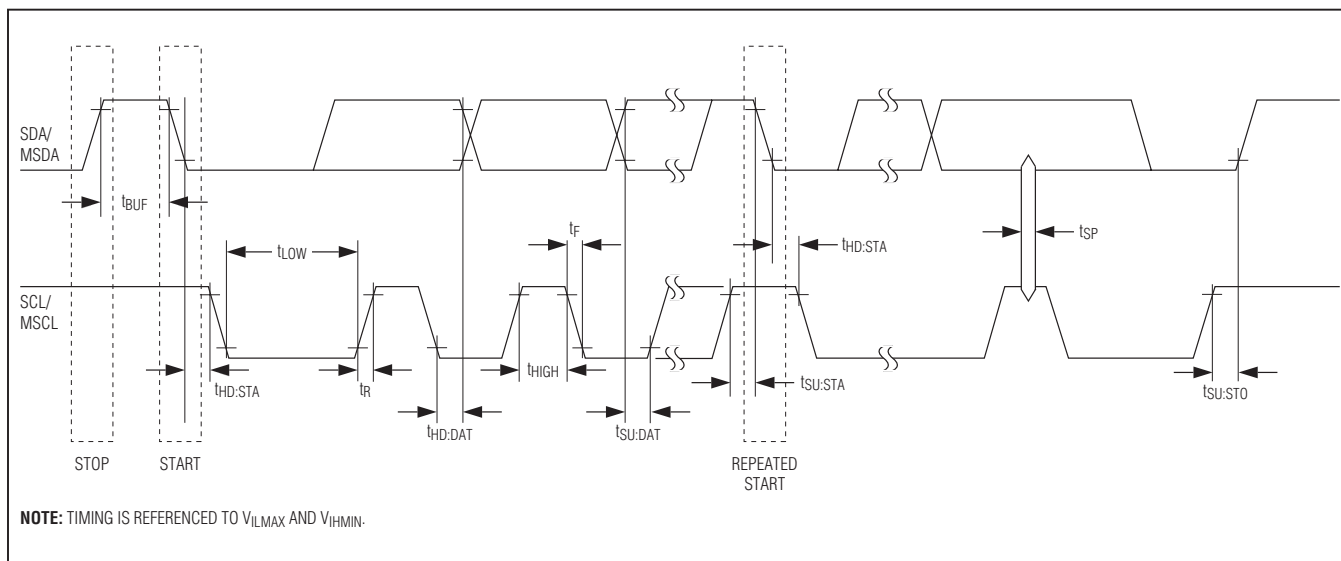


图1. I²C时序图

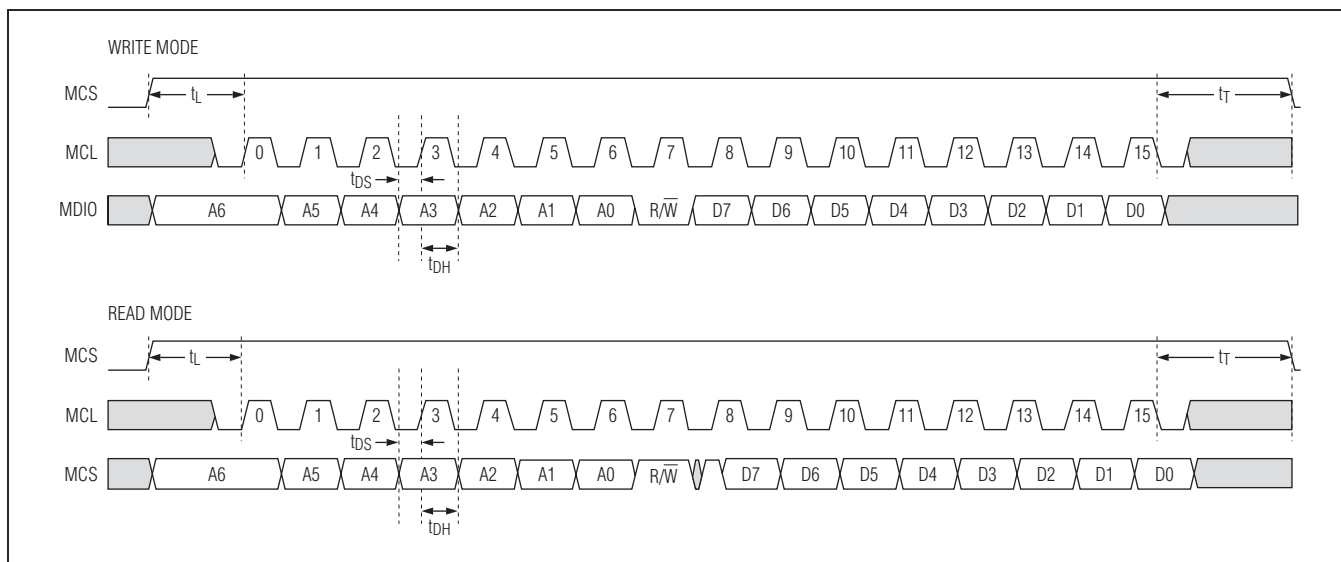


图2. 3线时序图

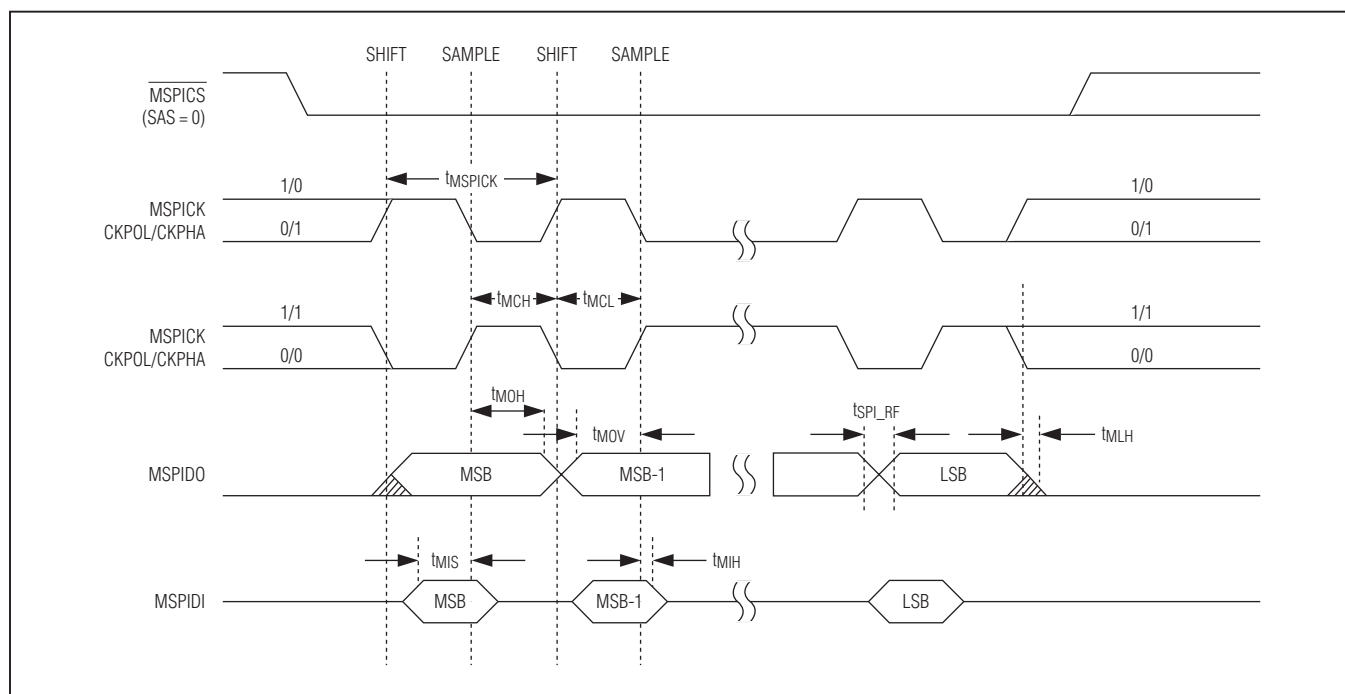


图3. SPI主控制器通信时序

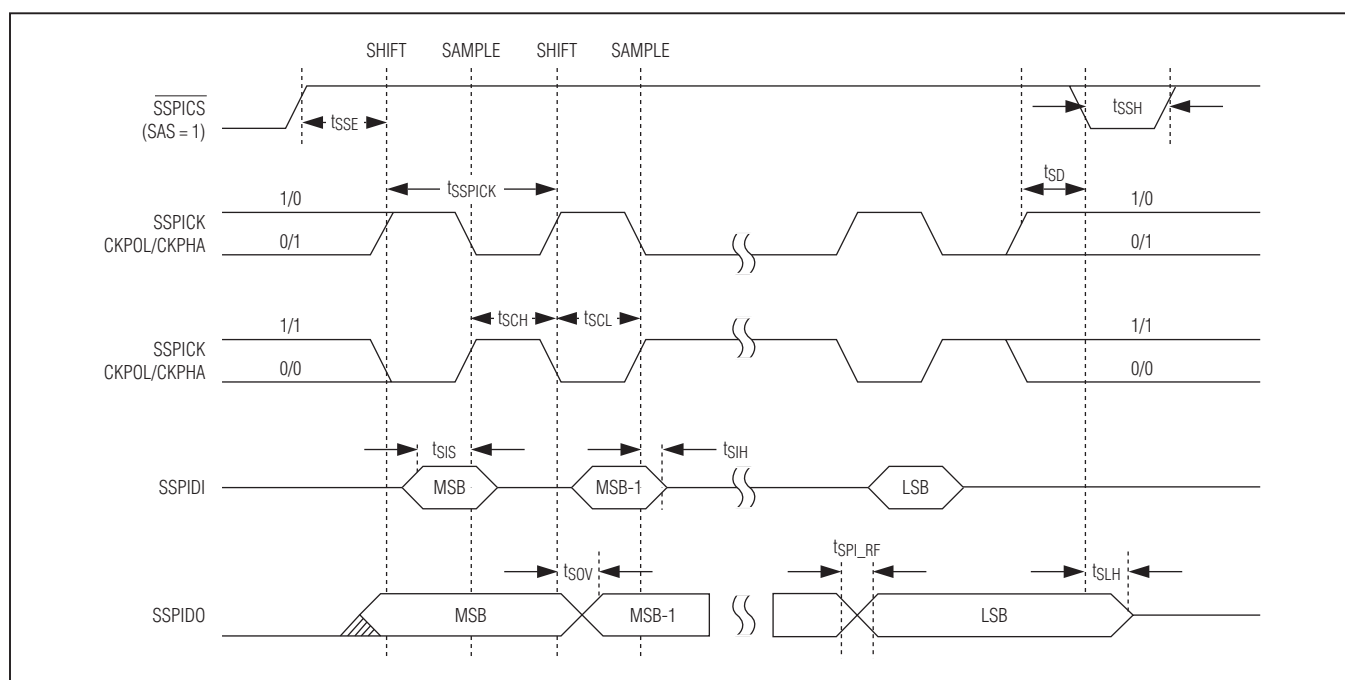


图4. SPI从机通信时序

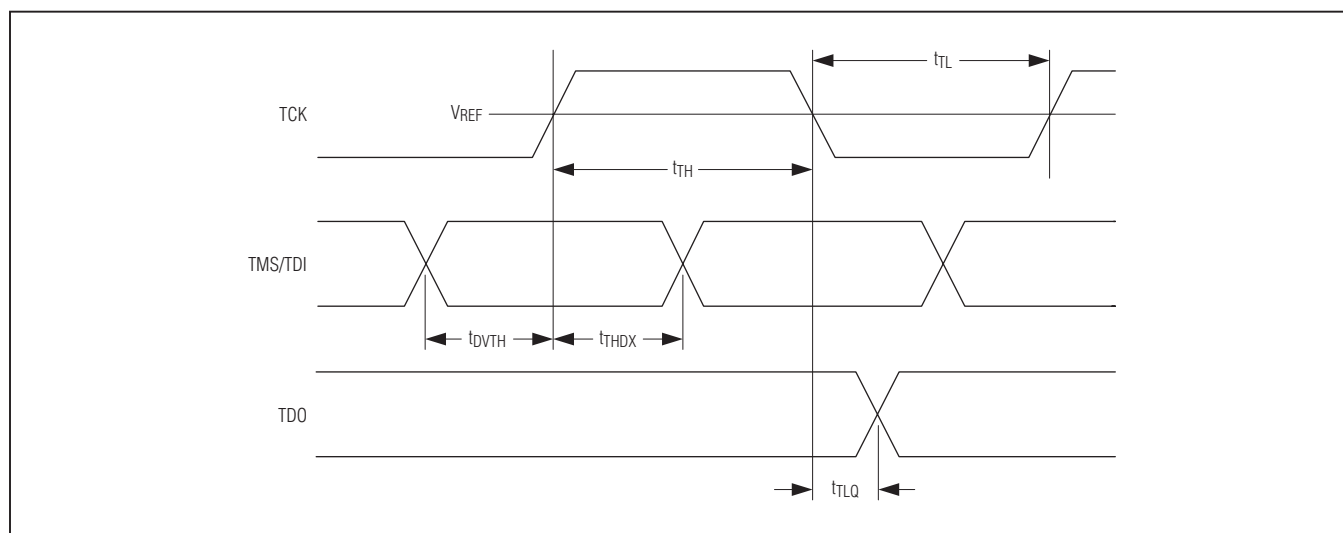
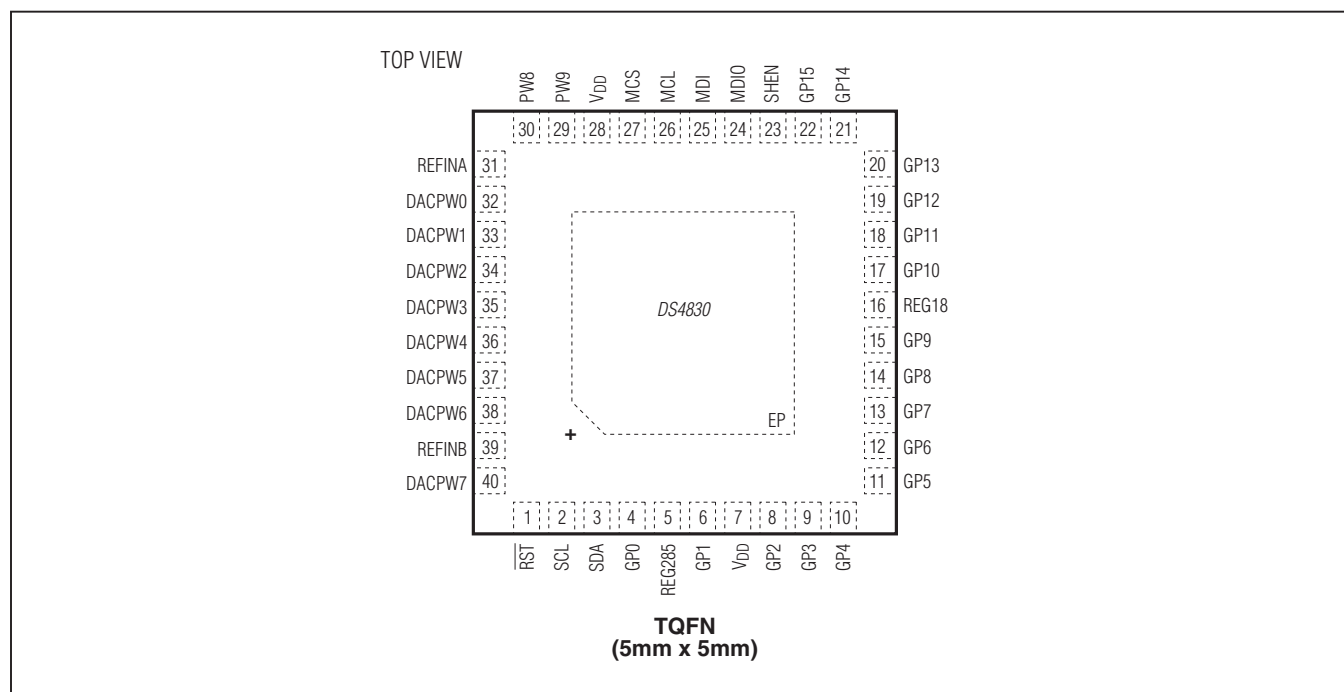


图5. JTAG时序图

DS4830

光电微控制器

引脚配置



引脚说明

引脚	名称	输入架构	输出架构	上电状态	功能选项(第一列是默认功能)				端口
1	RST	Digital	Open Drain	High Impedance	RST	—	—	—	—
2	SCL	Digital	Open Drain	High Impedance	I ² C Slave Clock SCL	SPI SSPICK	—	—	—
3	SDA	Digital	Open Drain	High Impedance	I ² C Slave Data SDA	SPI SSPIDI	—	—	—
4	GP0	ADC/Digital Input	Push-Pull, Extra Strong	55μA Pullup	ADC-S0	ADC-D0P	PW0	—	P2.0
5	REG285	VREG	None	2.85V	Only function is for bypass capacitor for 2.5V internal regulator				—
6	GP1	ADC/Digital Input	Push-Pull, Extra Strong	55μA Pullup	ADC-S1	ADC-D0N	PW1	—	P2.1
7	VDD	Voltage Supply, ADC Input	None	VDD	ADC-VDD	—	—	—	—
8	GP2	SH Input, ADC Input	None	High Impedance	ADC-S2	ADC-SHP0	ADC-D1P	—	—

DS4830

光电微控制器

引脚说明(续)

引脚	名称	输入架构	输出架构	上电状态	功能选项(第一列是默认功能)				端口
9	GP3	SH input, ADC Input	None	High Impedance	ADC-S3	ADC-SHN0	ADC-D1N	—	—
10	GP4	ADC/Digital Input	Push-Pull	55µA Pullup	JTAG TCK	ADC-S4	ADC-D2P	—	P6.0
11	GP5	ADC/Digital Input	Push-Pull	55µA Pullup	JTAG TDI	ADC-S5	ADC-D2N	—	P6.1
12	GP6	ADC/Digital Input	Push-Pull	55µA Pullup	ADC-S6	ADC-D3P	PW2	SPI SSPIDO	P2.2
13	GP7	ADC/Digital Input	Push-Pull	55µA Pullup	ADC-S7	ADC-D3N	PW3	SPI SSPICS	P2.3
14	GP8	ADC/Digital I/P, External Temp A+ I/P (ADC-TEXT_A)	Push-Pull	55µA Pullup	ADC-S8	ADC-D4P	—	—	P2.4
15	GP9	ADC/Digital I/P, External Temp A- I/P (ADC-TEXT_A)	Push-Pull	55µA Pullup	ADC-S9	ADC-D4N	—	—	P2.5
16	REG18	VREG, ADC Input (ADC-1P8)	None	1.8V	Pin for 1.8V regulator bypass capacitor				—
17	GP10	ADC/Digital I/P, External Temp A+ I/P (ADC-TEXT_B)	Push-Pull	55µA Pullup	JTAG TMS	ADC-S10	ADC-D5P	—	P6.2
18	GP11	ADC/Digital I/P, External Temp A+ I/P (ADC-TEXT_B)	Push-Pull	55µA Pullup	JTAG TDO	ADC-S11	ADC-D5N	—	P6.3
19	GP12	SH Input, ADC/Digital Input	Push-Pull	55µA Pullup	ADC-S12	ADC-SHP1	ADC-D6P	—	P0.0
20	GP13	SH Input, ADC/Digital Input	Push-Pull	55µA Pullup	ADC-S13	ADC-SHN1	ADC-D6N	—	P0.1
21	GP14	ADC/Digital Input	Push-Pull	55µA Pullup	ADC-S14	ADC-D7P	SHEN1	—	P0.2
22	GP15	ADC/Digital Input	Push-Pull	55µA Pullup	ADC-S15	ADC-D7N	—	—	P0.3
23	SHEN	Digital	Push-Pull	55µA Pullup	SHEN0	—	—	—	P6.4
24	MDIO	Digital	Push-Pull	55µA Pullup	3-Wire Data MDIO	I ² C MSDA	SPI MSPIDO	PW4	P1.0
25	MDI	Digital	Push-Pull, Strong	55µA Pullup	—	—	SPI MSPIDI	PW5	P1.3
26	MCL	Digital	Push-Pull	55µA Pullup	3-Wire Clock MCL	I ² C MSCL	SPI MSPICK	PW6	P1.1

DS4830

光电微控制器

引脚说明(续)

引脚	名称	输入架构	输出架构	上电状态	功能选项(第一列是默认功能)				端口
27	MCS	Digital	Push-Pull, Extra Strong	55µA Pullup	3-Wire Chip Select MCS	—	SPI MSPICS	PW7	P1.2
28	V _{DD}	Voltage Supply	None	V _{DD}	ADC-VDD	—	—	—	—
29	PW9	Digital	Push-Pull, Extra Strong	55µA Pullup	PW9	—	—	—	P0.7
30	PW8	Digital	Push-Pull, Extra Strong	55µA Pullup	PW8	—	—	—	P0.6
31	REFINA	Reference, ADC/Digital Input (ADC_REFA)	Push-Pull	55µA Pullup	ADC- REFINA	—	—	—	P2.6
32	DACPW0	Digital	Push-Pull	55µA Pullup	DAC0, FS = REFINA or Internal Reference	PW0	—	—	P0.4
33	DACPW1	Digital	Push-Pull	55µA Pullup	DAC1, FS = REFINA or Internal Reference	PW1	—	—	P0.5
34	DACPW2	Digital	Push-Pull	55µA Pullup	DAC2, FS = REFINA or Internal Reference	PW2	CLKIN	—	P6.5
35	DACPW3	Digital	Push-Pull, Strong	55µA Pullup	DAC3, FS = REFINA or Internal Reference	PW3	—	—	P1.5
36	DACPW4	Digital	Push-Pull	55µA Pullup	DAC4, FS = REFINB or Internal Reference	PW4	—	—	P1.6
37	DACPW5	Digital	Push-Pull	55µA Pullup	DAC5, FS = REFINB or Internal Reference	PW5	—	—	P1.7
38	DACPW6	Digital	Push-Pull, Strong	55µA Pullup	DAC6, FS = REFINB or Internal Reference	PW6	—	—	P6.6
39	REFINB	Reference, ADC/ Digital Input	Push-Pull	55µA Pullup	ADC- REFINB	—	—	—	P1.4

DS4830

光电微控制器

引脚说明(续)

引脚	名称	输入架构	输出架构	上电状态	功能选项(第一列是默认功能)				端口
40	DACPW7	Digital	Push-Pull	55µA Pullup	DAC7, FS = REFINB or Internal Reference	PW7	—	—	P2.7
—	EP	Exposed Pad (Connect to GND)	—	GND	—	—	—	—	—

注：利用1µF X5R电容分别将V_{DD}、REG285和REG18旁路至地。V_{DD}超过V_{BO}后，并在代码执行之前，所有仅用作输入的引脚和开漏输出为高阻。配置为GPIO的引脚具有内部弱上拉，更多信息请参考[功能选项](#)部分。

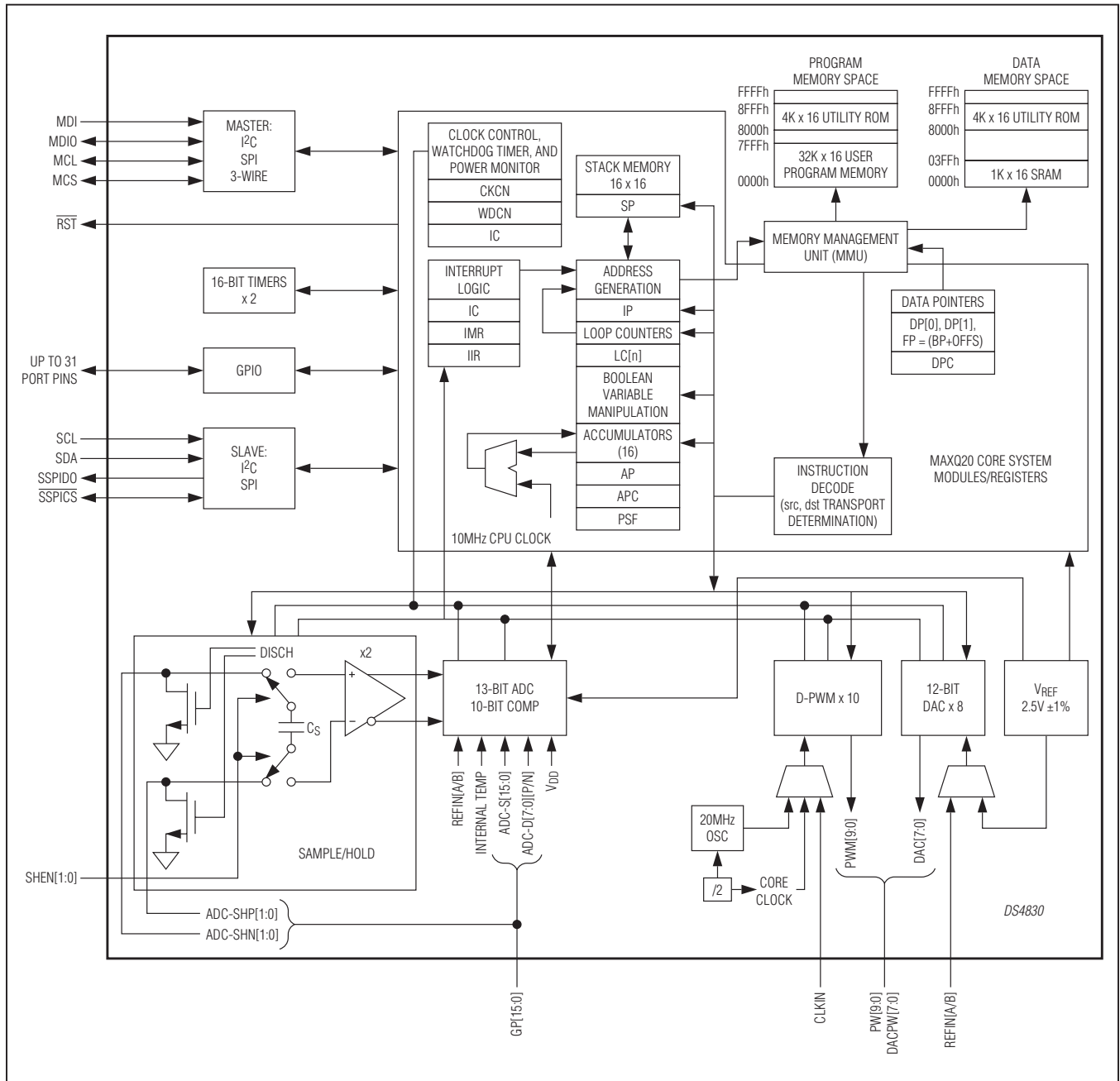
功能选项

功能名称	说明
ADC-1P8	1.8V稳压监测器输入，至ADC。
ADC-D[7:0][P/N]	ADC差分输入，也用作外部温度传感器测量。
ADC-REFIN[A/B]	REFINA和REFINB监测器输入，至ADC。
ADC-S[15:0]	ADC单端输入。
ADC-SH[P/N][1:0]	采样/保持输入1和0。
ADC-VDD	V _{DD} 监测器输入，至ADC。
DAC[7:0]	电压DAC输出。
MCL, MCS, MDIO	Maxim专用3线接口，MCL (时钟)、MCS (片选)、MDIO (数据)。用于控制MAX3798系列高速激光驱动器。
MSCL, MSDA	I ² C主控制器接口：MSCL (I ² C主/从)、MSDA (I ² C主控制器数据)
MSPICK, $\overline{\text{MSPICS}}$, MSPIDI, MSPIDO	SPI主控制器接口：MSPICK (时钟)、 $\overline{\text{MSPICS}}$ (低电平有效片选)、MSPIDI (数据输入)、MSPIDO (数据输出)。
P0.n, P1.n, P2.n, P6.n	通用输入/输出，也可作为中断。
PW[9:0]	PWM输出。
$\overline{\text{RST}}$	用于JTAG，并作为器件的低电平有效复位。
SCL, SDA	I ² C从器件接口：SCL (I ² C从器件时钟)、SDA (I ² C从器件数据)。也作为密码保护编程接口。
SHEN[1:0]	采样/保持使能输入，也可作为中断。
SSPICK, $\overline{\text{SSPICS}}$, SSPIDI, SSPIDO	SPI从器件接口：SSPICK (时钟)、 $\overline{\text{SSPICS}}$ (低电平有效片选)、SSPIDI (数据输入)、SSPIDO (数据输出)。SPI从器件模式下，禁用I ² C从器件接口。
TCK, TDI, TDO, TMS	JTAG接口引脚，包括 $\overline{\text{RST}}$ 。

DS4830

光电微控制器

原理框图



详细说明

以下简要介绍DS4830系统管理微控制器的主要功能，关于器件的详细说明，请参阅*DS4830用户指南*。

MAXQ20内核架构

该器件采用了带有闪存的MAXQ20低功耗、低成本、高性能、CMOS、全静态、16位RISC微控制器。器件基于先进的、包含16个累加器的16位RISC架构。由于指令既包含了操作码，也包含数据，在单个周期内可完成指令的读取和操作，无需流水线操作。高效内核由16个累加器和16层硬件栈支持，实现快速子程序调用和任务切换。通过3个内部数据指针快速、高效地处理数据。多数据指针允许多个函数操作数据存储，不必每次保存和恢复数据指针。数据指针可以随操作自动递增或递减，无需软件干预。

模块化设计

MAXQ20架构采用模块化设计，可扩展。顶层指令解码非常简单，基于寄存器间的传输。寄存器按功能模块组织，又分为系统寄存器和外设寄存器组。

外设和其它功能电路由外设寄存器操作，这些寄存器位于模块0至5。以下为每个外设的特定模块信息：

- **模块0：**定时器和计数器1、GPIO端口0、1和2
- **模块1：**I²C主控制器、GPIO端口6、SPI™从器件、闪存控制
- **模块2：**I²C从器件、模/数转换器(ADC)、采样/保持、温度、3线主控制器
- **模块3：**定时器和计数器2、MAC相关寄存器
- **模块4：**数/模转换器(DAC)
- **模块5：**快速触发、SPI主控制器、PWM

指令集

指令集由固定长度、16位指令组成，对寄存器和存储器进行操作。指令集高度正交，算术和逻辑操作可使用累加器和任何寄存器。特殊功能寄存器控制外围设备，并细分成寄存器模块。

存储器结构

器件包括多个存储区域：

- 32K字闪存存储器，用于存储应用程序
- 用于存储临时变量的1K字SRAM
- 4K字应用程序ROM，包含调试器和程序加载器
- 用于存储程序返回地址和常规数据的16级堆栈存储器

该存储器采用哈佛架构，程序存储器、数据存储器和寄存器空间具有独立的地址空间。另外，还采用伪冯诺依曼存储器映射，将应用程序、数据存储器置于连续的存储器映射。通过伪冯诺依曼存储器映射，数据内存可映射至程序空间，允许执行来自数据存储器的代码。另外，数据内存可映射至数据空间，允许将程序代码常数作为数据内存读取。[图6](#)所示为从程序存储器执行程序时，DS4830的存储器映射。关于从数据或ROM空间执行程序时的存储器映射信息，请参考*DS4830用户指南*。

由于采用了闪存，允许现场升级固件。闪存可通过16字密钥进行加密保护，从而防止非法访问程序存储器。

固定用途ROM

固定用途ROM是一个4K字的内部ROM存储块，缺省起始地址为8000h。固定用途ROM由可以在应用软件中进行调用的子程序组成，包括：

- 通过JTAG或I²C兼容接口进行在系统编程(引导加载程序)
- 在线调试程序

MAXQ是Maxim Integrated Products, Inc.的注册商标。

SPI是Motorola, Inc.的商标。

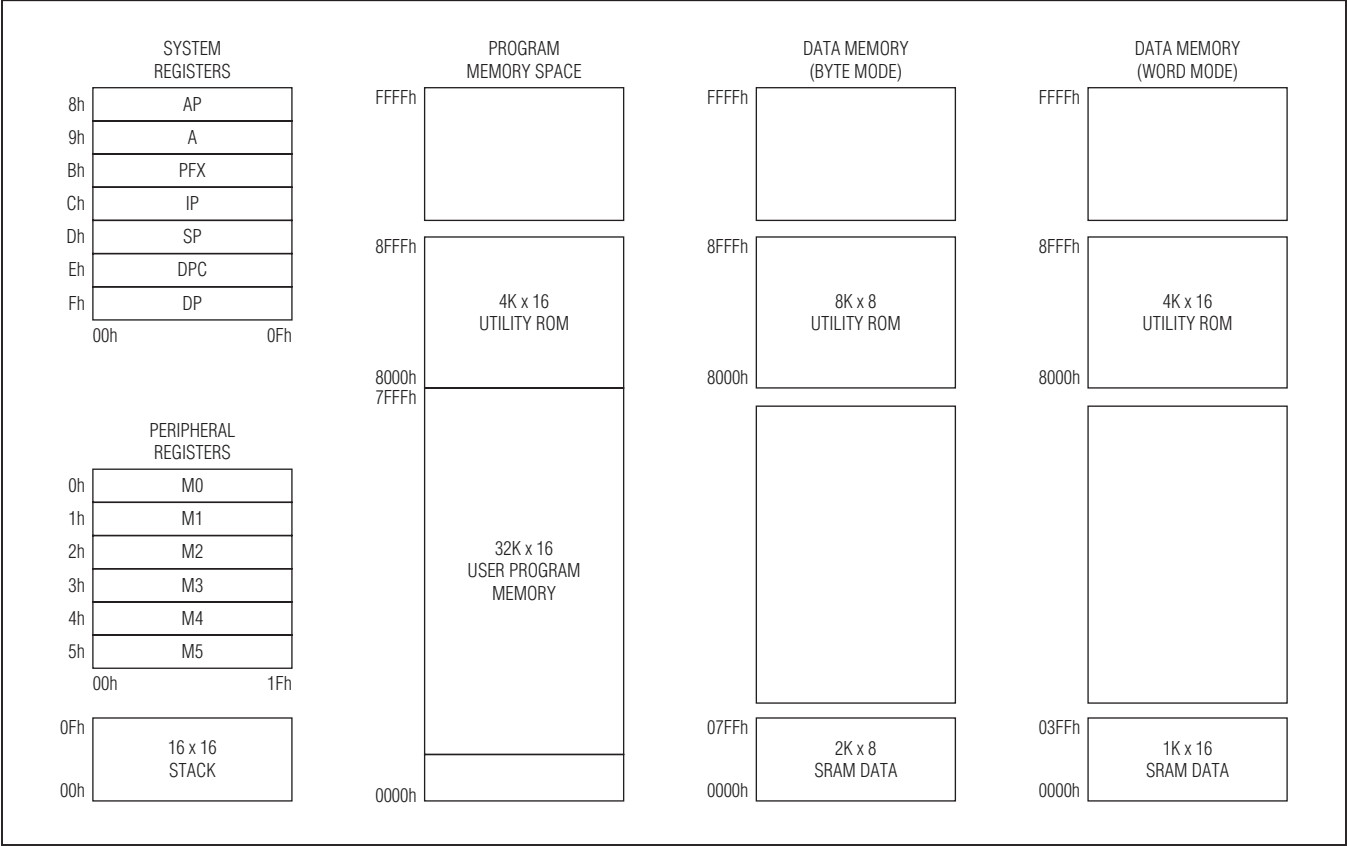


图6. 存储器映射

- 内部自测程序
- 用于调用在应用闪存编程的程序

无论以任何方式复位，都从固定用途ROM开始运行程序。ROM程序决定是否立刻跳转到0000h位置、用户应用程序的起始位置、以及上述某特定程序。用户可访问固定用途ROM中的程序，并且可以由应用软件调用这些程序。关于固定用途ROM内容的更多信息，请参阅DS4830用户指南。

密码保护

有些应用要求保护功能，以防未经授权地篡改程序存储器。这类应用中，在正确提供密码之前，禁止访问在系统编程、

在应用编程或在电路调试函数。该密码定义为物理程序存储器，地址从0010h至001Fh共16个字。

器件包括一位密码锁存(PWL)，PWL置1 (上电复位默认值) 以及地址0010h–001Fh存储器存在FFh或00h以外的任意数值时，需要密码才能访问固定用途ROM，包括可读、写内部存储器的在电路调试和在系统编程程序。PWL清零时，无需密码即可完全访问这些实用程序。全部擦除后，密码自动设为全部1。

关于加密的详细信息，请参阅DS4830用户指南。

堆栈存储器

16位宽的16级内部堆栈为程序返回地址和常规数据提供存储，当执行CALL、RET和RETI指令以及进行中断服务时，处理器自动使用堆栈。也可通过PUSH、POP和POPI指令直接使用堆栈，进行数据存储和恢复。

复位后，堆栈指针SP初始化至栈顶(0Fh)。执行CALL、PUSH和中断向量操作时递增SP，然后在SP指向的位置存储数值。执行RET、RETI、POP以及POPI操作时取回SP所指位置的数值并递减SP。

编程

可采用两种方法之一编程微控制器的闪存：在系统编程或在应用编程。这为系统设计提供了很大灵活性，也降低嵌入式系统的生命周期成本。编程功能可由密码保护，防止未经授权地篡改程序存储器。

在系统编程

内部引导装入程序允许通过JTAG或I²C兼容接口对器件进行编程。因此，需要软件升级时可以在系统升级软件，不必进行昂贵的硬件修改。

ICDF寄存器中的编程源选择(PSS)位决定使用哪个端口装载程序，器件支持JTAG和I²C接口，分别对应于PSS中的00和01，参见图7。

在应用编程

在应用编程功能允许微控制器更改自身的闪存程序存储器，能够在不允许停机的关键操作中实现在线软件升级。同样，也支持开发在应用软件控制下工作的定制加载软件。固定用途ROM包含固件可访问的闪存编程函数，可以擦除闪存并对闪存编程，有关这些功能的详细说明请参阅DS4830用户指南。

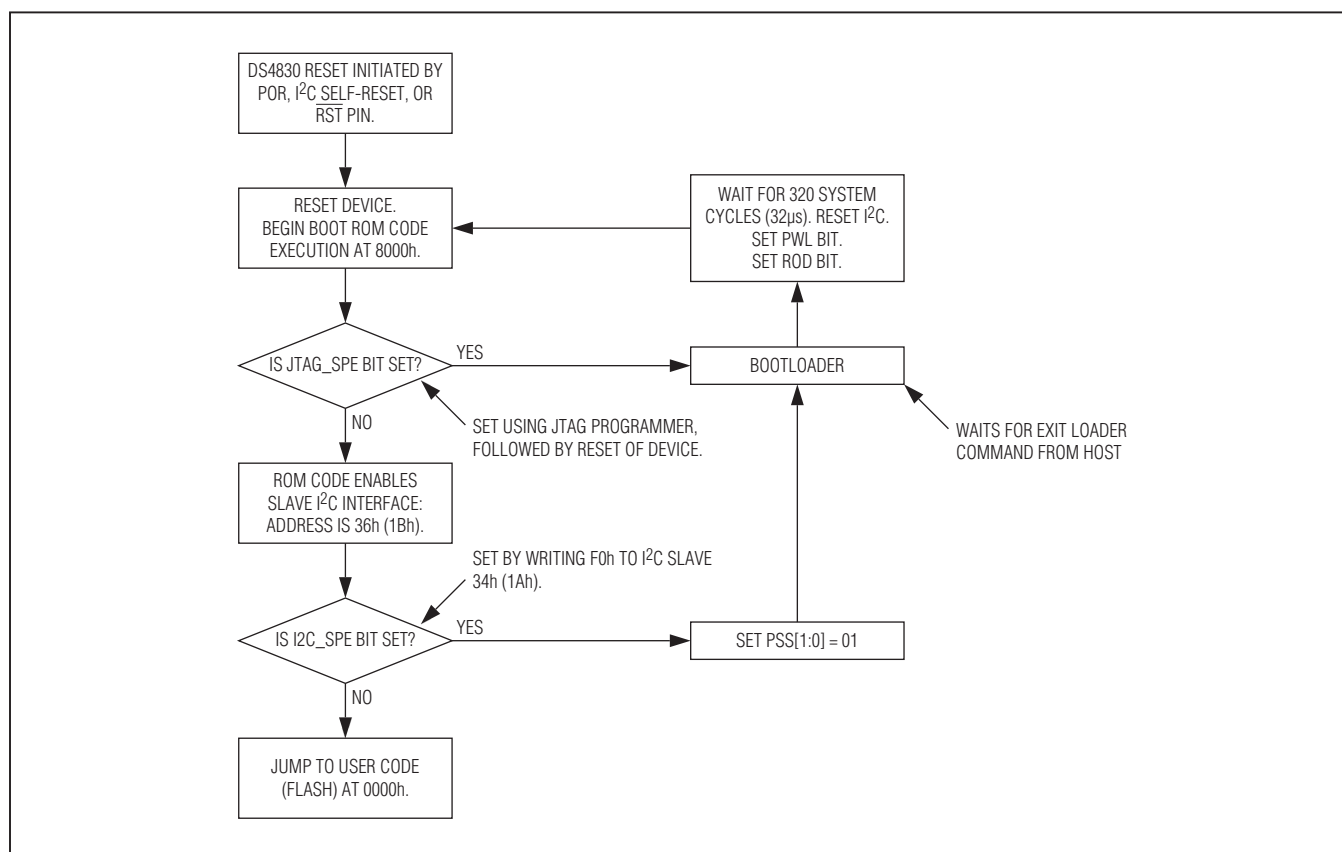


图7. 在系统编程

寄存器组

寄存器组控制大多数器件功能。这些寄存器为存储器操作提供工作空间，并配置、寻址器件的外设寄存器。寄存器主要分为两种：系统寄存器(特殊用途寄存器，或SPR)和外设寄存器(特殊功能寄存器，或SFR)。公共寄存器组也称作系统寄存器，包括ALU、累加器寄存器、数据指针、中断向量和控制，以及堆栈指针。外设寄存器定义附加功能，并且功能被拆分为独立模块。有关系统寄存器和外设寄存器的详细信息，请参阅DS4830用户指南。

系统定时

器件在内部利用环形振荡器产生其10MHz指令时钟(MOSC)。上电时，禁止振荡器输出(不可从外部访问)，直到 V_{DD} 上升至 V_{BO} 以上。一旦到达该门限，大约1ms后使能输出，为器件提供时钟，参见图8。

系统复位

器件有多个复位源，用于复位DS4830。

上电复位

内部上电复位(POR)电路提高了系统可靠性。一旦 V_{DD} 电压升至 V_{BO} 以上，该电路将迫使器件执行POR。此时会产生以下操作：

- 所有寄存器和电路进入复位状态。
- POR标志(WDCN.7)置位，指明复位源。
- 复位解除后，从8000h重新开始运行程序。

掉电检测/复位

器件具有掉电检测/复位功能。当电源监测器检测到掉电状态($V_{DD} < V_{BO}$)时，立即产生一次复位，并且只要 V_{DD} 仍然低于 V_{BO} ，则将保持在该状态。一旦 V_{DD} 电压上升到 V_{BO} 以上，器件等待 $t_{SU:MOSC}$ ，然后返回正常工作状态(也称为CPU状态)。如果在 $t_{SU:MOSC}$ 期间发生掉电，器件则再次返回掉电状态；否则，则进入CPU状态。在CPU状态下，掉电检测器亦被使能。

上电时，器件总是首先进入掉电状态，然后再执行上述过程。由掉电引起的复位与POR相同。掉电复位时要经历PORT下的所有操作。POR时清除的所有寄存器在掉电复位时亦被清除。

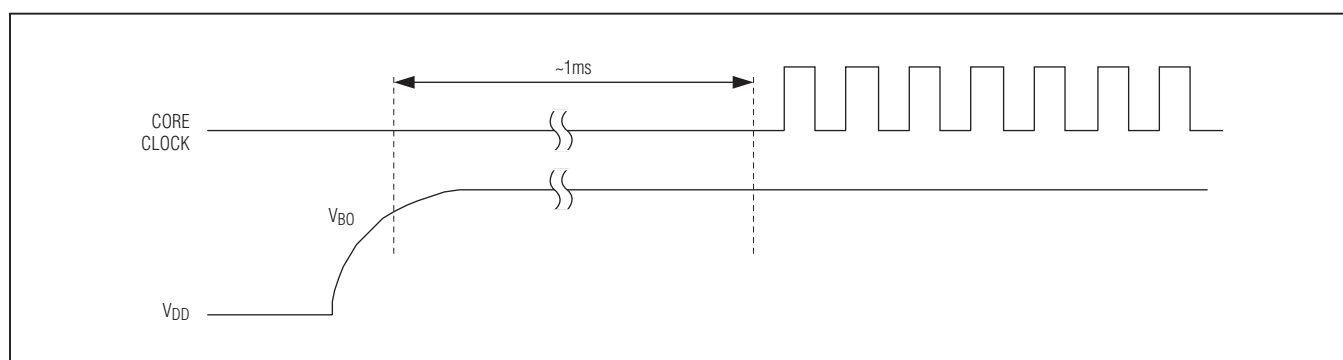


图8. 系统定时

看门狗定时器复位

看门狗定时器在器件运行到故障状态时复位处理器，看门狗定时器是硬件计数器，并可由应用程序进行周期性复位。如果程序运行正常，计数器就会在达到其最大计数值之前被复位。如果程序运行出现异常，则会造成看门狗定时器无法复位，定时器将达到其最大计数值并复位处理器。

看门狗定时器通过WDCN寄存器的2个控制位(WDCN[5:4]:WD[1:0])控制。其超时周期可设置为 2^{12} 至 2^{21} 个系统时钟(MOSC)周期(0.409ms至0.210s)范围内的4个可编程间隔之一。在此超时周期(512个MOSC时钟周期或大约50 μ s)结束、复位之前产生看门狗中断。由看门狗定时器产生的复位持续4个系统时钟周期，即0.4 μ s。软件可通过检查WDCN寄存器的看门狗定时器复位标识(WTRF)，确定复位是否由看门狗超时引起。发生看门狗定时器复位后，从8000h重新开始执行程序。

外部复位

将RST引脚拉低，使器件进入复位状态。外部复位功能的详细说明请参阅DS4830用户指南。解除RST复位后，从8000h重新开始执行程序。执行外部复位期间，DAC和PWM输出不变化。

内部系统复位

主机可发送I²C命令(BBh)复位通信器件。就寄存器的复位数值而言，这种复位与外部复位具有相同效果。此外，行在系统编程时(ROD = 1)，可发生内部系统复位。

详细信息请参阅DS4830用户指南。

可编程定时器/计数器

器件具有两个通用可编程定时器/计数器。利用定时器可实现各种定时循环。每个通用定时器/计数器使用三个SFR。GTCN为通用控制寄存器、GTV为定时寄存器、GTC为定时器比较寄存器。

定时器有两种工作模式：自由运行模式和中断比较模式，有关两种模式的详细说明，请参阅DS4830用户指南。

定时器的功能可通过每个通用定时器的三个SFR进行操作，定时器和计数器SFR在模块0和模块3中访问。关于定时器/计数器的详细信息，请参阅DS4830用户指南。

硬件乘法器

硬件乘法器(乘加器或MAC模块)是功能强大的计算工具，尤其对于需要大量计算的应用。该乘法器可在单机器周期对有符号或无符号操作数执行乘、乘反、乘加、乘减运算。MAC模块使用8个SFR，映射为模块M3中的寄存器0h–05h和08h–09h。

系统中断

器件提供多个中断源，可对内部和外部事件快速响应。MAXQ20结构采用单一中断向量(IV)、单一中断服务程序(ISR)设计。为提高灵活性，中断可以在全局、单独或模块级别使能。产生一个中断条件时，即使中断源在本地、模块或全局级别上是被屏蔽，其对应的标志也会置位。必须在固件中断程序内清除中断标志，以避免由同一中断源引发重复中断。应用软件必须确保在清除标志和RETI指令间有一个延时，使中断硬件有时间消除内部中断条件。异步中断标志要求单个指令延时，而同步中断标志需要双指令延时。

当检测到使能的中断时，软件跳转到用户可编程的中断向量位置。IV寄存器在复位或上电后的缺省值为0000h，如果没有更改成不同的地址，应用固件必须判断出向0000h跳转是由RST引起的，还是由中断源引起的。

一旦软件控制权转移到ISR，可以使用中断识别寄存器(IIR)判定中断源是系统寄存器还是外设寄存器。除IIR外，还采用MIIR寄存器来指示外设模块的哪个具体功能产生了中断。器件含有6个外设模块：M0至M5。在模块M0、M1和M2中有一个MIIR寄存器。MIIR为16位只读寄存器，并且在系统复位时的默认值全部为0。一旦引起中断的模块输出信号，即可查询具体的中断源，软件即可采取相应的措施。由于中断是由应用软件鉴别的，因此可为每种应用确立一个独特的中断优先级方案。中断源可来自于看门狗定时器、ADC (包括采样/保持)、快速比较器、可编程定时器/计数器、I²C兼容主/从接口、3线主控制器和从器件SPI，以及全部GPIO引脚。

光电微控制器

I/O端口

器件允许大多数输入、输出作为通用输入和/或输出引脚，包括四个端口：P0、P1、P2和P6。注意，无端口对应于P6.7。端口6的第7位在所有SFR中无作用。每个引脚至少与一项特殊功能复用，例如：中断、定时器/计数器I/O引脚或JTAG引脚等。

GPIO引脚具有施密特触发接收器和CMOS输出驱动器，支持复用功能。端口可通过模块0和模块1中的SFR (PO[0,1,2,6]、PI[0,1,2,6]、PD[0,1,2,6]、EIE[0,1,2,6]、EIF[0,1,2,6]和EIES[0,1,2,6])访问，每个引脚可独立配置。当定义为输入时，引脚或者为高阻，或者为弱上拉，取决于输出寄存器对应位的状态。此外，设置为输入时，每个引脚均可作为外部中断，具有独立的使能、标识和有效沿选择。

I/O端口SFR在模块0和1中访问。关于GPIO电路的详细信息，请参阅*DS4830用户指南*。

DAC输出

器件提供八路12位DAC输出，具有多种基准选项：提供内部2.5V基准；也可选择外部基准。可选择REFINA作为DAC0至DAC3的满量程基准；选择REFINB作为DAC4至DAC7的满量程基准。DAC输出带有电压缓冲，可利用DACCFG独立禁止每个DAC，将其置于低功耗关断模式。外部复位不影响DAC输出。

如果在DS4830工作时使用DAC输出，则DAC必须始终使能，以保证满足INL和失调指标。如果某个引脚用于DAC，

则应仅用于DAC。引脚功能不应在DAC和PWM之间切换，或者在DAC和GPIO之间切换。

DAC SFR在模块4访问。关于DAC电路的详细信息，请参阅*DS4830用户指南*。

PWM输出

器件提供10路可独立配置的PWM输出。PWM输出利用三个SFR进行配置：PWMCN、PWMDATA和PWNSYNC。利用PWMCN和PWMDATA，可将每路PWM通道设置为特定占空比(DCYCn)、配置(PWMCFGn)及延迟(PWMDLYn)，其中n表示PWM通道编号。

PWM可从内部时钟、外设时钟或外部时钟获得，取决于具体PWMCFGn寄存器中设置的CLK_SEL位。PWMCFGn寄存器也使能/禁用PWM输出以及选择PWM极性。用户可通过配置相应的DCYCn寄存器和PWMCFGn寄存器，分别设置每路PWM输出的占空比和频率。

器件允许每路PWM通道选择4位或32位脉冲扩展。利用配置寄存器，可将PWM输出配置在替换端口输出。PWMDLY为12位寄存器，用于为不同PWM通道提供启动延迟，可用于产生多相PWM工作。

可利用PWMSYNC寄存器同步不同的通道，这样可通过重启同步通道，使通道同步。外部复位不影响PWM输出。

PWM SFR在模块5访问，关于PWM电路的详细信息，请参阅*DS4830用户指南*。

光电微控制器

模/数转换器和采样/保持

模/数转换器(ADC)控制器是CPU和ADC之间的数字接口电路，提供控制ADC和CPU接口所需的全部控制。ADC利用一组SFR，在相应工作模式下配置ADC。

器件具有一个13位ADC，带有输入复用器(图9)。复用器从16路单端或8路差分输入中选择ADC输入。此外，通道可配置为转换内部或外部温度、V_{DD}、内部基准或REFINA/B。两个通道可配置为采样/保持输入，内部通道专用于测量管芯温度。SFR寄存器控制ADC。

ADC

工作在电压输入模式时，作用在相应通道(差分或单端)的电压被转换成数字读数。ADC可设置为连续轮询所选择的输入通道(连续模式)或进行转换后进入关断模式，以降低功耗(单次模式)。

电压模式下，有4种可设置的满量程选择，通过调整相关寄存器(ADCG1、ADCG2、ADCG4、ADCG8)，分别微调这些数值。默认满幅值为1.2V、0.6V、2.4V和4.8V。

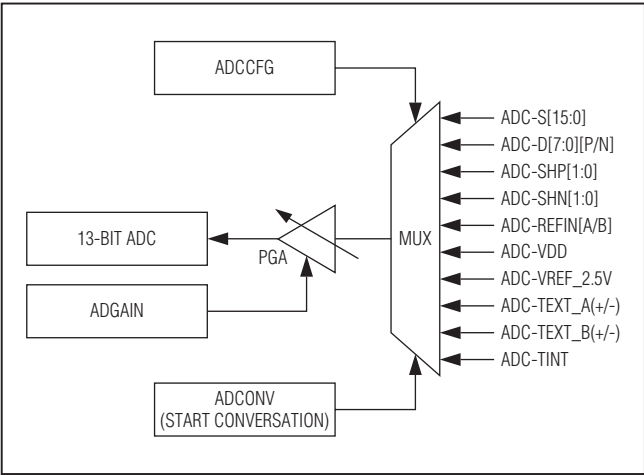


图9. ADC框图

ADCCLK来自系统时钟，采用ADC控制寄存器定义的分频比进行分频。一次A/D转换需要15个ADCCLK时钟，另外，还需要4个核时钟用于数据处理。每路通道在内部进行两次转换，将两次转换的平均值写入数据缓存器。所以，每次转换需要(30 x ADC时钟周期 + 800ns)。对于最快的ADC时钟(核时钟/8)，ADC采样率大约为40ksps。在要求延长采集时间的应用中，可在由ADC控制寄存器确定的一个延长周期内进行采样。

每个ADC通道具有独立配置，例如差分模式选择、数据对齐选择、采集外部使能、ADC基准选择和外部温度模式选择等等。ADC也具有20 (0至19)个16位数据缓存器，用于储存转换结果。ADC数据就绪中断标识(ADDAI)可配置在预先定义的采样次数之后触发一次中断。ADDAI一旦置位，可由软件清除或在转换开始时清除。

采样/保持

如果在SHCN寄存器中使能，引脚组合A2-A3和A12-A13可用于采样/保持转换。通过向SHCN寄存器的对应位写1或0，可独立使能、禁止这两组组合。保留每个通道的数据缓存器。如果使能特定通道，当SHEN引脚发出信号时对输入电压进行采样、转换，并将数据储存在对应的数据缓存器。

两个采样/保持通道可同时对相同的SHEN信号或不同的SHEN信号进行采样，取决于SHCN SFR中的SH_DUAL位。

采样/保持可由中断标识(SHnDAI)配置为在完成采样后触发中断，SHnDAI置位后可由软件清除。

每个采样/保持电路包括采样电容、电荷注入调零开关和缓冲器。另外，还包括放电电路，在开始采样之前对输入节点的寄生电容和采样电容进行放电。可使用负输入引脚减小接地失调和噪声。

光电微控制器

温度测量

器件提供内部温度传感器，用于检测管芯温度和两路外部远端温度传感器。检测外部温度时，电流源强制连接到用户指定通道的外部二极管。通过测量二极管在各种偏置电流下的电压获得二极管温度。

通过设置TEMPCN寄存器的对应位，可独立使能温度检测通道。只要完成温度转换，则设置对应的标识(内部转换为INTDAI，外部转换为EX0DAI和EX1DAI)，可将其配置为触发中断，并可由软件清除。温度测量分辨率为0.0625°C。

利用内部控制器的时间分片功能，器件可同时使用上述全部三种模式。对应于ADC的SFR在模块1和模块2中访问，详细信息及三种电路，请参考*DS4830用户指南*的ADC部分。

快速比较器/快速触发

器件支持10位快速触发比较功能。连续循环监测5至14路通道时，需要快速触发。

快速触发控制器允许用户控制监测通道的列表，每种模式具有一个对应的轮询通道清单。

任何快速触发工作模式下，快速触发(模拟)都对所选通道进行两次比较。

- 1) 与高门限值进行比较。
- 2) 与低门限值进行比较。

如果检测到任何高于高门限值或低于低门限值的情况，则将相应的寄存器位置位，该位可用于触发中断。门限值储存在32个内部寄存器中(16个用于低门限设置，16个用于高门限设置)。快速触发控制器为快速触发提供合适的时钟序列和门限值。由于快速触发和ADC使用相同的输入引脚，所以控制器确保不发生碰撞。

快速触发相关的SFR在模块5中访问。更多信息请参见*DS4830用户指南*的快速触发部分。

I²C兼容接口模块

器件提供两个独立的I²C兼容接口：一个为主控制器，一个为从器件。

I²C兼容主控制器接口

器件有一个内部I²C兼容主控制器接口，用于与各种外部I²C器件通信。I²C兼容主控制器总线为双向通信总线，包含两条通信线：串行数据线(MSDA)和串行时钟线(MSCL)。对于I²C兼容主控制器，器件控制I²C总线，驱动时钟并产生START和STOP信号。这样就使器件能够向从器件发送数据，或者从从器件接收数据。

禁止I²C兼容主控制器接口时，MSDA和MSCL可分别作为GPIO引脚P1.0和P1.1，通过PO1/P11/PD1访问。

I²C兼容从器件接口

器件有一个内部I²C兼容从器件接口，用于与主控制器通信。此外，器件还可通过I²C兼容从器件接口进行在系统编程(引导装入)，I²C从器件使用的两个接口信号为SCL和SDA。对于I²C兼容从器件接口，器件依赖于外部产生的时钟驱动SCL，并只有在I²C主控制器请求时响应数据和命令。I²C兼容从器件接口为开漏，需要外部上拉电阻。

SMBus超时

I²C兼容主控制器和从器件接口均可工作在SMBus™兼容模式，与其它SMBus器件通信。为启动通信功能，在I²C兼容从器件接口配备了一个30ms定时器，使接口与SMBus兼容。该定时器的作用是：当SCL保持为低电平的时间超过30ms时，产生一个超时中断，以便固件复位I²C兼容从器件接口。只有以下条件全部为假时，该定时器才启动：

- 1) I²C兼容从器件接口处于空闲状态，且总线上无通信活动。
- 2) I²C兼容从器件接口未处于SMBus兼容模式。
- 3) SCL逻辑电平为高。
- 4) 禁止I²C兼容从器件接口。

SMBus是Intel Corp.的商标。

光电微控制器

发生超时的情况下，超时位被置位并产生一个中断(若已使能)。

对应I²C主控制器的SFR在模块1中访问；对应I²C从器件的SFR在模块2中访问，详细信息请参考*DS4830用户指南*的I²C部分。

串行外设接口

器件支持主控制器和从器件SPI接口。SPI提供独立的串行通信通道，在多主或多从系统中与外设器件同步通信。接口允许访问4线全双工串行总线，可工作在主控制器模式或从器件模式。当两个或多个主控制器试图同时传输数据时，提供冲突检测。从器件模式下，SPI的最大数据率为系统参考时钟频率的1/4。

SPI使用以下4个接口信号：

- 主控制器输入-从器件输出。该信号为从器件的输出SSPIDO，主控制器的输入MSPIDI，用于支持从器件向主控制器串行发送数据。传输数据时最高有效位(MSB)在前。没有选中从器件时，利用弱上拉将该引脚置于输入状态。
- 主控制器输出-从器件输入。该信号为主控制器的输出MSPIDO，从器件的输入SSPIDI，用于支持主控制器向从器件串行发送数据。传输数据时MSB在前。
- SPI时钟。该串行时钟为主控制器的输出MSPICK，从器件的输入SSPICK，用于同步数据总线上主控制器和从器件之间的数据传输。
- 低电平有效从器件选择。从器件选择信号为 $\overline{\text{SSPICS}}$ 输入，由主控制器使能处于SPI模块的从机模式。SPI模块可通过从器件有效选择配置 $\overline{\text{SSPICS}}$ 状态。通常情况下，该信号在主控模式下没有作用，其端口引脚可作为通用I/O。然而，主控模式下，可选择将 $\overline{\text{SSEL}}$ 作为模式故障检测。

SPI主控制器接口

器件的SPI控制数据传输速率和数据格式时，器件工作在主控模式。通过设置主控模式位(MSTM)，将SPI置于主控模式。只有SPI主控制器启动数据传输。处于主控模式时，向SPI数据缓存器(SPIB)写数据字符，即启动数据传输。SPI主控制器立即通过MSPIDO串行移出数据，同时在MSPICK提供串行时钟。新数据同时通过MSPIDI移入移位寄存器的最低有效位(LSB)。传输结束时，接收数据被装载到数据缓存器供读取，置位SPI传输完成标识(SPIC)。如果置位SPIC，向中断处理程序产生中断请求。

SPI从器件接口

SPI由另一外设器件控制时，工作在从器件模式。内部MSTM位清0时，SPI处于从模式。从模式下，SPI依靠来自于主控制器的SSPICK控制数据传输。SSPICK输入频率应高于从器件系统时钟频率的1/4。SPI主控制器在SSPIDI上向从器件传输数据，MSB在前；所选从器件同时将移位寄存器的内容传输至SSPIDO，也是MSB在前。完成传输后，从主控制器接收的数据代替从器件移位寄存器的数据。与主控模式类似，传输结束时，接收数据被装载到读缓存器，置位SPI传输完成标识。如果使能，传输完成标识可产生中断。

SPI主控制器相关SFR在模块5中访问。SPI从器件相关SFR在模块1中访问，详细信息请参考*DS4830用户指南*的SPI部分。

3线接口

DS4830采用专有的3线接口控制MAX3798/MAX3799等器件，DS4830作为3线主控制器启动通信，并为MAX3798/MAX3799产生时钟。3线接口包括MDIO(双向数据线)、MCL时钟信号和MCS片选输出(高电平有效)。

3线主控制器相关SFR在模块2中访问。关于3线接口的详细信息，请参阅*DS4830用户指南*。

应用信息

电源去耦

在使用DS4830时，为获得最佳结果，可利用一个0.1μF电容将V_{DD}电源去耦。尽可能采用高质量表贴陶瓷电容，表贴元件将引线电阻降至最小，从而改善性能，并且陶瓷电容为去耦应用提供了足够的高频响应。用1μF和10nF电容将REG285和REG18引脚去耦(1个/输出)。注：请勿将这些引脚用于外部电路。

其它文档

设计者使用该器件的全部功能时，必须具备4个文档。数据资料含有引脚说明、特性概述和电气规格。勘误表包含与已发布版本的电气规格差异。用户指南提供器件特性和工作相关的详细信息，可从网站china.maximintegrated.com下载以下资料：

- DS4830数据资料，包括电气/时序规范、封装信息和引脚说明。
- DS4830参数修改勘误表(若适用)。
- DS4830用户指南，包括核心功能和外设的详细信息和编程指南。

开发和技术支持

Maxim以及第三方供应商为该款微控制器提供多种开发工具，这些工具功能丰富、价格适中，包括：

- 编译器(C和汇编)
- 在线调试器
- 集成开发环境(IDE)
- 适用于编程和调试的串口至JTAG转换器
- 适用于编程和调试的USB至JTAG转换器

开发工具供应商的列表可从网站查找：china.maximintegrated.com/MAXQ_tools。

技术支持：mixedsignal.apps@maximintegrated.com。

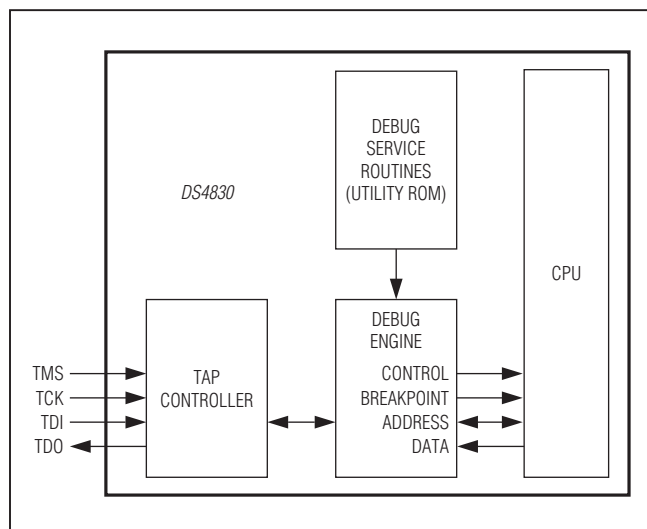


图10. 在线调试器

在线调试

可通过JTAG兼容端口使用嵌入式调试功能，嵌入式硬件调试和嵌入式ROM固件为用户应用程序提供了在线调试功能，无需昂贵的在线仿真器，图10所示为在线调试器的框图。在线调试器具有以下特性：

- 硬件调试引擎
- 寄存器组，能够在寄存器、代码或数据操作(ICDA、ICDB、ICDC、ICDD、ICDF、ICDT0和ICDT1)上设置断点
- 调试服务程序组，储存在固定用途ROM中

嵌入式硬件调试引擎是微控制器的独立硬件模块。调试引擎在CPU执行用户程序时可监测内部活动并与所选的内部寄存器进行交互。硬件和软件特性联合在一起可实现两种基本的在线调试模式：

- 后台模式允许主控制器配置和设置在线调试器，而CPU继续全速执行应用软件。调试模式可从后台模式激活。
- 调试模式允许调试引擎控制CPU，提供对内部寄存器和存储器的读/写操作，以及单步执行。

DS4830

光电微控制器

订购信息

器件	温度范围	引脚-封装
DS4830T+	-40°C至+85°C	40 TQFN-EP*

+表示无铅(Pb)/符合RoHS标准的封装。

T = 卷带包装。

*EP = 裸焊盘。

封装信息

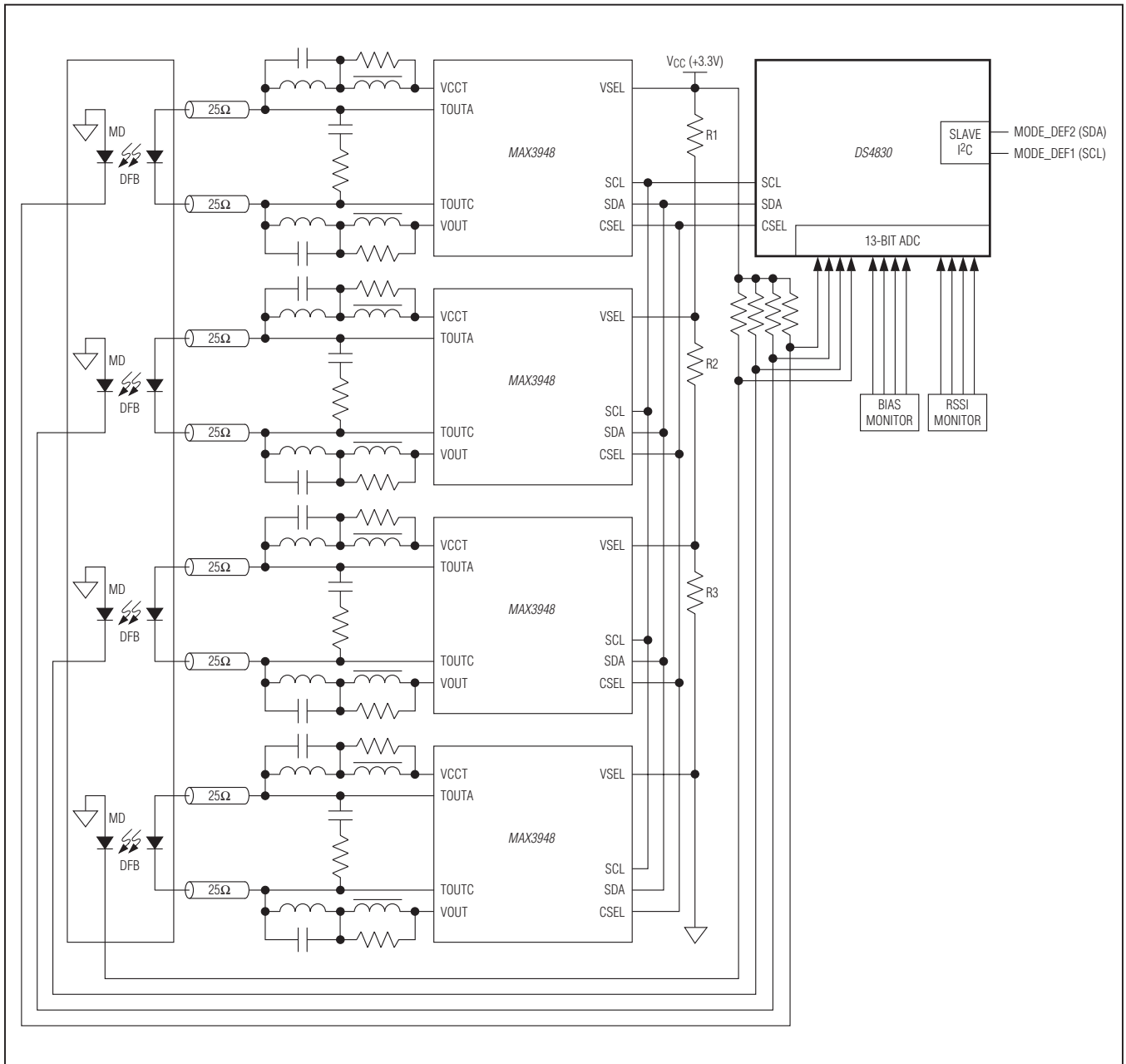
如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
40 TQFN-EP	T4055+2	21-0140	90-0002

DS4830

光电微控制器

典型应用电路



DS4830

光电微控制器

修订历史

修订号	修订日期	说明	修改页
0	6/11	最初版本。	—
1	10/11	将 <i>Absolute Maximum Ratings</i> 部分的引脚焊接温度从 +260°C 修正为 +300°C；增加了 DAC 输出部分关于 DAC 工作的说明，以达到预期 INL 水平。	2, 22

Maxim 北京办事处

北京 8328 信箱 邮政编码 100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299



Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

29