

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

概述

MAX11154 18位、500ksps、SAR ADC具有优异的交流和直流性能，支持单极性输入范围，具有小尺寸、内置基准等特性。MAX11154集成可选的6ppm/°C基准，带内部缓冲器，从而节省了外部基准的成本和空间。

ADC具有高达93.5dB的SNR和-105dB THD，MAX11154保证18位无失码。

MAX11154通过SPI兼容串口通信，工作在2.5V、3V、3.3V或5V逻辑电平。串行接口能够以菊花链形式连接多个ADC，用于多通道应用；器件提供“忙”指示选项，简化系统同步和定时。

MAX11154采用12引脚、3mm x 3mm、TDFN封装，工作在-40°C to +85°C温度范围。

应用

- 数据采集系统
- 工业控制系统/过程控制
- 医疗仪表
- 自动测试设备

特性

- 高直流和交流精度
- 18位分辨率，无失码
- SNR: 93.5dB
- THD: -105dB @ 10kHz
- ± 2 LSB INL (典型值)
- ± 0.5 LSB DNL (典型值)
- 6ppm/°C (典型值)内部基准
- 内部基准缓冲器
- 微小12引脚3mm x 3mm TDFN封装
- 5V模拟电源
- 2.3V至5V数字电源
- 23mW @ 500ksps
- 提供关断模式
- 500ksps吞吐率
- 无流水线延时/延迟
- 灵活的工业标准串行接口
- SPI/QSPI™/MICROWIRE®/DSP兼容

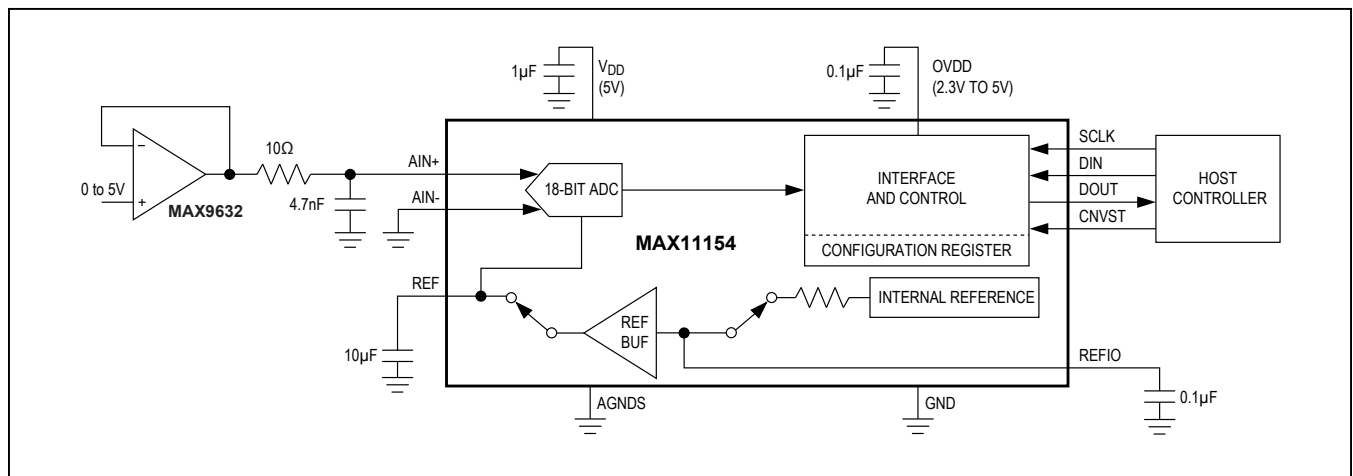
QSPI是Motorola, Inc.的商标。

MICROWIRE是National Semiconductor Corporation的注册商标。

[选型指南](#)和[订购信息](#)在数据资料的最后给出。

相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX11154.related。

典型工作电路



本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

Absolute Maximum Ratings

V_{DD} to GND -0.3V to +6V
 OVDD to GND -0.3V to the lower of (V_{DD} + 0.3V) and +6V
 AIN+ to GND -0.3V to +6V
 AIN-, REF, REFIO, AGNDS
 to GND -0.3V to the lower of (V_{DD} + 0.3V) and +6V
 SCLK, DIN, DOUT, CNVST
 to GND -0.3V to the lower of (V_{DD} + 0.3V) and +6V
 Maximum Current into Any Pin 50mA

Continuous Power Dissipation (T_A = +70°C)
 TDFN (derate 18.2mW/°C above +70°C) 1349mW
 Operating Temperature Range -40°C to +85°C
 Junction Temperature +150°C
 Storage Temperature Range -65°C to +150°C
 Lead Temperature (soldering, 10s) +300°C
 Soldering Temperature (reflow) +260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

TDFN

Junction-to-Ambient Thermal Resistance (θ_{JA}) 59.3°C/W
 Junction-to-Case Thermal Resistance (θ_{JC}) 22.5°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

Electrical Characteristics

(V_{DD} = 4.75V to 5.25V, V_{OVDD} = 2.3V to 5.25V, f_{SAMPLE} = 500kHz, Reference Mode 3, V_{REF} = 4.096V; T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT (Note 3)						
Input Voltage Range		AIN+ to AIN-, K = 5.0/4.096	0		+K x V _{REF}	V
Absolute Input Voltage Range		AIN+ to GND	-0.1		+(V _{DD} + 0.1)	V
		AIN- to GND	-0.1		+0.1	
Input Leakage Current		Acquisition phase	-10	+0.001	+10	µA
Input Capacitance				32		pF
Input-Clamp Protection Current		Both inputs	-20		+20	mA
STATIC PERFORMANCE (Note 4)						
Resolution	N		18			Bits
No Missing Codes			18			Bits
Offset Error			-0.3	±0.1	+0.3	mV
Offset Temperature Drift				±1		µV/°C
Gain Error			-30	±8	+30	LSB
Gain Error Temperature Coefficient				±0.5		ppm/°C
Integral Nonlinearity	INL		-6	±2	+6	LSB
Differential Nonlinearity	DNL		-1	±0.5	+1	LSB
Positive Full-Scale Error			-30		+30	LSB
Analog Input CMRR	CMRR			-77		dB

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

Electrical Characteristics (continued)

($V_{DD} = 4.75V$ to $5.25V$, $V_{OVDD} = 2.3V$ to $5.25V$, $f_{SAMPLE} = 500kHz$, Reference Mode 3, $V_{REF} = 4.096V$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
Power-Supply Rejection (Note 5)	PSR			±8.0			LSB	
Transition Noise				1.7			LSB _{RMS}	
REFERENCE (Note 7)								
REF Output Initial Accuracy	V _{REF}	Reference mode 0		4.092	4.096	4.100	V	
REF Output Temperature Coefficient	TC _{REF}	Reference mode 0		-17	±9	+17	ppm/°C	
REFIO Output Initial Accuracy	V _{REFIO}	Reference modes 0 and 2		4.092	4.096	4.100	V	
REFIO Output Temperature Coefficient	TC _{REFIO}	Reference modes 0 and 2		-15	±6	+15	ppm/°C	
REFIO Output Impedance		Reference modes 0 and 2		10			kΩ	
REFIO Input Voltage Range		Reference mode 1		3	4.096	4.25	V	
Reference Buffer Initial Offset		Reference mode 1		-500			+500	μV
Reference Buffer Offset Drift		Reference mode 1		-10	±6	+10	μV/°C	
External Compensation Capacitor	C _{EXT}	Required for reference modes 0 and 1, recommended for reference modes 2 and 3		10			μF	
REF Voltage Input Range	V _{REF}	Reference modes 2 and 3		2.5			4.25	V
REF Input Capacitance		Reference modes 2 and 3		20			pF	
REF Load Current	I _{REF}	V _{REF} = 4.096V, reference modes 2 and 3	500ksps	130			μA	
DYNAMIC PERFORMANCE (Note 6)								
Signal-to-Noise Ratio (Note 7)	SNR	f _{IN} = 10kHz	V _{REF} = 4.096V, reference mode 3	92	93.5		dB	
			V _{REF} = 4.096V, reference mode 1	93.1				
			V _{REF} = 2.5V, reference mode 3	89.4				
			Internal reference, reference mode 0	92.1				
Signal-to-Noise Plus Distortion (Note 7)	SINAD	f _{IN} = 10kHz	V _{REF} = 4.096V, reference mode 3	91.2	93.2		dB	
			V _{REF} = 4.096V, reference mode 1	92.8				
			V _{REF} = 2.5V, reference mode 3	89.0				
			Internal reference, reference mode 0	91.9				
Spurious-Free Dynamic Range	SFDR			96	105		dB	
Total Harmonic Distortion	THD			-105			-96	dB
Intermodulation Distortion (Note 8)	IMD			-115			dBFS	

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

Electrical Characteristics (continued)

(V_{DD} = 4.75V to 5.25V, V_{OVDD} = 2.3V to 5.25V, f_{SAMPLE} = 500kHz, Reference Mode 3, V_{REF} = 4.096V; T_A = T_{MIN} to T_{MAX} , unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SAMPLING DYNAMICS						
Throughput Sample Rate					500	ksps
Transient Response		Full-scale step			400	ns
Full-Power Bandwidth		-3dB point		6		MHz
		-0.1dB point		> 0.2		
Aperture Delay				2.5		ns
Aperture Jitter				50		psRMS
POWER SUPPLIES						
Analog Supply Voltage	V _{DD}		4.75		5.25	V
Interface Supply Voltage	V _{OVDD}		2.3		5.25	V
Analog Supply Current	I _{VDD}	Internal reference mode	5.0	5.7	6.5	mA
		External reference mode	2.7	3.2	3.7	
V _{DD} Shutdown Current				0.4	10	μA
Interface Supply Current (Note 9)	I _{OVDD}	V _{OVDD} = 2.3V		1.6	2.2	mA
		V _{OVDD} = 5.25V			5.5	
OVDD Shutdown Current				0.4	10	μA
Power Dissipation		V _{DD} = 5V, V _{OVDD} = 3.3V, reference mode = 2, 3		23		mW
		V _{DD} = 5V, V _{OVDD} = 3.3V, reference mode = 0, 1		36		
DIGITAL INPUTS (DIN, SCLK, CNVST)						
Input Voltage High	V _{IH}			0.7 x V _{OVDD}		V
Input Voltage Low	V _{IL}			0.3 x V _{OVDD}		V
Input Hysteresis	V _{HYS}			±0.05 x V _{OVDD}		V
Input Capacitance	C _{IN}			10		pF
Input Current	I _{IN}	V _{IN} = 0V or V _{OVDD}	-10		+10	μA
DIGITAL OUTPUT (DOUT)						
Output Voltage High	V _{OH}	I _{SOURCE} = 2mA		V _{OVDD} - 0.4		V
Output Voltage Low	V _{OL}	I _{SINK} = 2mA			0.4	V
Three-State Leakage Current			-10		+10	μA
Three-State Output Capacitance				15		pF
TIMING (Note 9)						
Time Between Conversions	t _{CYC}		2			μs
Conversion Time	t _{CONV}	CNVST rising to data available	1.35		1.5	μs
Acquisition Time	t _{ACQ}	t _{ACQ} = t _{CYC} - t _{CONV}	0.5			μs
CNVST Pulse Width	t _{CNVPW}	CS mode	5			ns

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

Electrical Characteristics (continued)

(V_{DD} = 4.75V to 5.25V, V_{OVDD} = 2.3V to 5.25V, f_{SAMPLE} = 500kHz, Reference Mode 3, V_{REF} = 4.096V; T_A = T_{MIN} to T_{MAX} , unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Period ($\overline{CS}$ Mode)	t_{SCLK}	$V_{OVDD} > 4.5V$	14			ns
		$V_{OVDD} > 2.7V$	20			
		$V_{OVDD} > 2.3V$	26			
SCLK Period (Daisy-Chain Mode)	t_{SCLK}	$V_{OVDD} > 4.5V$	16			ns
		$V_{OVDD} > 2.7V$	24			
		$V_{OVDD} > 2.3V$	30			
SCLK Low Time	t_{SCLKL}		5			ns
SCLK High Time	t_{SCLKH}		5			ns
SCLK Falling Edge to Data Valid Delay	t_{DDO}	$V_{OVDD} > 4.5V$			12	ns
		$V_{OVDD} > 2.7V$			18	
		$V_{OVDD} > 2.3V$			23	
CNVST Low to DOUT D15 MSB Valid ($\overline{CS}$ Mode)	t_{EN}	$V_{OVDD} > 2.7V$			14	ns
		$V_{OVDD} < 2.7V$			17	
CNVST High or Last SCLK Falling Edge to DOUT High Impedance	t_{DIS}	$\overline{CS}$ Mode			20	ns
DIN Valid Setup Time from SCLK Falling Edge	$t_{SDINSCK}$	$V_{OVDD} > 4.5V$	3			ns
		$V_{OVDD} > 2.7V$	5			
		$V_{OVDD} > 2.3V$	6			
DIN Valid Hold Time from SCLK Falling Edge	$t_{HDINSCK}$		0			ns
SCLK Valid Setup Time to CNVST Falling Edge	$t_{SSCKCNF}$		3			ns
SCLK Valid Hold Time to CNVST Falling Edge	$t_{HSCKCNF}$		6			ns

Note 2: Maximum and minimum limits are fully production tested over specified supply voltage range and at a temperature of +25°C and +85°C. Limits below +25°C are guaranteed by design and device characterization.

Note 3: See the [Analog Inputs](#) and [Overvoltage Input Clamps](#) sections.

Note 4: See the [Definitions](#) section.

Note 5: Defined as the change in positive full-scale code transition caused by a $\pm 5\%$ variation in the V_{DD} supply voltage.

Note 6: 10kHz sine wave input, -0.1dB below full scale.

Note 7: See [Table 4](#) for definition of the reference modes.

Note 8: $f_{IN1} \sim 9.4kHz$, $f_{IN2} \sim 10.7kHz$, Each tone at -6.1dB below full scale.

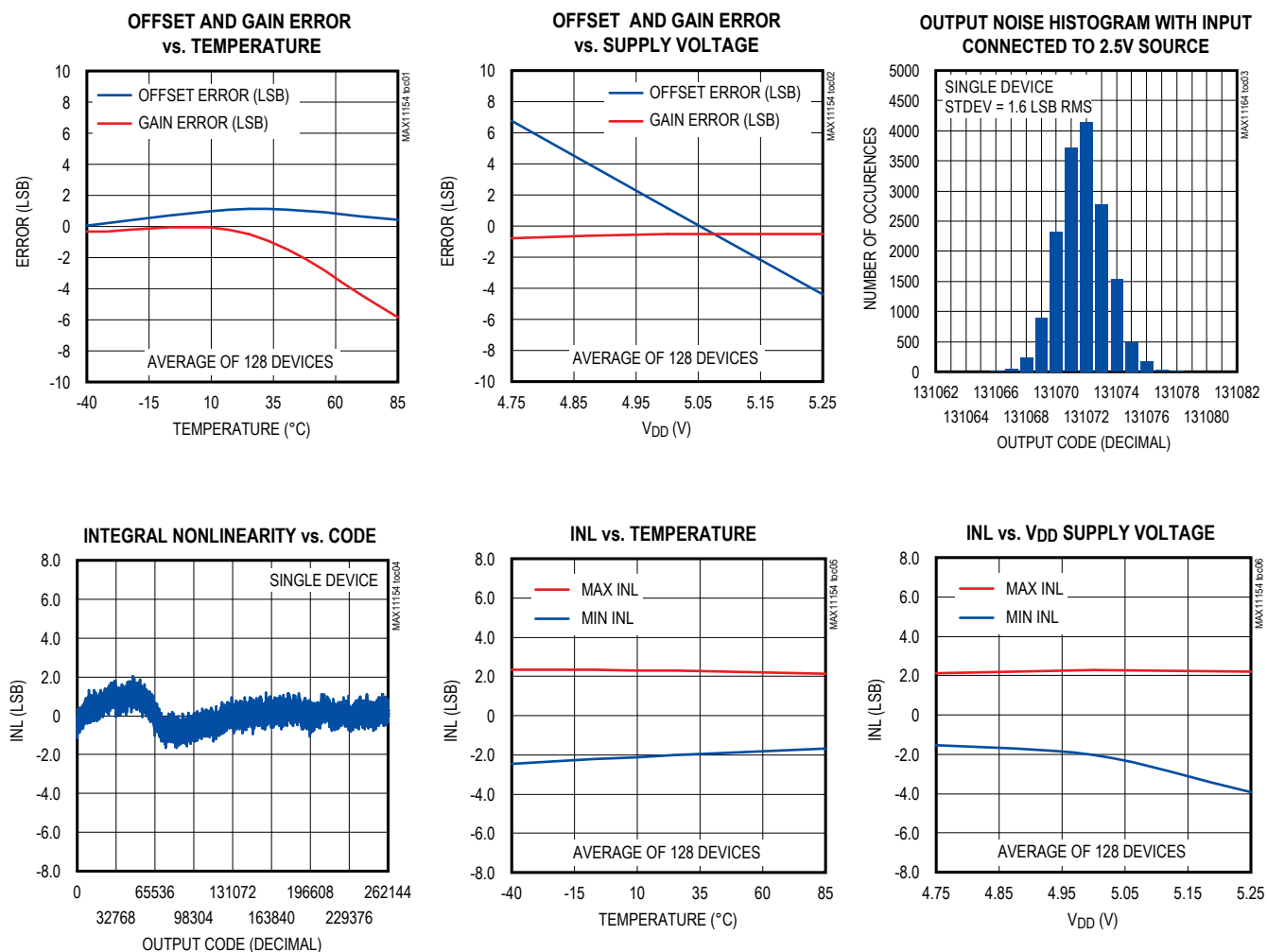
Note 9: $C_{LOAD} = 65pF$ on DOUT.

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

典型工作特性

($V_{DD} = 5.0V$, $V_{OVDD} = 3.3V$, $f_{SAMPLE} = 500kHz$, Reference Mode 3, $V_{REF} = 4.096V$; $T_A = +25^{\circ}C$, unless otherwise noted.)

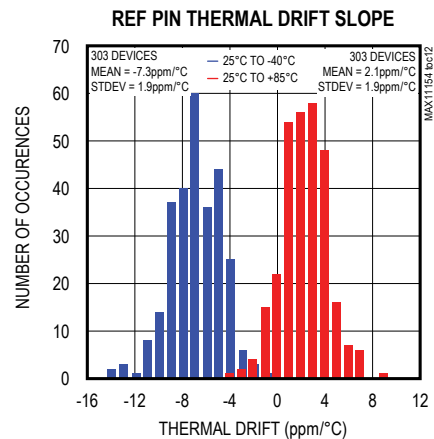
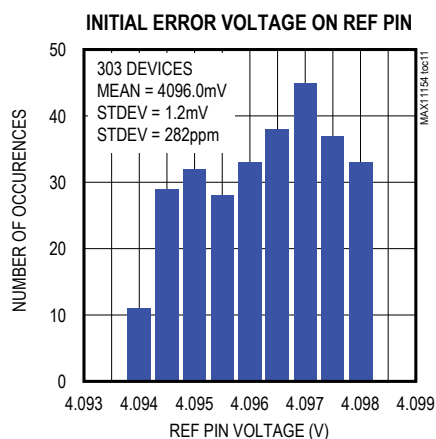
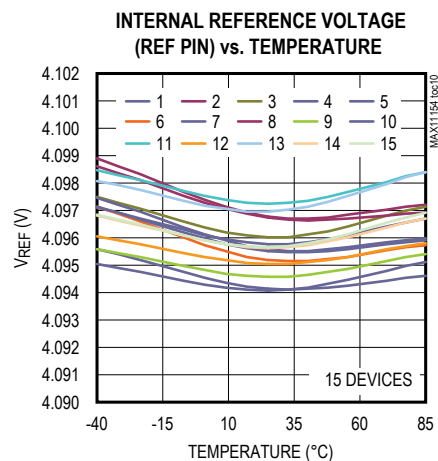
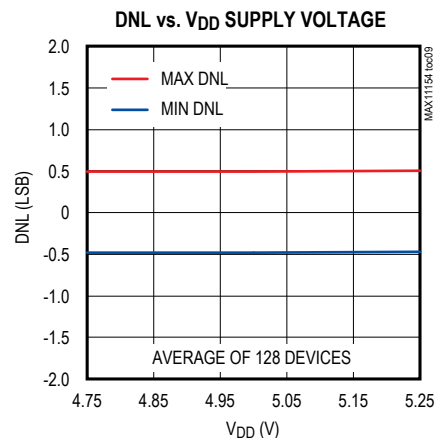
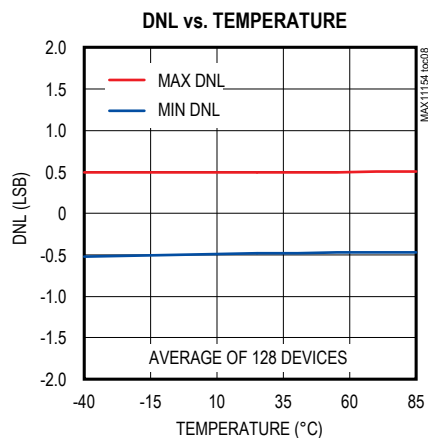
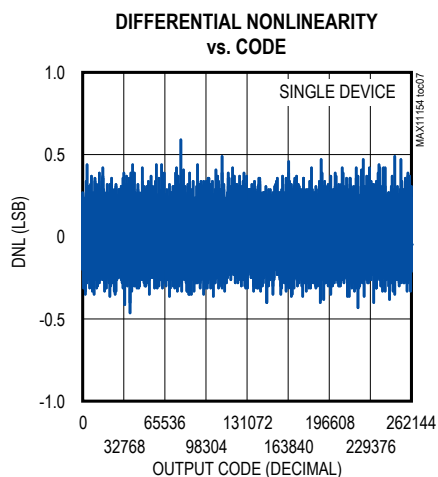


MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

典型工作特性(续)

($V_{DD} = 5.0V$, $V_{OVDD} = 3.3V$, $f_{SAMPLE} = 500kHz$, Reference Mode 3, $V_{REF} = 4.096V$; $T_A = +25^{\circ}C$, unless otherwise noted.)

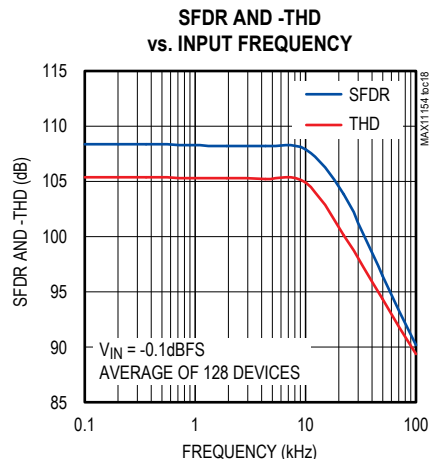
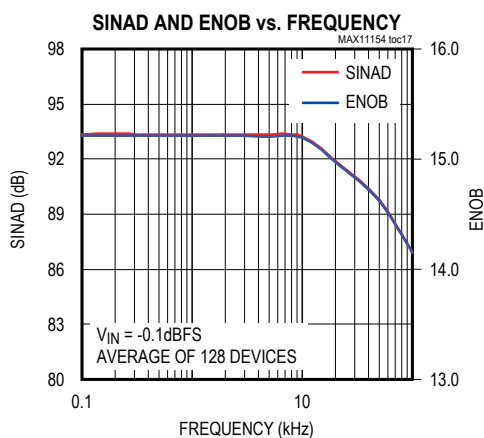
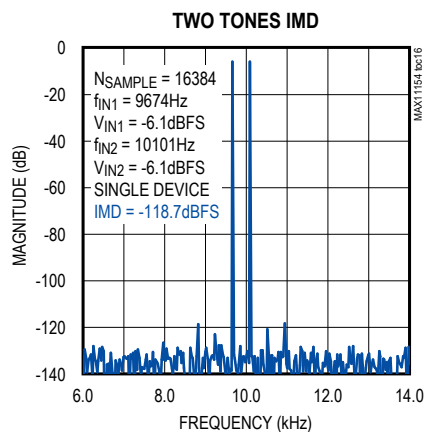
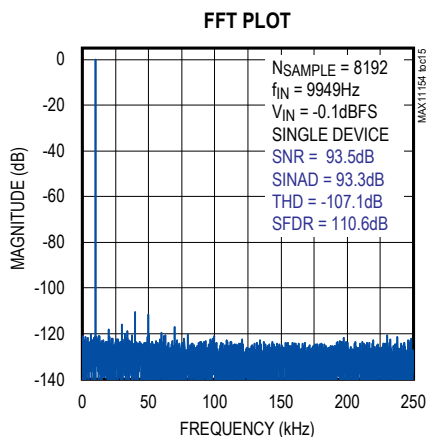
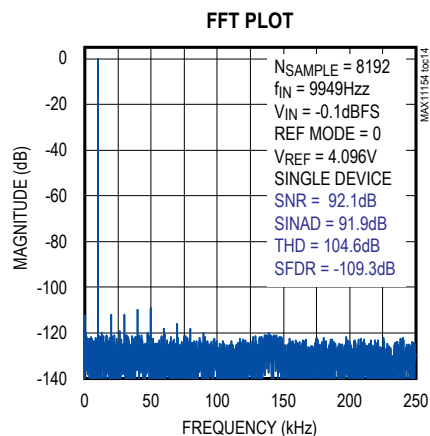
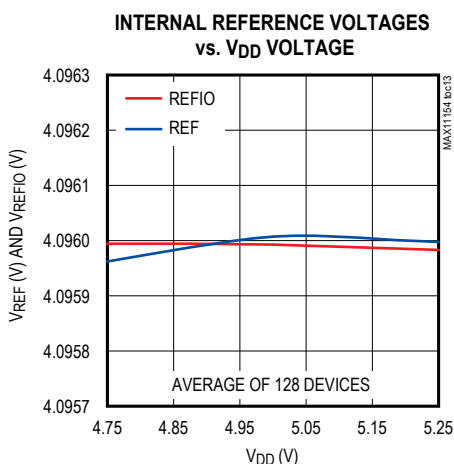


MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

典型工作特性(续)

($V_{DD} = 5.0V$, $V_{OVDD} = 3.3V$, $f_{SAMPLE} = 500kHz$, Reference Mode 3, $V_{REF} = 4.096V$; $T_A = +25^{\circ}C$, unless otherwise noted.)

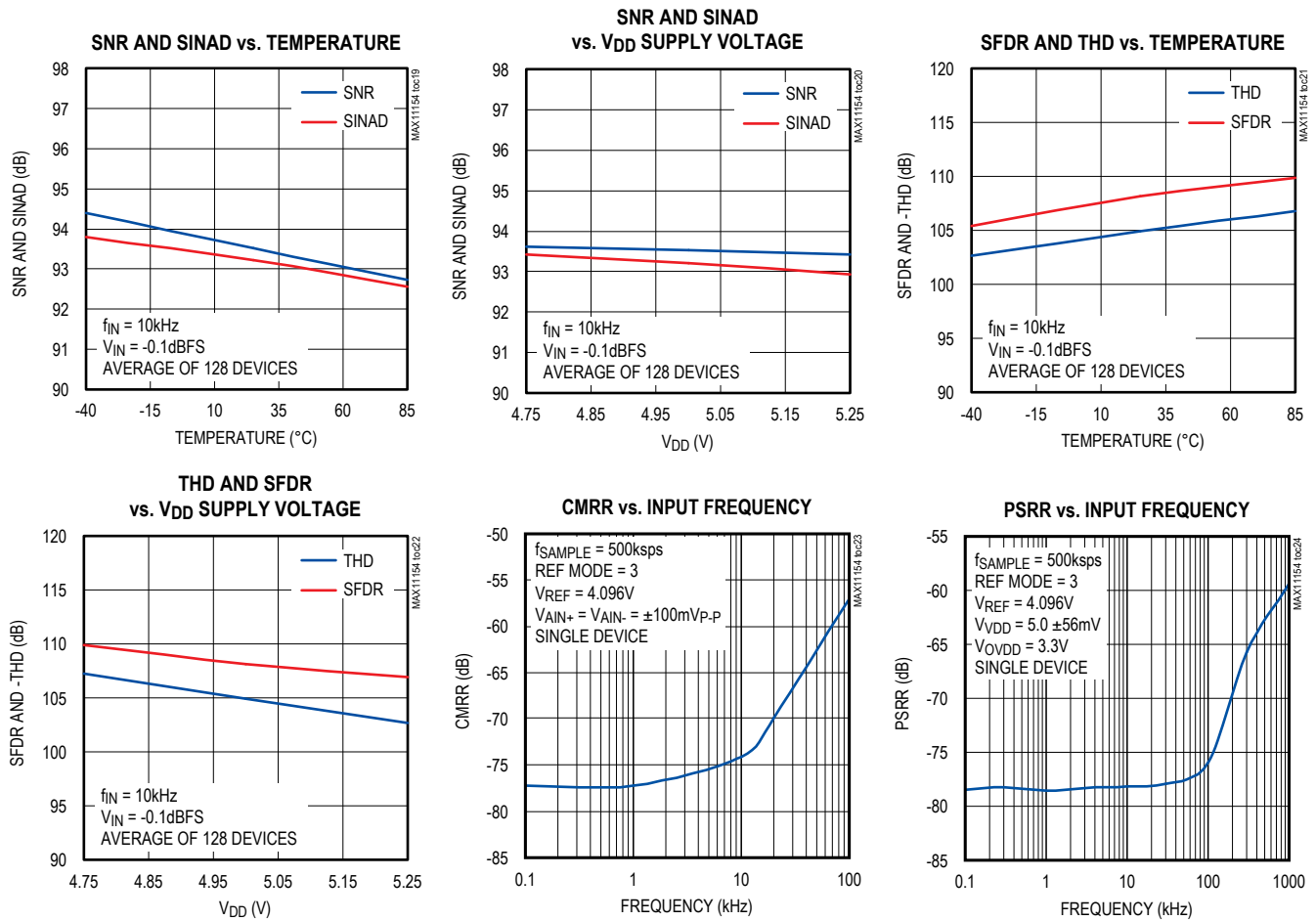


MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

典型工作特性(续)

($V_{DD} = 5.0V$, $V_{OVDD} = 3.3V$, $f_{SAMPLE} = 500kHz$, Reference Mode 3, $V_{REF} = 4.096V$; $T_A = +25^{\circ}C$, unless otherwise noted.)

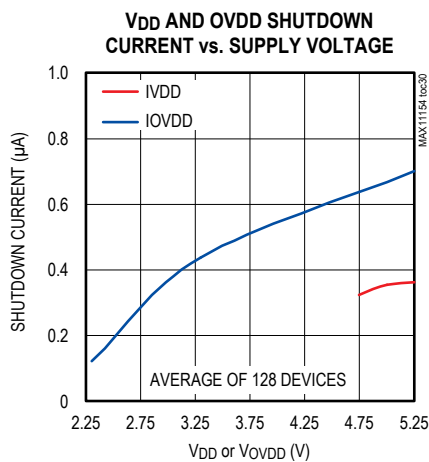
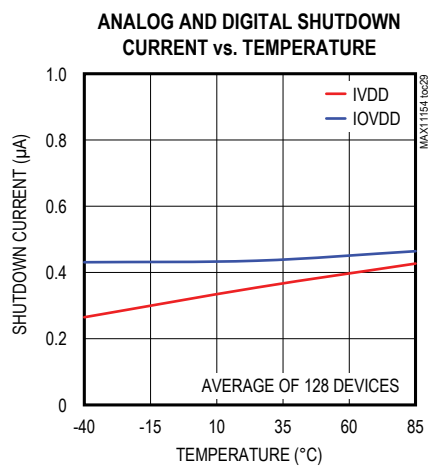
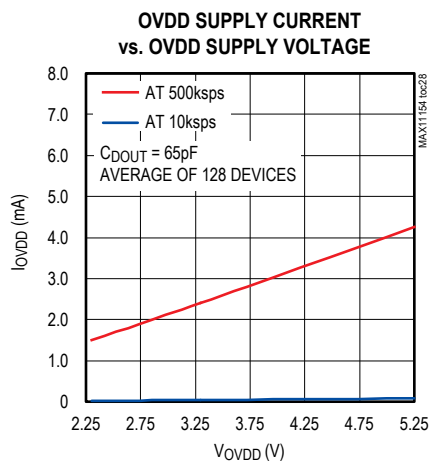
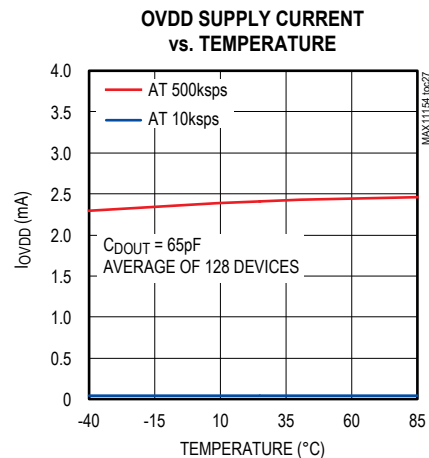
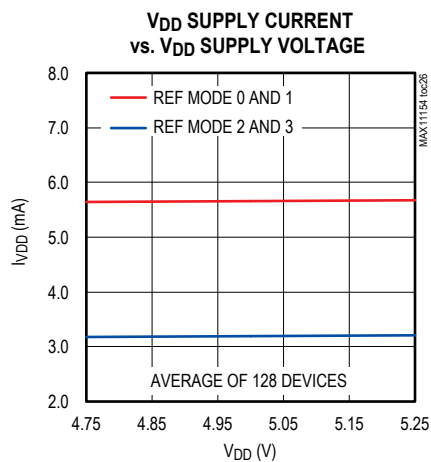
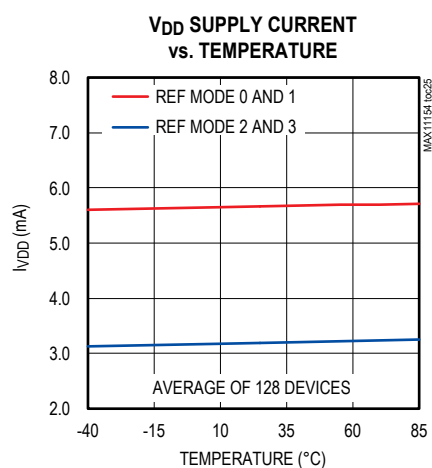


MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

典型工作特性(续)

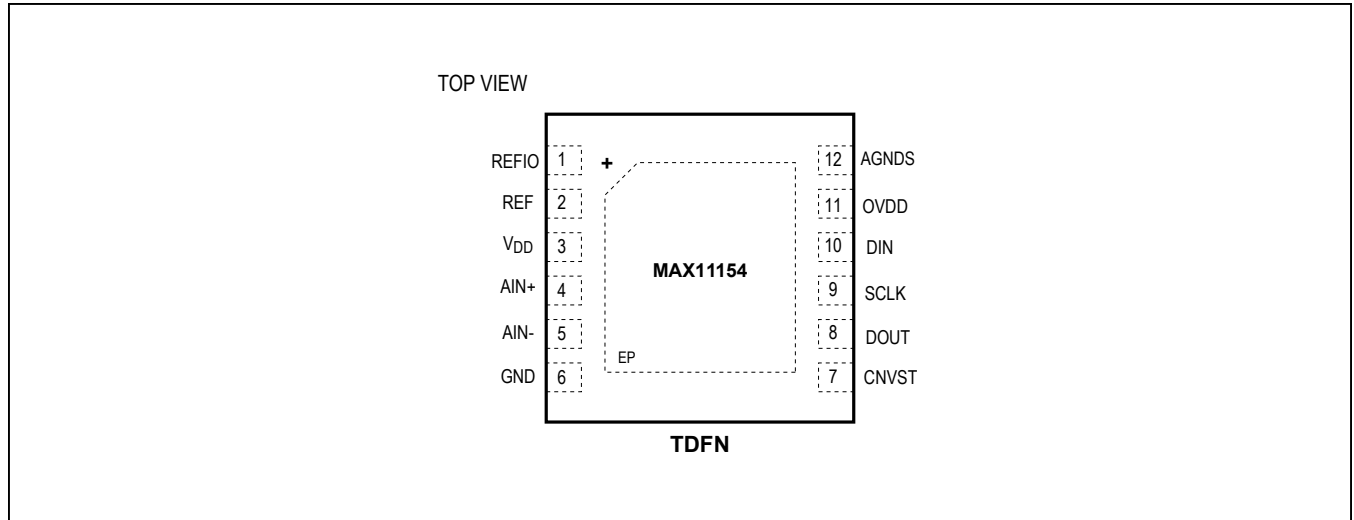
($V_{DD} = 5.0V$, $V_{OVDD} = 3.3V$, $f_{SAMPLE} = 500kHz$, Reference Mode 3, $V_{REF} = 4.096V$; $T_A = +25^{\circ}C$, unless otherwise noted.)



MAX11154

18位、500ksps、内置基准的
0至5V SAR ADC，采用TDFN封装

引脚配置



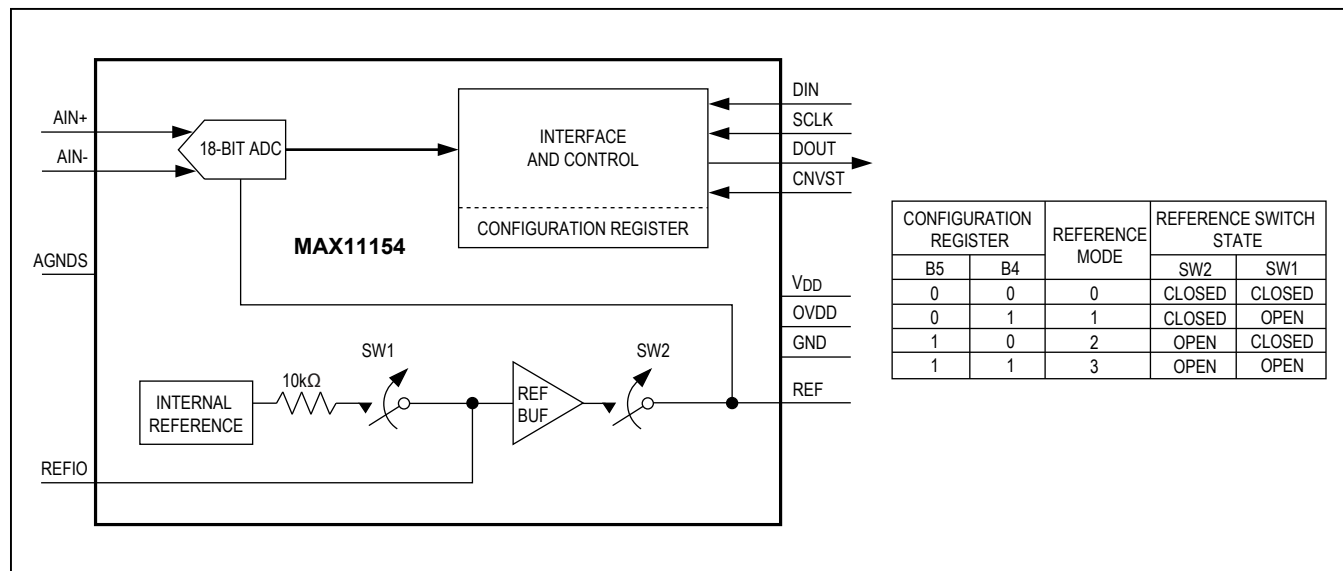
引脚说明

引脚	名称	I/O	功能
1	REFIO	I/O	外部基准输入/内部基准输出。在REFIO和AGNDS之间连接0.1μF电容。
2	REF	I/O	外部基准输入/基准缓冲器去耦。利用X5R或X7R 10μF 16V芯片旁路至AGNDS，参见布局、接地和旁路部分。
3	V _{DD}	I	模拟电源。器件的每个模拟电源引脚需要通过0.1μF电容旁路至GND；将每块PCB的模拟电源通过10μF电容旁路至GND。
4	AIN+	I	模拟输入正端。
5	AIN-	I	模拟输入负端。将AIN-连接至模拟接地区域或连接至远端传感器地。
6	GND	I	电源地。
7	CNVST	I	启动转换输入，CNVST上升沿启动转换。SCLK为高电平时，CNVST下降沿使能串行接口。
8	DOUT	O	串行数据输出。DOUT在SCLK下降沿改变状态。
9	SCLK	I	串行时钟输入。选中器件时，将数据移出串行接口。
10	DIN	I	串行数据输入，DIN上的数据在SCLK上升沿锁存至串行接口。
11	OVDD	I	数字电源，每个器件的数字电源引脚需要通过0.1μF电容旁路至GND；将每块PCB的数字电源通过10μF电容旁路至GND。
12	AGNDS	I	模拟地检测，板载DAC和基准源的零电流参考端，用做REFIO和REF的参考端。
—	EP	—	裸焊盘。EP内部连接至GND，连接至PCB GND。

MAX11154

18位、500ksps、内置基准的
0至5V SAR ADC，采用TDFN封装

功能框图



详细说明

MAX11154为18位、单通道、伪差分ADC，最大吞吐率为500ksps。ADC具有高精度内部基准，能够测量0至5V输入电压范围。0至3.05V和0至5.19V的输入范围，也可使用外部基准。采用伪差分片上采样/保持对两个输入(AIN+和AIN-)进行采样。

MAX11154输入具有高达±20mA过流保护。ADC由4.75至5.25V模拟电源(V_{DD})和独立的2.3V至5.25V数字电源(OVDD)供电。MAX11154内部采样/保持需要500ns/1μs对输入进行采样，然后使用内部时钟驱动转换器，将采样信号转换为16位精度。

模拟输入

MAX11154 ADC包括真正的伪差分采样输入级，具有高阻、电容输入。内部T/H电路具有大约6MHz的小信号带宽，采样周期为500ns时提供18位精度，从而允许利用外部多路复用器对多路扫描通道进行高精度采样。

MAX11154可以转换的输入信号AIN+范围为0V至(K × V_{REF} + AIN-)，其中K = 5.000/4.096。为实现高精度转换，AIN+应限制在-0.1V至(V_{DD} + 0.1V)。AIN-的输入范围为-0.1V至+0.1V，应连接到输入信号源的参考地。MAX11154对AIN+和AIN-之间的输入进行真正的差分采样，具有良好的共模抑制(见[典型工作电路](#))，有助于改善远端传感器的采样。

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

过压输入箝位

MAX11154包括输入箝位电路，当AIN+的输入电压高于($V_{DD} + 300\text{mV}$)或低于 -300mV 时触发钳位。输入信号在 -100mV 至($V_{DD} + 100\text{mV}$)范围以内时，箝位电路保持高阻，消耗极低电流，甚至不消耗电流。但当输入信号超过该范围时，箝位电路开启。所以，为获得最高精度，确保输入电压不超出 -100mV 至($V_{DD} + 100\text{mV}$)范围。

为使用输入箝位功能，在AIN+输入和电压源之间连接一个电阻(R_S)，以限制模拟输入电压，确保器件的故障电流输入不超过 $\pm 20\text{mA}$ 。注意，发生故障时，AIN+输入引脚的电压限制在 7V ，利用下式计算 R_S ：

$$R_S = \frac{V_{\text{FAULT MAX}} - 7\text{V}}{20\text{mA}}$$

式中， $V_{\text{FAULT MAX}}$ 为电压源在故障期间产生的最大电压。

图1和图2所示为源阻抗 $R_S = 1170\Omega$ 时箝位电路的电压电流特性。输入电压在 -300mV 至($V_{DD} + 300\text{mV}$)范围之内时，输入箝位电路中无电流通过。一旦输入电压超出该电压范围，箝位电路开启，限制输入引脚的电压。

内部/外部基准(REFIO)配置

MAX11154具有一个标准的SPI接口，通过输入配置寄存器选择内部或外部基准模式(见[输入配置接口](#)部分)。MAX11154具有内部带隙基准电路($V_{\text{REFIO}} = 4.096\text{V}$)，利用驱动REF引脚的内部基准缓冲器进行缓冲。MAX11154配置寄存器允许四种基准配置组合。基准模式包括：

基准模式00：ADC基准由内部带隙基准提供，连接至REFIO引脚输入，由REFIO引脚的外部电容进行噪声滤波，然后由内部基准缓冲器进行缓冲，并利用REF引脚的外部电容进行去耦。该模式下，ADC不需要外部基准源。

基准模式01：ADC基准由外部提供，连接至REFIO引脚输入，由内部基准缓冲器进行缓冲，并利用REF引脚的外部电容进行去耦。当多片MAX11154需要使用公共基准源时，通常采用该模式。

基准模式10：内部带隙用作基准源输出并送至REFIO引脚输出。而内部基准缓冲器处于关断状态，REF引脚为高阻。该状态通常为几片MAX11154的一组外部基准缓冲器提供公共基准源。

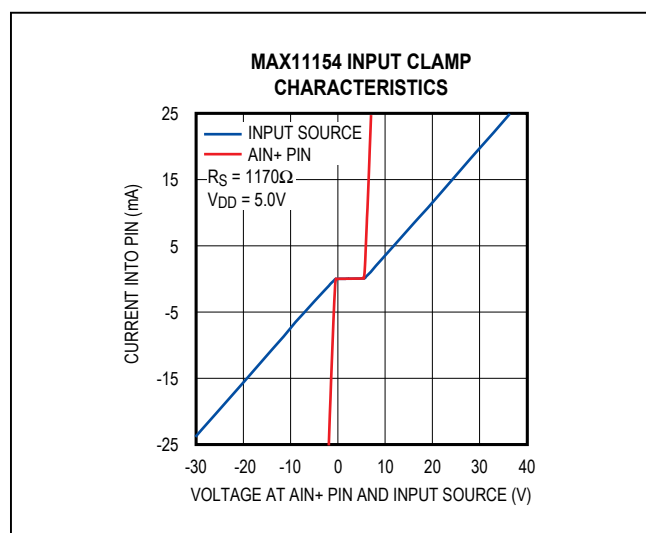


图1. 输入箝位特性

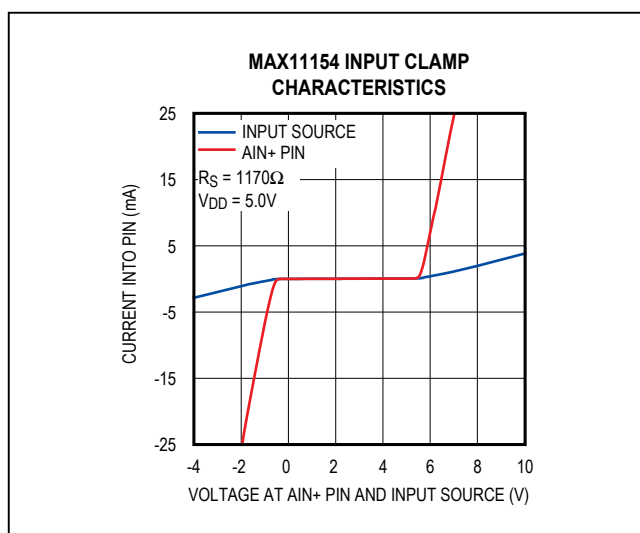


图2. 输入箝位特性(放大)

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

基准模式11：内部带隙基准源以及内部基准缓冲器均处于关断状态。REF引脚为高阻状态。当利用一个外部基准源和外部基准源缓冲器驱动系统的全部MAX11154器件时，通常使用该模式。

无论采用哪种基准模式，MAX11154在REF引脚都需要一个低阻基准源，以支持18位精度。使用内部基准缓冲器时，利用至少10μF、低电感、低ESR电容进行外部旁路，尽量靠近REF引脚放置，使PCB寄生电感降至最小。使用内部带隙基准源时，利用0.1μF电容将REFIO引脚旁路至地。如果提供外部基准并使用内部基准缓冲器，则利用3.0V至4.25V范围的外部基准源直接驱动REFIO引脚。最后，如果禁止MAX11154内部带隙基准源和内部基准缓冲器，则利用2.5V至4.25V范围的基准电压驱动REF引脚，并安装至少10μF、低电感、低ESR电容，尽量靠近REF引脚放置。

MAX11154工作在外部基准模式时，建议使用外部基准缓冲器。REF引脚的旁路电容采用1210或更小尺寸的X7R或X5R陶瓷电容，以提供足够的旁路性能。Y5U或Z5U陶瓷电容的电压及温度系数较高，不建议使用。

Maxim提供多种可理想用于18位精度的高精度基准。[表1](#)中列出了部分推荐选项。

输入放大器

当ADC采样输入信号的时间间隔长于输入信号在最差工作条件下的建立时间时，转换结果非常精确。ADC输入采样电容在采样周期内充电。采样期间，采样电压的建立时间

受输入电阻和输入采样电容的影响。对总输入电容和驱动源阻抗的时间常数进行建模，可估算采样误差。

尽管MAX11154易于驱动，但当驱动大约20pF的开关电容时，采样周期会产生显著误差，建议使用放大器缓冲器。按照[典型工作电路](#)所示的配置，其中将至少4.7nF的电容连接至AIN+引脚。该电容可减小采样周期开始时的瞬变，这种瞬变在有些缓冲器中会造成输入信号失调。

无论是否使用外部缓冲器，输入时间常数 $R_{SOURCE} \times C_{LOAD}$ 均不应超过 $t_{ACQ}/14$ ，其中 R_{SOURCE} 为信号源总阻抗， C_{LOAD} 为ADC输入的总电容(外部和内部)， t_{ACQ} 为采样周期。所以，为了在500ns采样时间内获得高精度，如果直接驱动ADC，应使用至少1.3kΩ源阻抗。利用缓冲器驱动ADC时，建议在缓冲器和外部输入电容之间串联一个电阻(一般为5Ω至15Ω)，如[典型工作电路](#)所示。

以下放大器特性有助于选择ADC驱动器。

- 1) 快速建立时间：对于多通道多路复用架构，施加满幅阶跃信号时，在最小采样时间内驱动运算放大器必须能够稳定在18位分辨率。
- 2) 低噪声：确保驱动器放大器在规定的带宽内保持较低的平均噪声密度。MAX11154工作在6MHz满幅带宽时，最好使用一级放大器，放大器的输出噪声谱密度应小于 $3nV/\sqrt{Hz}$ ，以确保总体SNR无明显下降。建议在MAX11154的AIN+输入插入外部RC滤波器，以衰减带外输入噪声，保证ADC的SNR。MAX11154 AIN+输入的有效RMS噪声为32μV，因此，来自缓冲器电路的附加噪声应保持在极低水平，以实现最高SNR性能。

表1. 推荐的MAX11154外部基准

PART	V _{OUT} (V)	TEMPERATURE COEFFICIENT (MAX)	INITIAL ACCURACY (%)	NOISE (0.1Hz TO 10Hz) (μV _{p-p})	PACKAGE
MAX6126	2.5, 3, 4.096, 5.0	3 (A), 5 (B)	0.06	1.35	μMAX-8 SO-8
MAX6325	2.5	1	0.04	1.5	SO-8
MAX6341	4.096	1	0.02	2.4	SO-8

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

3) THD性能：所用输入缓冲放大器的THD性能应与MAX11154的THD性能相当，以确保数字化信号的THD不会变差。

表2列出了适用于MAX11154的运算放大器。MAX9632具有支持MAX11154所需的全部性能，包括足够的带宽、足够低的噪声和失真。MAX9633为双通道放大器，作为缓冲器，可支持真正的伪差分采样。

传递函数

MAX11154的理想传递特征函数如图3所示，表3中列出了传递函数上各个点的精确位置。

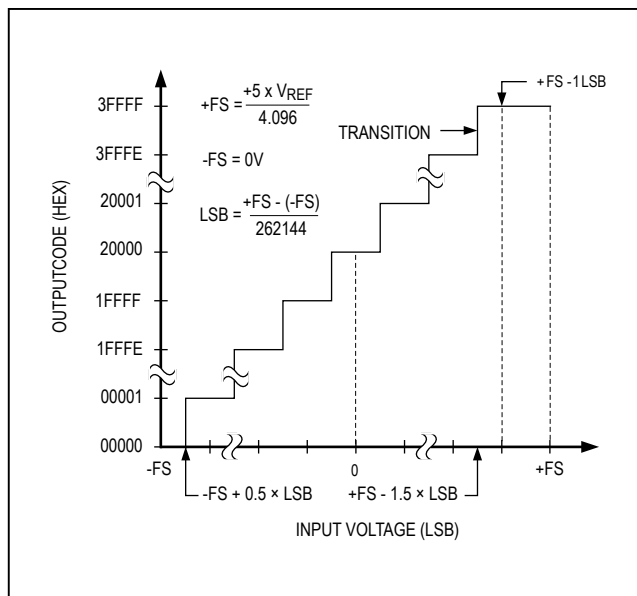


图3. 单极性传递函数

表2. 推荐用于MAX11154 ADC驱动的运算放大器

AMPLIFIER	INPUT-NOISE DENSITY (nV/√Hz)	SMALL-SIGNAL BANDWIDTH (MHz)	SLEW RATE (V/μs)	THD (dB)	I _{CC} (mA)	COMMENTS
MAX9632	1	55	30	-128	3.9	Low noise, THD at 10kHz
MAX9633	3	27	18	-128	3.5	Low noise, dual amp, THD at 10kHz

表3. 传递函数示例

CODE TRANSITION	BIPOLAR INPUT (V)	DIGITAL OUTPUT CODE (HEX)
+FS - 1.5 LSB	4.9999714	3FFFE - 3FFFF
Midscale + 0.5 LSB	2.5000095	20000 - 20001
Midscale	2.500000	20000
Midscale - 0.5 LSB	2.4999905	1FFFF - 20000
-FS + 0.5 LSB	0.0000095	00000 - 00001

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

输入配置接口

通过时钟速率最高50MHz的SPI接口控制MAX11154。输入配置数据在SCLK下降沿通过DIN引脚移入配置寄存器，DIN上的数据用于设置ADC配置寄存器，该寄存器的结构如表4所示。配置寄存器定义MAX11154的输出接口模式、基准模式和关断状态。

$\overline{CS}$ 模式下的配置

图4详细说明了MAX11154连接为 $\overline{CS}$ 模式时的输入配置寄存器装载时序(硬件连接见图6和图8)。SCLK保持为高电平时，在CNVST下降沿使能装载过程。在接下来的8个SCLK下降沿，配置数据通过DIN引脚移入配置寄存器。将CNVST拉为高电平时，完成输入配置寄存器装载过程。除输入配置寄存器读操作外，DIN应为空闲的高电平。

表4. ADC配置寄存器

BIT NAME	BIT	DEFAULT STATE	LOGIC STATE	FUNCTION
MODE	7:6	00	00	$\overline{CS}$ Mode, No-Busy Indicator
			01	$\overline{CS}$ Mode, with Busy Indicator
			10	Daisy-Chain Mode, No-Busy Indicator
			11	Daisy-Chain Mode, with Busy Indicator
REF	5:4	00	00	Reference Mode 0. Internal reference and reference buffer are both powered on.
			01	Reference Mode 1. Internal reference is turned off, but internal reference buffer powered on. Apply the external reference voltage at REFIO.
			10	Reference Mode 2. Internal reference is powered on, but the internal reference buffer is powered off. This mode allows for internal reference to be used with an external reference buffer.
			11	Reference Mode 3. Internal reference and reference buffer are both powered off. Apply an external reference voltage at REF.
SHDN	3	0	0	Normal Mode. All circuitry is fully powered up at all times.
			1	Static Shutdown. All circuitry is powered down.
Reserved	2:0	0	0	Reserved, Set to 0

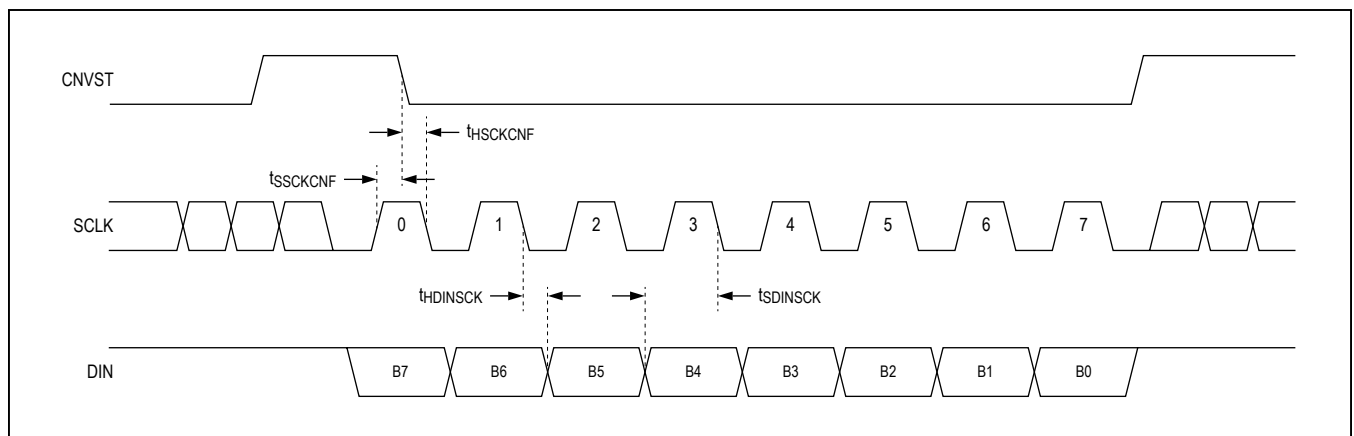


图4. $\overline{CS}$ 模式下的输入配置时序

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

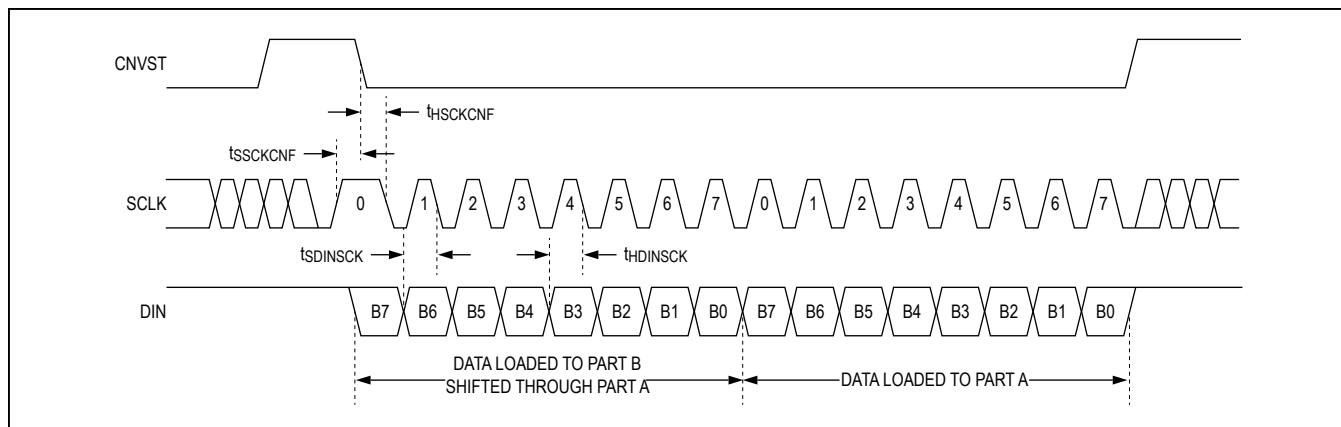


图5. 菊花链模式下的输入配置时序

菊花链模式下的配置

图5详细说明将MAX11154连接为菊花链架构时配置寄存器的装载过程(硬件连接见图12和图14)。SCLK保持为高电平时，在CNVST下降沿使能装载过程。菊花链模式下，输入配置寄存器通过DOUT至DIN以菊花链形式连接在一起。器件A的DOUT将驱动器件B的DIN。输入配置寄存器为8位先进先出移位寄存器。通过 $8 \times N$ 个SCLK下降沿，配置数据移入N次。链中MAX11154 ADC装载配置字节后，将CNVST拉高，完成配置寄存器装载过程。图5所示为装载两片菊花链配置器件时的配置序列。

装载寄存器后，装载到配置寄存器的数据在下一个转换周期更改MAX11154的状态。而内部基准缓冲器上电和REFIO引脚电压稳定将需要几个毫秒的时间才能达到18位精度。

关断模式

配置寄存器的SHDN位强制MAX11154进入、退出关断模式。SHDN置0时，正常工作；SHDN置1时，关断全部内部电路，并将全部寄存器复位至其默认状态。

输出接口

MAX11154可设置为四种输出模式之一：有/无“忙”指示的CS模式和有/无“忙”指示的菊花链模式。工作在没有“忙”指示状态时，用户必须在开始读回之前通过外部对最大ADC转换时间进行定时；带有“忙”指示工作时，用户将MAX11154的DOUT输出连接至数字主机的中断输入，并利用该中断触发输出数据的读操作。

无论使用何种输出接口，数字动作应限制在转换阶段的前半部分。SCLK或DIN跳变靠近采样位置时，也会造成采样精度变差。因此，在CNVST上升沿之前大约25ns及之后10ns使数字输入保持平稳。在随后的时序图中，将这些时间标注为 t_{SQ} 和 t_{HQ} 。

任何接口模式下，DOUT数据在SCLK的两个沿均有效。然而，如果数据在SCLK下降沿移入数字主机，输入至接收数字主机的建立时间最大。这样将允许在MAX11154和数字主机之间实现较高的数据传输率，从而实现较高的转换器吞吐量。

任何接口模式下，建议SCLK空闲时为低电平，以免在CNVST的下降沿触发输入配置写操作。如果器件在任何时间，在CNVST下降沿检测到SCLK高电平状态，将进入输入配置写操作模式，在下一个SCLK下降沿将DIN状态写入输入配置寄存器。

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

任何接口模式下，必须在读取新的转换位之前读取之前转换完成的全部数据位。读出转换数据时，如果SCLK下降沿太少而不能读出全部数据位，将在下一次读操作期间仅输出其余未读取的数据位。发生此类事件时，由于仅输出上次读操作的剩余位，将截断其它每次读操作的输出数据，表明给定读操作的SCLK下降沿不足，表5提供了指南，帮助用户选择适用于给定应用的输出接口模式。

无“忙”指示CS模式

单片MAX11154连接至SPI兼容数字主机时，无“忙”指示的CS模式理想用于最大吞吐率设计，连接图如图6所示，对应的时序如图7所示。

CNVST上升沿完成采集，启动转换，强制DOUT为高阻。连续执行转换，不考虑CNVST的状态，允许CNVST用作电路板上其它器件的选择线。如果CNVST在转换期间变为低电平，并在最大转换时间内保持为低电平，将在转换结束时输出MSB。

完成转换时，MAX11154进入采集阶段。将CNVST驱动为低电平，以将MSB输出至DOUT。其余数据位则由随后的SCLK下降沿驱动。第16个SCLK下降沿之后，或者CNVST变为高电平时，DOUT返回至高阻态。

表5. ADC输出接口模式选择指南

MODE	TYPICAL APPLICATION AND BENEFITS
$\overline{\text{CS}}$ Mode, No-Busy Indicator	Single or multiple ADCs connected to SPI-compatible digital host. Ideally suited for maximum throughput.
$\overline{\text{CS}}$ Mode, With Busy Indicator	Single ADC connected to SPI-compatible digital host with interrupt input. Ideally suited for maximum throughput.
Daisy-Chain Mode, No-Busy Indicator	Multiple ADCs connected to a SPI-compatible digital host. Ideally suited for multichannel simultaneous sampled isolated applications.
Daisy-Chain Mode, With Busy Indicator	Multiple ADCs connected to a SPI-compatible digital host with interrupt input. Ideally suited for multichannel simultaneous sampled isolated applications.

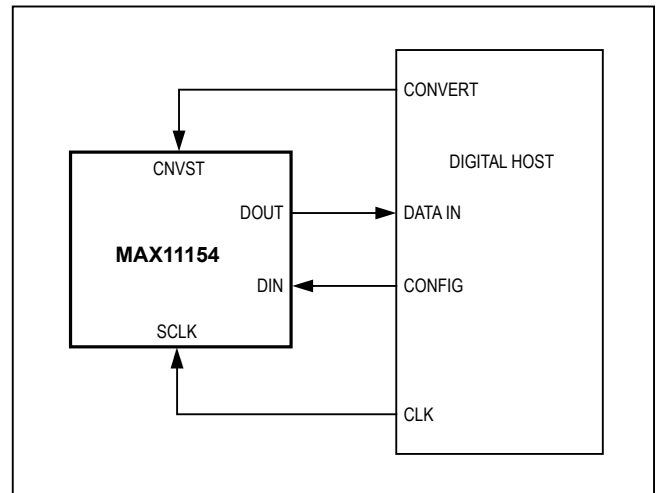


图6. 无“忙”指示CS模式连接图

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

带“忙”指示 $\overline{CS}$ 模式

带“忙”指示 $\overline{CS}$ 模式如图8所示，其中一片ADC连接至SPI兼容、带有中断输入的数字主机，对应时序图如图9所示。

CNVST上升沿完成采集，启动转换，强制DOUT为高阻。连续执行转换，不考虑CNVST的状态，允许CNVST用作电路板上其它器件的选择线。

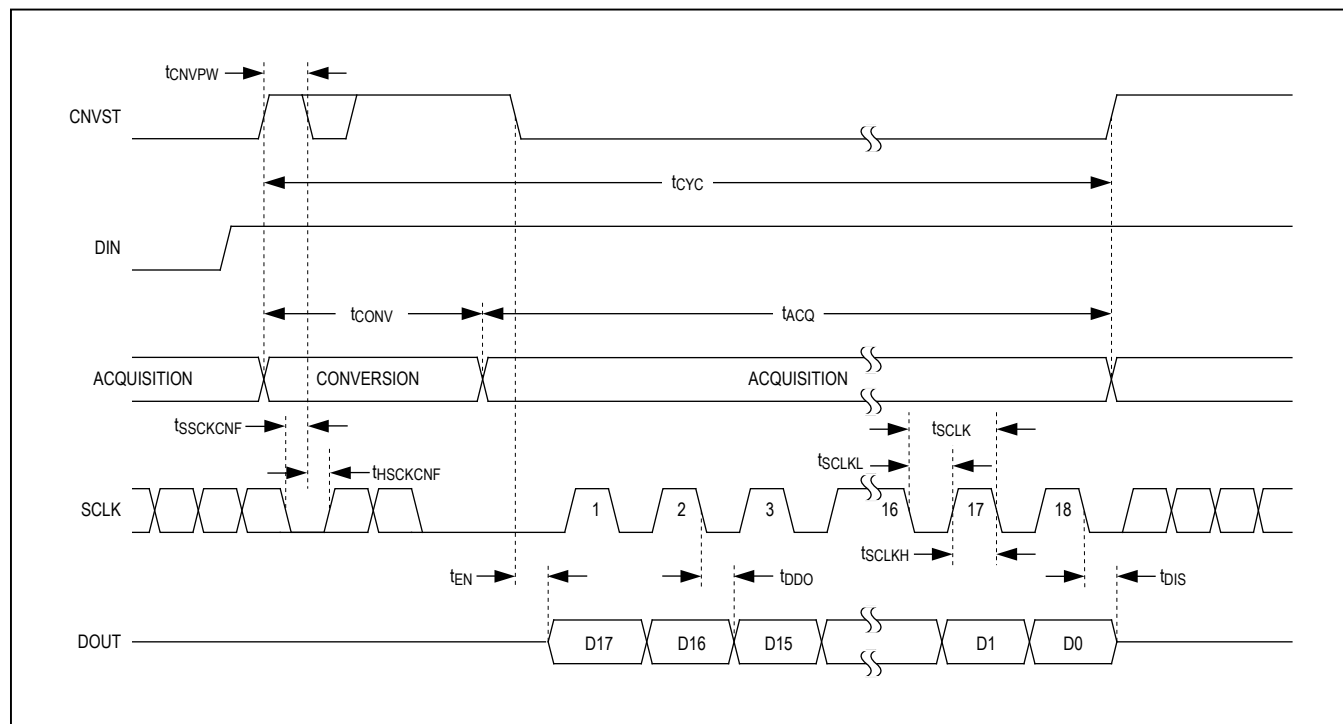


图7. 无“忙”指示 $\overline{CS}$ 模式时序

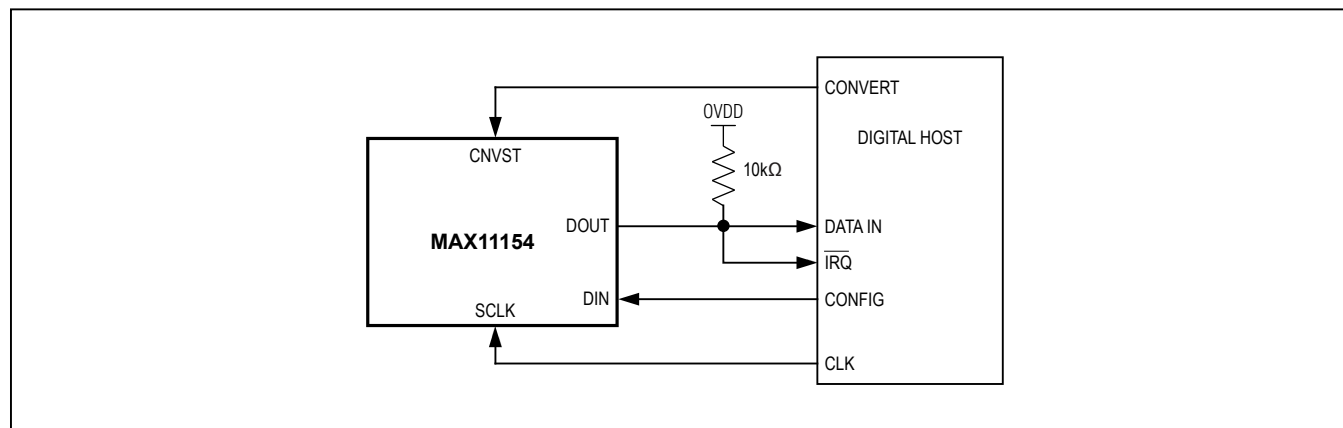


图8. 带“忙”指示 $\overline{CS}$ 模式连接图

MAX11154

18位、500ksps、内置基准的
0至5V SAR ADC，采用TDFN封装

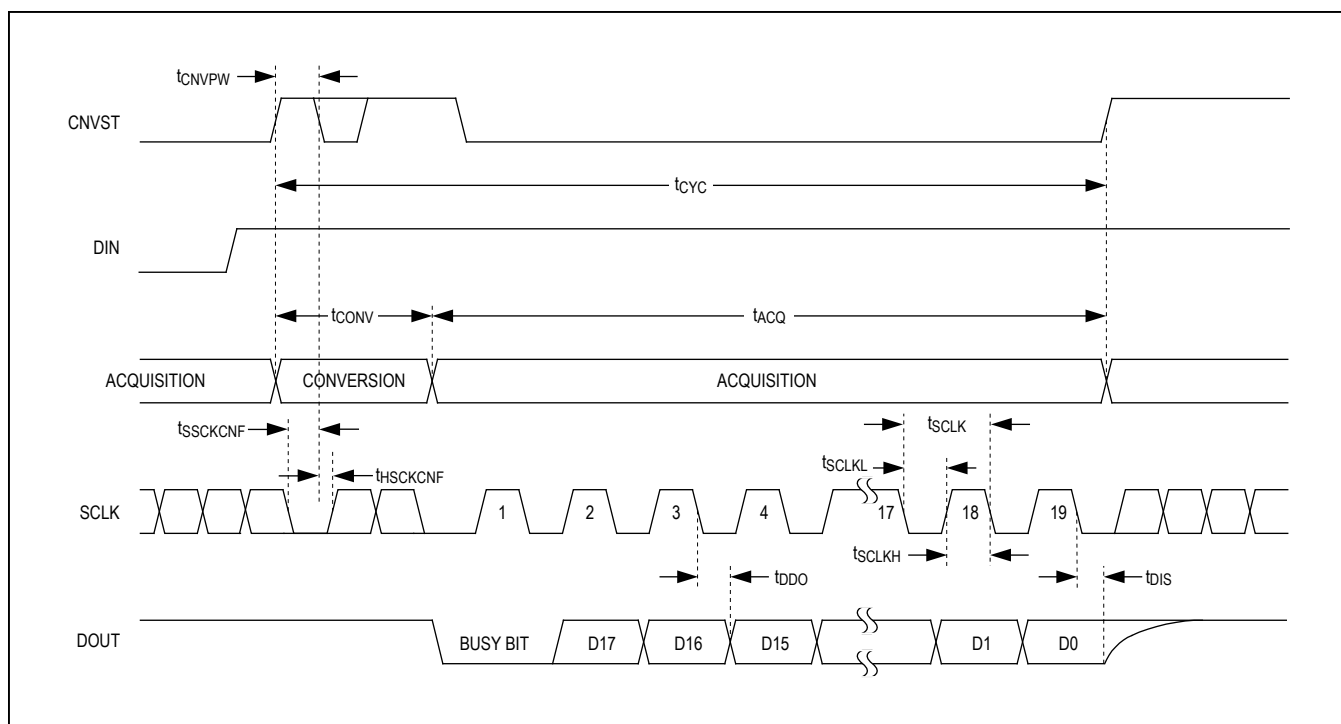


图9. 带“忙”指示CS模式时序

完成转换时，DOUT从高阻态跳变为逻辑低电平，通过中断输入通知数字主机开始回读数据。随后，MAX11154进入采集阶段。然后由后续的SCLK下降沿驱动移出数据位，

MSB在前。第17个SCLK下降沿之后或CNVST变为高电平时，DOUT返回至高阻态，然后通过外部上拉电阻拉至OVDD。

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

多通道CS配置、异步或同步采样

多片MAX11154 ADC连接到一个SPI兼容数字主机时，通常采用多通道CS配置。图10所示为使用两片MAX11154器件的连接图，图11所示为对应时序。

通过控制CS1和CS2信号沿，可实现异步或同步采样。图10中，数字主机共用DOUT总线，限制了吞吐率。如果主机独立支持每个ADC的DOUT引脚，则可实现最大吞吐率。

CNVST上升沿完成采集，启动转换，强制DOUT为高阻。连续执行转换，不考虑CNVST的状态，允许CNVST用作电

路板上其它器件的选择线。而CNVST必须在最小转换时间之前返回高电平才能正常工作，确保启动下次转换时有足够的采集时间，并可正确地从此器件读出数据。

完成转换时，MAX11154进入采集阶段。通过将CNVST输入拉为低电平，进而将MSB输出至DOUT，可读出每个ADC的结果。其余数据位则由随后的SCLK下降沿驱动。对于每个器件，其DOUT将在第16个SCLK下降沿后或CNVST变为高电平后返回至高阻态。这种控制方式允许多片器件共用相同的DOUT总线。

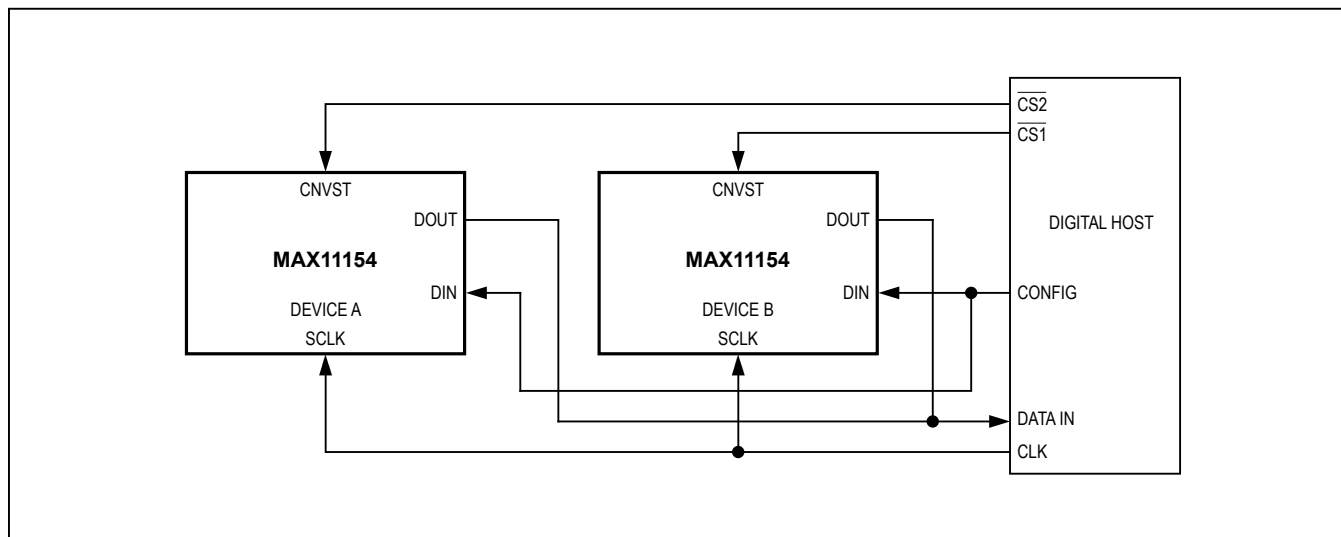


图10. 多通道CS配置图

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

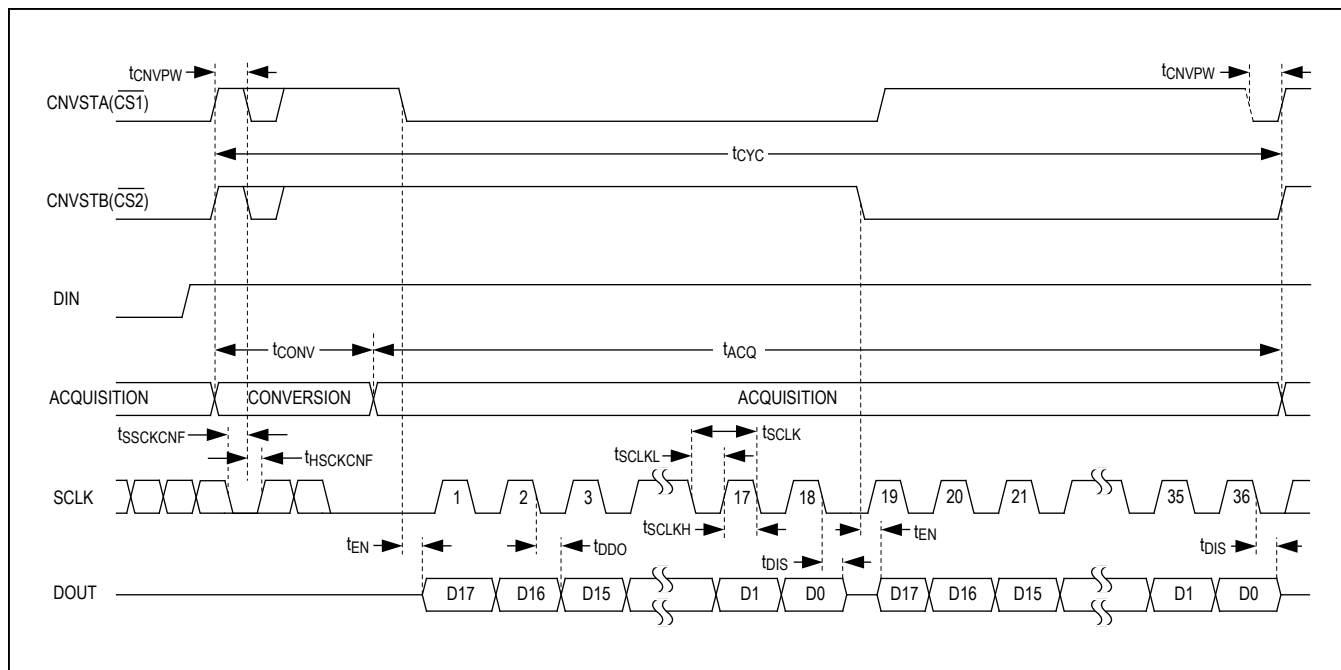


图11. 多通道CS配置时序

无“忙”指示菊链模式

无“忙”指示时，菊链模式可理想用于要求最简连线的多通道隔离应用。通过串行接口实现多个ADC通道的同步采样，数据读取类似于时钟驱动移位寄存器。图12所示为两片MAX11154菊链配置的连接图，对应时序图如图13所示。

CNVST上升沿完成采集并启动转换。一旦启动转换，则不考虑CNVST状态，连续执行转换。完成转换时，MSB输出至DOUT，MAX11154返回采集阶段，其余数据位储存在内部移位寄存器。为读取这些数据位，将CNVST拉低，在随后的SCLK下降沿移出每个数据位。链中每个ADC的DIN输入将转换数据从前一个ADC传送到下一个ADC的内部移位寄存器，允许在每个SCLK下降沿通过多芯片菊链移出数据。链中每个ADC首先输出其MSB数据，读回N个ADC需要 $16 \times N$ 个时钟。

菊链模式下，由于读操作时间增加，最大转换率减小。例如，以6ns或更小数字主机建立时间和3V接口为例，能够以菊

链形式连接最多四片转换速率为320ksps的MAX11154器件。

带“忙”指示菊链模式

带“忙”指示的菊链模式非常适合要求最简连线的多通道隔离应用，提供转换完成指示，可用于中断主机处理器，以读取数据。

通过串行接口实现多个ADC通道的同步采样，数据读取类似于时钟驱动移位寄存器。带“忙”指示的菊链模式如图14所示，三片MAX11154连接至SPI兼容数字主机，对应时序如图15所示。

CNVST上升沿完成采集并启动转换。一旦启动转换，则不考虑CNVST状态，连续执行转换。完成转换时，“忙”指示输出到每个DOUT，MAX11154返回采集阶段。链中最后一个ADC的“忙”指示可连接至数字主机的中断输入。数字主机应在收到中断与读取全部ADC数据之前插入50ns延时，以确保链中所有器件均完成转换。

MAX11154

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

转换数据储存在内部移位寄存器。为读取这些数据位，将CNVST拉低，在随后的SCLK下降沿移出每个数据位。链中每个ADC的DIN输入将转换数据从前一个ADC传送至下一个ADC的内部移位寄存器，允许在每个SCLK下降沿通

过多芯片菊链移出数据。从N个ADC读回全部数据所需的SCLK下降沿总数量为： $16 \times N + 1$ ，需要附加一个SCLK下降沿，从主机侧ADC移出“忙”模式位。

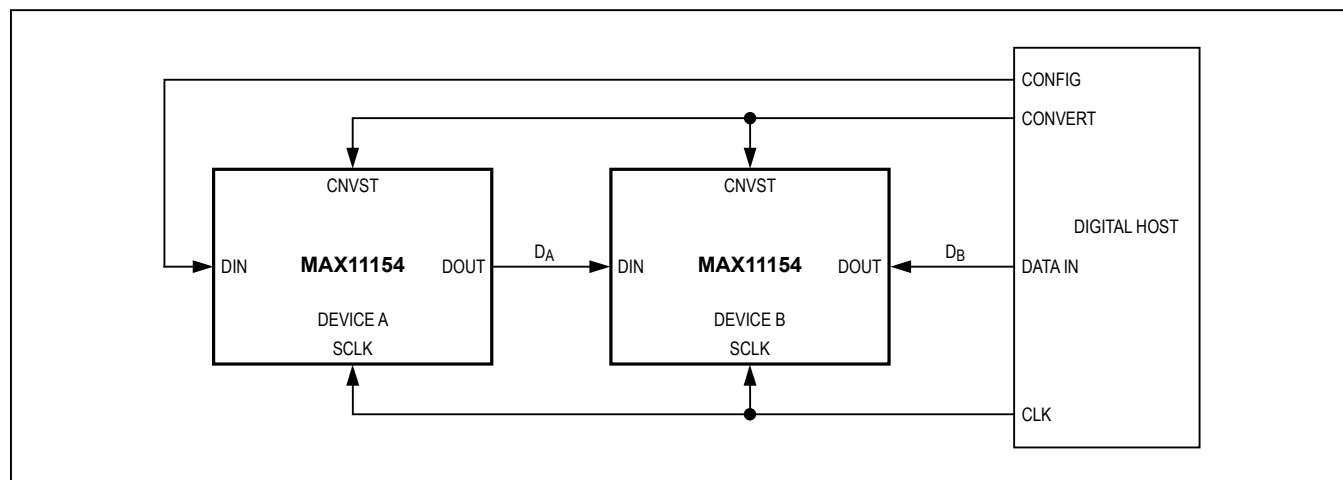


图12. 无“忙”指示菊花链模式连接图

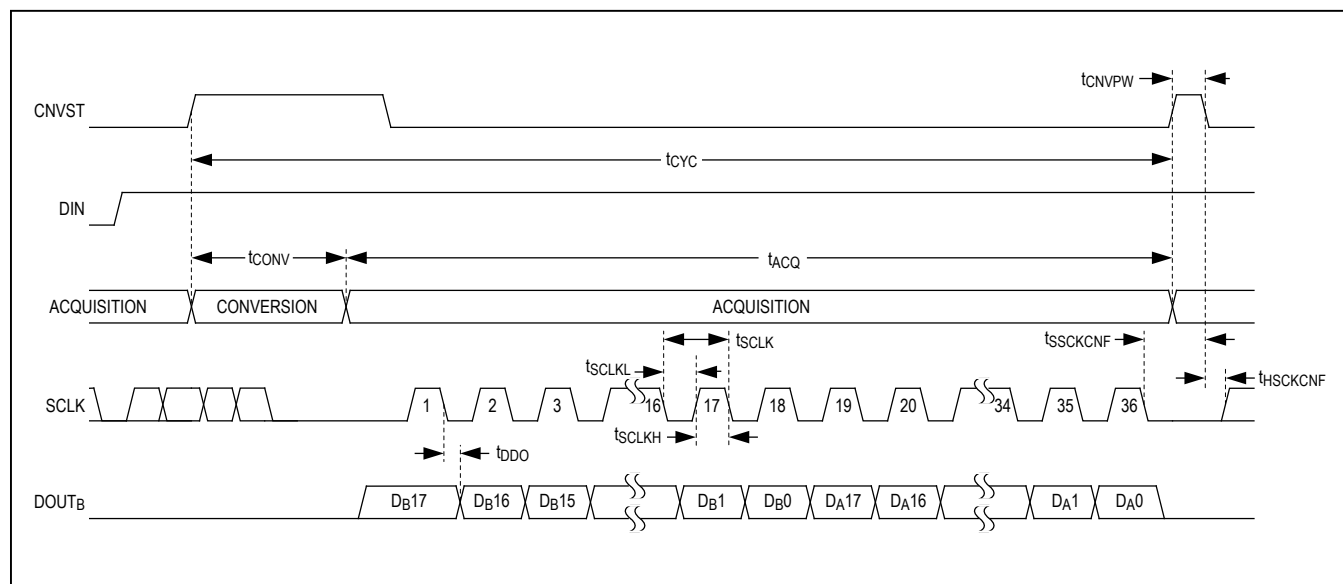


图13. 无“忙”指示菊花链模式时序

MAX11154

18位、500ksps、内置基准的
0至5V SAR ADC，采用TDFN封装

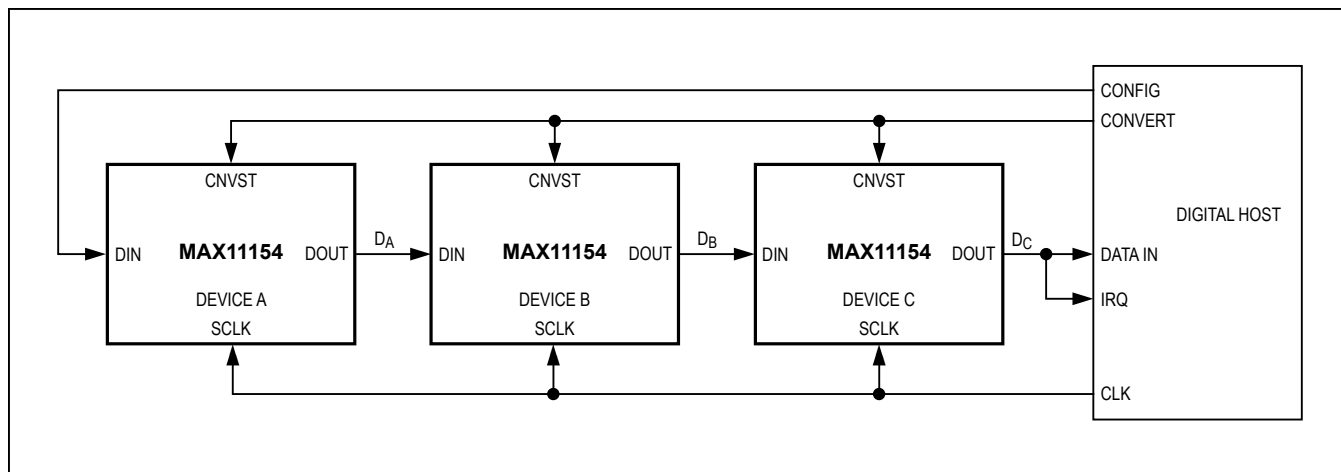


图14. 带“忙”指示菊链模式连接图

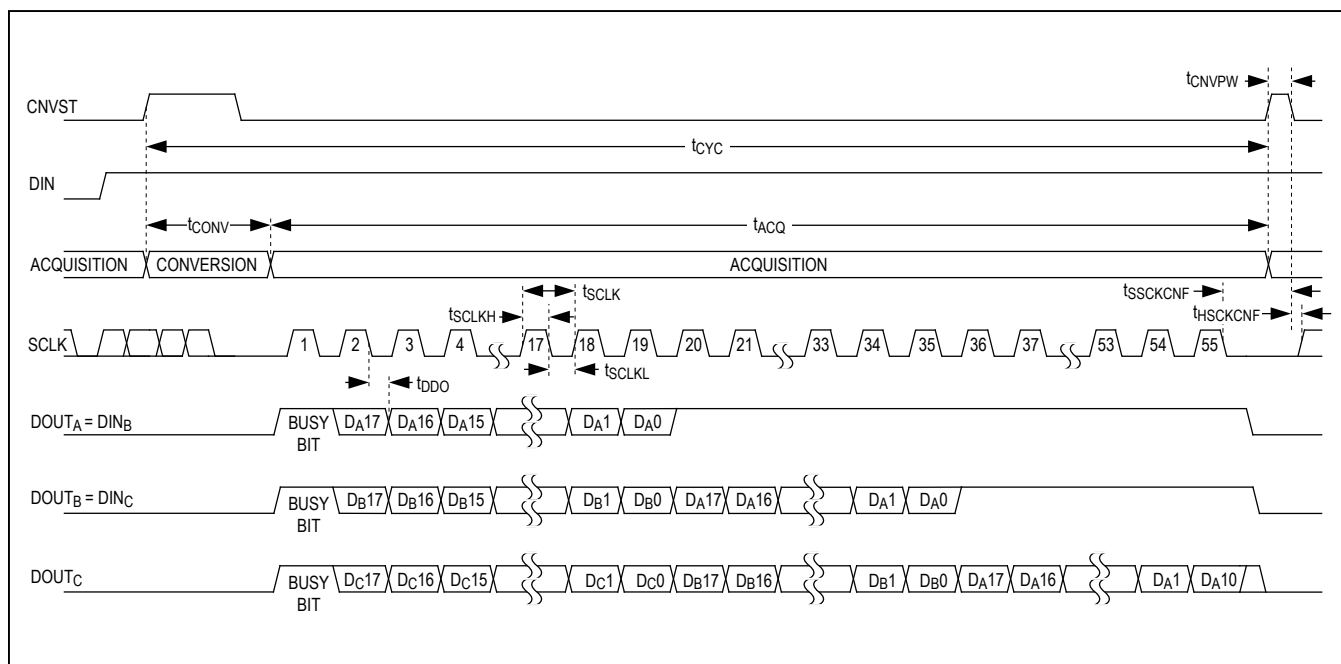


图15. 带“忙”指示菊链模式时序

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

菊链模式下，由于读操作时间增加，最大转换率减小。例如，以5ns或更小数字主机建立时间和3V接口为例，能够通过3线端口以菊链形式连接最多四片转换速率为317ksps的MAX11154器件。

布局、接地和旁路

为获得最佳性能，使用具有接地区域的PCB。确保数字和模拟信号线彼此保持隔离。请勿将模拟和数字线平行布置（尤其是时钟信号），避免在ADC封装下方布设数字线。采用单个连续GND区域配置、数字信号一个方向、模拟信号另一个方向，可实现最佳性能。将MAX11154的GND和AGNDS引脚连接至该接地区域。使电源的地返回线路阻抗尽可能小、引线尽可能短，以实现无噪声工作。

在AIN+与接地之间安装4.7nF C0G (或NPO)陶瓷电容，电容尽量靠近MAX11154放置。该电容可降低采样电路的等效感抗，降低输入信号的瞬变。

为获得最佳性能，利用X5R或X7R电介质、1210或更小外壳尺寸的16V、10μF贴片陶瓷电容，将REF输出连接至接地区域。确保全部旁路电容通过独立过孔直接连接到接地区域。

在每个芯片引脚利用0.1μF贴片陶瓷电容将V_{DD}和OVDD旁路至接地区域，尽量靠近器件放置，使寄生电感降至最小。在每个PCB上至少有一个10μF大容量电容，对V_{DD}和OVDD去耦。为了获得最佳性能，在MAX11154的模拟接口侧布置V_{DD}电源区域，在器件的数字接口侧布置OVDD电源区域。

定义

积分非线性

积分非线性(INL)是实际传递函数与理想传递函数直线的偏差。对于这些器件，这条直线是消除失调与增益误差后传递函数两个端点间的连线。

微分非线性

微分非线性(DNL)是实际台阶宽度与1个LSB的理想值之差。对于这些器件，每个数字输出码值的DNL都经过测量，并在Electrical Characteristics表中给出最大误差。小于±1

LSB的DNL误差保证不会产生失码，并可确保传递函数的单调性。

失调误差

对于MAX11154，在编码从0x00000跳变至0x00001时定义失调误差。从0x00000至0x00001的编码跳变应发生在模拟输入电压比GND高0.5 LSB或+9.5μV时。失调误差定义为产生编码从0x00000跳变为0x00001所需的实际模拟输入电压与理想模拟输入+9.5μV之间的偏差，以LSB表示。

增益误差

增益误差定义为理想模拟输入电压(5.0V/4.096V) × V_{REF} × (262142/262144)减去产生最大码值转换所需模拟输入电压与最小码值转换所需模拟输入电压之差。对于MAX11154，最大码值转换为0x3FFFE至0x3FFFF，最小码值转换为从0x00000至0x00001。对于MAX11154，产生这些码值转换所需的模拟输入电压均已经过测量，并从测量值中减去(5.0V/4.096V) × V_{REF} × (262142/262144)，计算得到增益误差。

信噪比

对于从数字采样完美重建的波形，信噪比(SNR)为满幅模拟输入功率与RMS量化误差(剩余误差)之比。理想情况下，理论上的最小模/数转换噪声仅包含量化误差，并直接由ADC的分辨率(N位)确定：

$$\text{SNR} = (6.02 \times N + 1.76)\text{dB}$$

实际上，除了量化噪声外还有其它噪声源：热噪声、基准噪声、时钟抖动等。SNR采用信号功率与噪声功率之比计算，噪声功率包括除基波、前五次谐波与直流失调以外的所有频谱成份。

信号与噪声+失真

信号与噪声+失真(SINAD)是基波输入频率的功率与所有其它ADC输出信号的功率之比：

$$\text{SINAD(dB)} = 10 \times \log \left[\frac{\text{Signal}}{(\text{Noise} + \text{Distortion})} \right]$$

18位、500ksps、内置基准的 0至5V SAR ADC，采用TDFN封装

有效位数

有效位数(ENOB)表示一个ADC在特定输入频率和采样率下的总体精度。理想的ADC误差仅包括量化误差。输入范围等于ADC满量程范围时，由下式计算ENOB：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02}$$

总谐波失真

总谐波失真(THD)是转换数据的前5次谐波包含的功率与基波功率之比，可以用下式表示：

$$\text{THD} = 10 \times \log \left[\frac{P_2^2 + P_3^2 + P_4^2 + P_5^2}{P_1^2} \right]$$

式中， P_1 为基波功率， P_2 至 P_5 为2次谐波至5次谐波的功率。

无杂散动态范围

无杂散动态范围(SFDR)是基波(信号成分最大值)功率与第二大频率成份的功率之比。

孔径延迟

孔径延迟(t_{AD})是从采样时钟沿至实际采样时刻之间的时间延迟。

孔径抖动

孔径抖动(t_{AJ})是采样之间的孔径延迟波动。

小信号带宽

向一个ADC施加一个小的-20dBFS模拟输入信号，同时确保信号的摆率不超过ADC性能限值。然后将输入频率提高到某个点，使数字转换结果的幅值降低3dB。

全功率带宽

将较大的-0.5dBFS模拟输入信号送入ADC，随着输入频率的升高数字转换结果将会下降，下降3dB时所对应的频点称为满功率输入带宽频率。

MAX11154

18位、500ksps、内置基准的
0至5V SAR ADC，采用TDFN封装

选型指南

PART	BITS	INPUT RANGE (V)	REFERENCE	PACKAGE	SPEED (ksps)
MAX11160	16	0 to 5	Internal	3mm x 5mm μ MAX-10	500
MAX11161	16	0 to 5	Internal	3mm x 5mm μ MAX-10	250
MAX11162	16	0 to 5	External	3mm x 5mm μ MAX-10	500
MAX11163	16	0 to 5	External	3mm x 5mm μ MAX-10	250
MAX11164	16	0 to 5	Internal/External	3mm x 3mm TDFN-12	500
MAX11165	16	0 to 5	Internal/External	3mm x 3mm TDFN-12	250
MAX11166	16	± 5	Internal/External	3mm x 3mm TDFN-12	500
MAX11167	16	± 5	Internal/External	3mm x 3mm TDFN-12	250
MAX11168	16	± 5	Internal	3mm x 5mm μ MAX-10	500
MAX11169	16	± 5	Internal	3mm x 5mm μ MAX-10	250
MAX11150	18	0 to 5	Internal	3mm x 5mm μ MAX-10	500
MAX11152	18	0 to 5	External	3mm x 5mm μ MAX-10	500
MAX11154	18	0 to 5	Internal/External	3mm x 3mm TDFN-12	500
MAX11156	18	± 5	Internal/External	3mm x 3mm TDFN-12	500
MAX11158	18	± 5	Internal	3mm x 5mm μ MAX-10	500

订购信息

器件	温度范围	引脚-封装
MAX11154ETC+T	-40°C至+85°C	12 TDFN-EP*

+表示无铅(Pb)/符合RoHS标准的封装。

T = 卷带包装。

*EP = 裸焊盘。

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
12 TDFN-EP	TD1233+1	21-0664	90-0397

MAX11154

18位、500ksps、内置基准的
0至5V SAR ADC，采用TDFN封装

修订历史

修订号	修订日期	说明	修改页
0	6/13	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

28

© 2013 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。