

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

概述

MAX11040K/MAX11060是一款24/16位、4通道同时采样 Σ - Δ 模/数转换器(ADC)。可最多级联8片器件，同时采样多达32个通道的数据。通过器件串口利用一条指令读取所有级联器件的数据。四个调制器同时转换每个通道的全差分模拟输入，数据输出速率可设置在0.25ksps至64ksps范围。工作在16ksps时，SNR高达106dB；工作在1ksps时，SNR高达117dB (MAX11040K)。器件采用+3V单电源供电，使用内部基准时，差分模拟输入量程为 $\pm 2.2V$ ；可以选择外部基准。每路输入均具有高达 $\pm 6V$ 的过压保护。时钟可以采用内部晶振或外部时钟源。

器件提供SPI™、QSPI™、MICROWIRE™和DSP兼容4线串口。板载接口逻辑信号允许串口(单个片选)控制多达8个级联器件或同时采样32路模拟输入通道。

器件可理想用于电源管理系统。每通道具有可调节采样相位功能，提供内部补偿，用于补偿由于外部分压器、变送器或输入滤波造成的相位偏移。输出数据速率能够以0.065%间隔(16ksps或以下)调节，以跟踪周期输入的频率变化。SYNC输入允许多个器件的转换定时与远端时钟源定期对准。

器件采用38引脚TSSOP封装，工作在-40°C至+105°C工业级温度范围。

应用

电力保护继电器设备

多相电源系统

工业数据采集系统

医疗仪表

订购信息

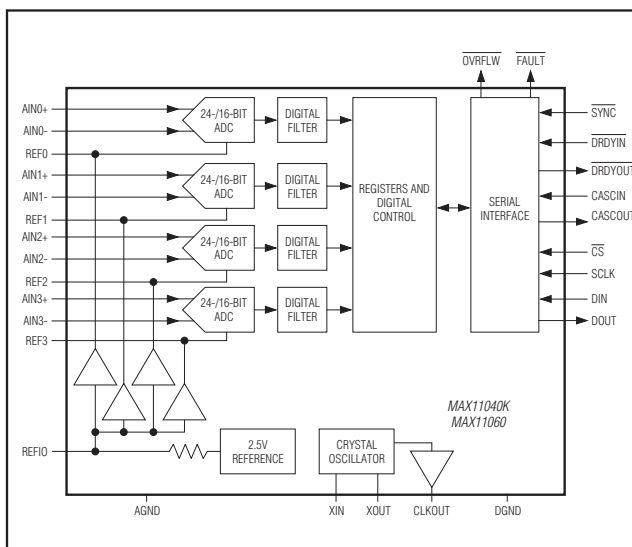
PART	TEMP RANGE	PIN-PACKAGE
MAX11040KGUU+	-40°C to +105°C	38 TSSOP
MAX11060GUU+	-40°C to +105°C	38 TSSOP

+表示无铅(Pb)/符合RoHS标准的封装。

特性

- ◆ 四路全差分同时采样通道
- ◆ 可级联同时采样多达32个通道
- ◆ 16ksps时具有106dB (MAX11040K) SNR
- ◆ 1ksps时具有117dB (MAX11040K) SNR
- ◆ 1000:1动态范围内，误差仅为0.25%，处理时间为16.7ms (MAX11040K)
- ◆ $\pm 2.2V$ 满量程输入范围
- ◆ $\pm 6V$ 过压保护输入
- ◆ 内部晶振
- ◆ 2.5V、50ppm/°C内部基准或外部基准
- ◆ 输出数据速率可设置在0.25ksps至64ksps范围
- ◆ 0.065%分辨率
- ◆ 可调节采样相位
- ◆ 0至333 μ s延迟，步长为1.33 μ s
- ◆ SPI/QSPI/MICROWIRE/DSP兼容4线串口
- ◆ 级联接口允许利用单个 $\overline{CS}$ 信号控制多达8个器件
- ◆ 3.0V至3.6V模拟供电电源
- ◆ 2.7V至 V_{AVDD} 数字供电电源
- ◆ 38引脚TSSOP封装

功能框图



MICROWIRE是National Semiconductor Corp.的商标。

SPI/QSPI是Motorola, Inc.的商标。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

ABSOLUTE MAXIMUM RATINGS

AVDD to AGND-0.3V to +4V
 DVDD to DGND-0.3V to (V_{AVDD} + 0.3V)
 AGND to DGND-0.3V to +0.3V
 DIN, SCLK, $\overline{\text{CS}}$, XIN, SYNC, DRDYIN,
 CASCIN to DGND-0.3V to (V_{DVDD} + 0.3V)
 DOUT, DRDYOUT, CASCOUT, CLKOUT,
 XOUT to DGND-0.3V to (V_{DVDD} + 0.3V)
 FAULT, $\overline{\text{OVRFLW}}$ to DGND-0.3V to +4.0V
 AIN₊ to AIN₋-6.0V to +6.0V
 AIN₊ to AGND (V_{AVDD} $\geq$ 3V, V_{DVDD} $\geq$ 2.7V, FAULTDIS = 0,
 SHDN = 0, f_{XIN CLOCK} $\geq$ 20MHz)-6.0V to +6.0V

AIN₋ to AGND (V_{AVDD} < 3V or V_{DVDD} < 2.7V or FAULTDIS = 1
 or SHDN = 1 or f_{XIN CLOCK} < 20MHz)-3.5V to +3.5V
 REFIO, REF₋ to AGND-0.3V to (V_{AVDD} + 0.3V)
 Maximum Current into Any Pin50mA
 Continuous Power Dissipation (T_A = +70°C)
 TSSOP (derated 13.7mW/°C above +70°C)1096mW
 Operating Temperature Range-40°C to +105°C
 Storage Temperature Range-60°C to +150°C
 Junction Temperature+150°C
 Lead Temperature (soldering, 10s)+300°C
 Soldering Temperature (reflow)+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{AVDD} = +3.0V to +3.6V, V_{DVDD} = +2.7V to V_{AVDD}, f_{XIN CLOCK} = 24.576MHz, f_{OUT} = 16ksps, V_{REFIO} = +2.5V (external), C_{REFIO} = C_{REF0} = C_{REF1} = C_{REF2} = C_{REF3} = 1 μ F to AGND, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 2)						
Resolution		MAX11040K	24			Bits
		MAX11060	16			
Differential Nonlinearity	DNL	24-bit no missing code (MAX11040K); 16-bit no missing code (MAX11060)		0.1		LSB
Integral Nonlinearity (Note 3)	INL	T _A = +25°C and +105°C (MAX11040K)		0.001	0.004	%FS
		T _A = -40°C (MAX11040K)			0.006	
		MAX11060		0.001		
Offset Error			-1		+1	mV
Gain Error		(Note 4)	-1		+1	%FS
Offset-Error Drift		(Note 5)		0.5		ppm/°C
Gain-Error Drift		(Note 5)		1		ppm/°C
Change in Gain Error vs. f _{OUT}		f _{OUT} = 0.25ksps to 64ksps		< 0.025		% FS
Channel-to-Channel Gain Matching				0.03		% FS
DYNAMIC SPECIFICATIONS (62.5Hz sine-wave input, 2.17V_{p-p})						
Signal-to-Noise Ratio	SNR	(Note 6) (MAX11040K)	103	106		dB
		(Note 6) (MAX11060)		94.5		
Total Harmonic Distortion	THD	T _A = +25°C and +105°C (MAX11040K)			-94	dB
		T _A = -40°C (MAX11040K)			-90	
		MAX11060			-106	
Signal-to-Noise Plus Distortion	SINAD	T _A = +25°C and +105°C (MAX11040K)	93	98		dB
		T _A = -40°C (MAX11040K)	89			
		MAX11060		94		
Spurious-Free Dynamic Range	SFDR	T _A = +25°C and +105°C (MAX11040K)	94	100		dB
		T _A = -40°C (MAX11040K)	89			
		MAX11060		100		
Relative Accuracy (Note 7)		0.1%FS input (MAX11040K)			0.25	%
		6.0%FS input (MAX11040K)			0.005	

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

ELECTRICAL CHARACTERISTICS (continued)

(V_{AVDD} = +3.0V to +3.6V, V_{DVDD} = +2.7V to V_{AVDD} , f_{XIN} CLOCK = 24.576MHz, f_{OUT} = 16ksps, V_{REFIO} = +2.5V (external), C_{REFIO} = C_{REF0} = C_{REF1} = C_{REF2} = C_{REF3} = 1 μ F to AGND, T_A = T_{MIN} to T_{MAX} , unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Bandwidth		-3dB		3.4		kHz
Latency		(Note 8)		405		μ s
Passband Flatness		From DC to 1.4kHz		< 0.1		dB
Amplitude-Dependent Phase Error		FS vs. 0.1% FS		< 0.01	0.12	Degrees
Channel-to-Channel Phase Matching				0.0001		Degrees
Phase-Error Drift				0.001		Degrees
Channel-to-Channel Isolation				-130		dB
Common-Mode Rejection	CMRR			109		dB
ANALOG INPUTS (AIN_+, AIN_-)						
Differential FS Input Range	V_{IN}	$V_{AIN_+} - V_{AIN_-}$	-2.2		+2.2	V
Single-Ended Positive Input Range	V_{AIN_+}	Referenced to AGND	-2.2		+2.2	V
Single-Ended Negative Input Range	V_{AIN_-}	Referenced to AGND	-2.2		+2.2	V
Positive Fault Threshold	V_{PFT}	V_{AIN_+} or V_{AIN_-} (Note 9)	2.25		2.65	V
Negative Fault Threshold	V_{NFT}	V_{AIN_+} or V_{AIN_-} (Note 9)	-2.65		-2.25	V
Fault Pin Response Time				2.5		μ s
Input Impedance	Z_{IN}	$V_{NFT} \leq V_{IN} \leq V_{PFT}$		130		$k\Omega$
		$V_{IN} < V_{NFT}$ or $V_{IN} > V_{PFT}$		> 0.5		
DC Leakage Current	I_{IN}	$V_{AIN_+} = V_{AIN_-}$		± 0.01	± 1	μ A
Input Sampling Rate	f_S	$f_S = f_{XINCLOCK}/8$		3.072		Msps
Input Sampling Capacitance				4.0		pF
INTERNAL REFERENCE						
REFIO Output Voltage	V_{REF}	$T_A = T_{MAX}$	2.4	2.5	2.6	V
REFIO Output Resistance				1		$k\Omega$
REFIO Temp Drift				50		ppm/°C
REFIO Long-Term Stability				200		ppm/1000hr
REFIO Output Noise				3		μ V _{RMS}
REFIO Power-Supply Rejection	PSRR			75		dB
EXTERNAL REFERENCE						
REFIO Input Voltage	V_{REF}		2.3		2.7	V
REFIO Sink Current				200		μ A
REFIO Source Current				200		μ A
REFIO Input Capacitance				10		pF
CRYSTAL OSCILLATOR (XIN, XOUT)						
Tested Resonant Frequency		(Note 10)		24.576		MHz
Maximum Crystal ESR				30		Ω
Oscillator Startup Time				< 2		ms
Oscillator Stability		$V_{DVDD} = 3.3V$, excluding crystal		10		ppm/°C
Maximum Oscillator Load				10		pF

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

ELECTRICAL CHARACTERISTICS (continued)

(V_{AVDD} = +3.0V to +3.6V, V_{DVDD} = +2.7V to V_{AVDD} , $f_{XIN\ CLOCK}$ = 24.576MHz, f_{OUT} = 16ksps, V_{REFIO} = +2.5V (external), C_{REFIO} = C_{REF0} = C_{REF1} = C_{REF2} = C_{REF3} = 1 μ F to AGND, T_A = T_{MIN} to T_{MAX} , unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS (SCLK, $\overline{CS}$, DIN, SYNC, CASCIN, $\overline{DRDYIN}$, XIN)						
Input Low Voltage	V_{IL}				0.3 x V_{DVDD}	V
Input High Voltage	V_{IH}		0.7 x V_{DVDD}			V
Input Hysteresis	V_{HYS}	V_{DVDD} = 3.0V		100		mV
Input Leakage Current	I_L		± 0.01		± 1	μ A
Input Capacitance	C_{IN}			15		pF
CMOS DIGITAL OUTPUTS (DOUT, CASCOUT, $\overline{DRDYOUT}$, CLKOUT)						
Output Low Voltage	V_{OL}	I_{SINK} = 5mA			0.15 x V_{DVDD}	V
Output High Voltage	V_{OH}	I_{SOURCE} = 1mA	0.85 x V_{DVDD}			V
Three-State Leakage Current	I_{LT}				± 1	μ A
Three-State Capacitance	C_{OUT}			15		pF
OPEN-DRAIN DIGITAL OUTPUTS ($\overline{OVRFLW}$, FAULT)						
Output Low Voltage	V_{OL}	I_{SINK} = 5mA			0.15 x V_{DVDD}	V
Output High Voltage	V_{OH}	Internal pullup only	0.85 x V_{DVDD}			V
Internal Pullup Resistance				30		k Ω
POWER REQUIREMENTS						
Analog Supply Voltage	V_{AVDD}		3.0		3.6	V
Digital Supply Voltage	V_{DVDD}		2.7		V_{AVDD}	V
Analog Supply Current (Note 11)	I_{AVDD}	Normal operation		25	35	mA
		Shutdown and $f_{XINCLOCK}$ = 0Hz		0.1	5	μ A
Digital Supply Current (Note 11)	I_{DVDD}	Normal operation		11	15	mA
		Shutdown and $f_{XINCLOCK}$ = 0Hz		0.3		μ A
AC Positive-Supply Rejection		V_{AVDD} = 3.3V + 100mV _{p-p} at 1kHz		70		dB
DC Positive-Supply Rejection		V_{AVDD} = V_{DVDD} = 3.0V to 3.6V		75		dB
ESD PROTECTION						
All Pins	ESD	Human Body Model		2.5		kV
TIMING CHARACTERISTICS (Figures 7–10)						
SCLK Clock Period	t_{SCP}		50			ns
SCLK Pulse Width (High and Low)	t_{PW}		20			ns
DIN or $\overline{CS}$ to SCLK Fall Setup	t_{SU}		10			ns
SCLK Fall to DIN Hold	t_{HD}		0			ns
SCLK Rise to $\overline{CS}$ Rise	t_{CSH1}		0			ns

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

ELECTRICAL CHARACTERISTICS (continued)

(V_{AVDD} = +3.0V to +3.6V, V_{DVDD} = +2.7V to V_{AVDD} , $f_{XIN\ CLOCK}$ = 24.576MHz, f_{OUT} = 16ksps, V_{REFIO} = +2.5V (external), C_{REFIO} = C_{REF0} = C_{REF1} = C_{REF2} = C_{REF3} = 1 μ F to AGND, T_A = T_{MIN} to T_{MAX} , unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Rise to DOUT Valid	t_{DOT}	C_{LOAD} = 30pF	1.5	10	16	ns
		C_{LOAD} = 100pF		< 16		
$\overline{CS}$ Fall to DOUT Enable	t_{DOE}	C_{LOAD} = 30pF	0.3		20	ns
$\overline{CS}$ Rise to DOUT Disable	t_{DOD}	C_{LOAD} = 30pF	0.7		16	ns
$\overline{CS}$ Pulse Width	t_{CSW}		16			ns
CASCIN-to-SCLK Rise Setup	t_{SC}		16			ns
SCLK Rise to CASCOUT Valid	t_{COT}	C_{LOAD} = 100pF			20	ns
$\overline{SYNC}$ Pulse Width	t_{SYN}		2			XIN Clock Cycles
XIN Clock Pulse Width	t_{XPW}		16			ns
$\overline{DRDYIN}$ to $\overline{DRDYOUT}$	t_{DRDY}	C_{LOAD} = 30pF			20	ns
XIN Clock to $\overline{DRDYOUT}$ Delay	t_{XDRDY}	$\overline{DRDYIN}$ = DGND			40	ns
XIN Clock Period	t_{XP}		40			ns
XIN Clock to $\overline{SYNC}$ Setup	t_{SS}	(Note 12)	16			ns
$\overline{SYNC}$ to XIN Clock Hold	t_{HS}	(Note 12)	5			ns
XIN-to-CLKOUT Delay	t_{XCD}				40	ns
Power-On Reset Delay		(Note 13)		< 1		ms

Note 1: Devices are production tested at +105°C. Specifications to -40°C are guaranteed by design.

Note 2: Tested at V_{AVDD} = V_{DVDD} = +3.0V.

Note 3: Integral nonlinearity is the deviation of the analog value at any code from its ideal value after the offset and gain errors are removed.

Note 4: Offset nulled.

Note 5: Offset and gain drift defined as change in offset and gain error vs. full scale.

Note 6: Noise measured with A_{IN+} = A_{IN-} = AGND.

Note 7: Relative accuracy is defined as the difference between the actual RMS amplitude and the ideal RMS amplitude of a 62.5Hz sine wave, measured over one cycle at a 16ksps data rate, expressed as a fraction of the ideal RMS amplitude. The relative accuracy specification refers to the maximum error expected over 1 million measurements. Calculated from SNR. Not production tested.

Note 8: Latency is a function of the sampling rate and XIN clock.

Note 9: Voltage levels below the positive fault threshold and above the negative fault threshold, relative to AGND on each individual A_{IN+} and A_{IN-} input, do not trigger the analog input protection circuitry.

Note 10: Test performed using RXD MP35.

Note 11: All digital inputs at DGND or DVDD.

Note 12: $\overline{SYNC}$ is captured by the subsequent XIN clock if this specification is violated.

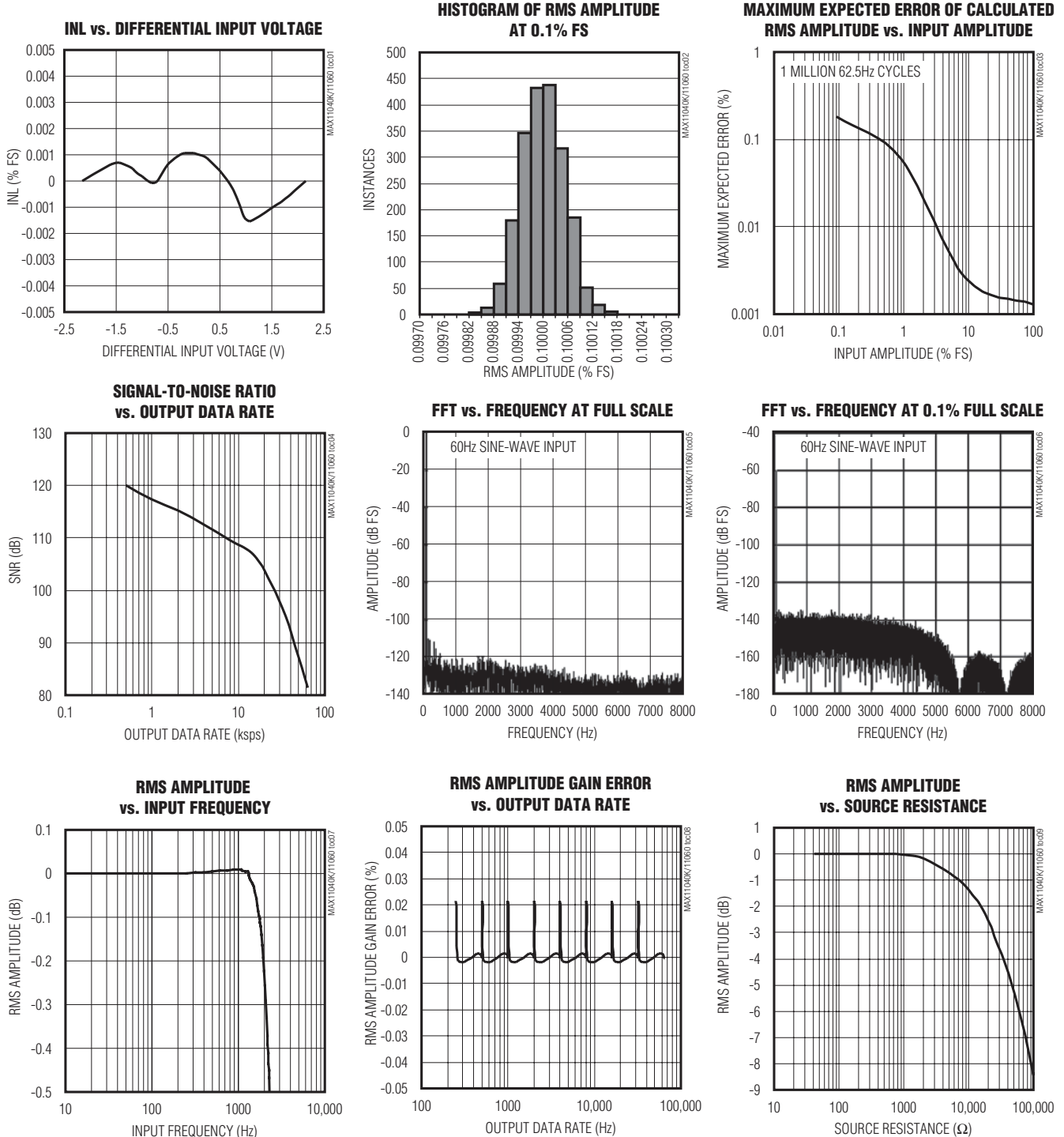
Note 13: Delay from DVDD exceeds 2.0V until digital interface is operational.

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

典型工作特性(MAX11040K)

($V_{AVDD} = V_{DVDD} = 3.3V$, $f_{XIN\ CLOCK} = 24.576MHz$, $f_{OUT} = 16ksps$, $V_{REFIO} = 2.5V$ (external), $C_{REFIO} = C_{REF0} = C_{REF1} = C_{REF2} = C_{REF3} = 1\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

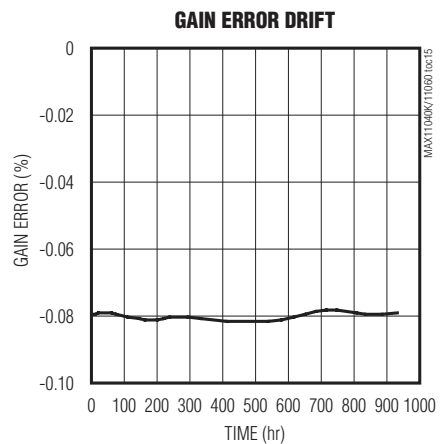
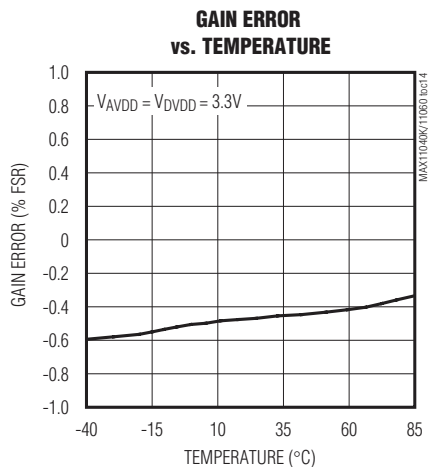
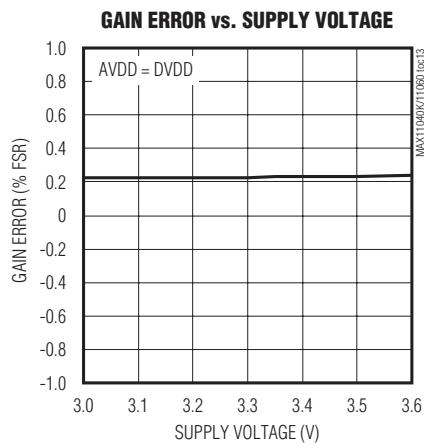
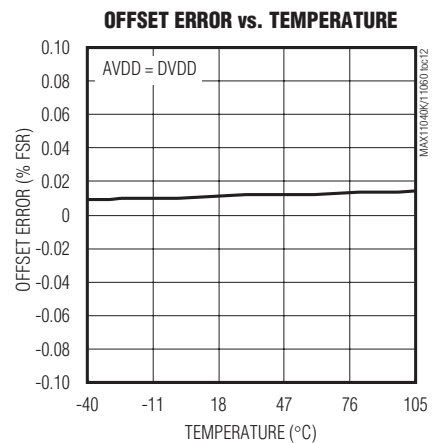
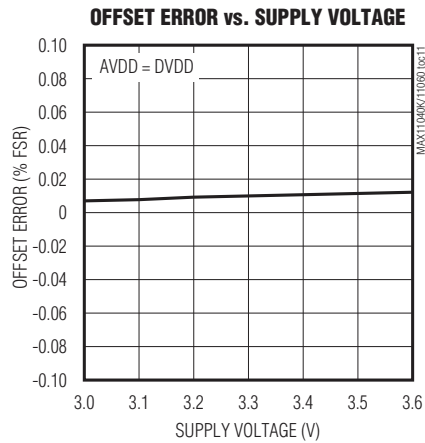
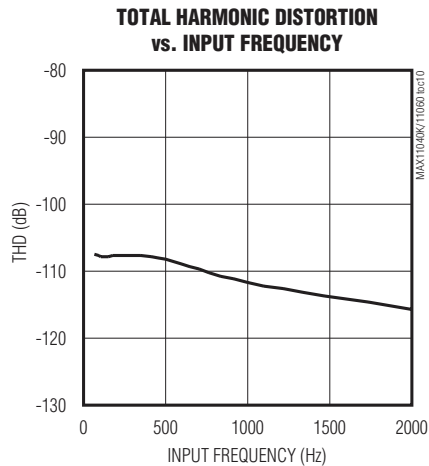


MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

典型工作特性(MAX11040K续)

($V_{AVDD} = V_{DVDD} = 3.3V$, $f_{XIN\ CLOCK} = 24.576MHz$, $f_{OUT} = 16ksps$, $V_{REFIO} = 2.5V$ (external), $C_{REFIO} = C_{REF0} = C_{REF1} = C_{REF2} = C_{REF3} = 1\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)

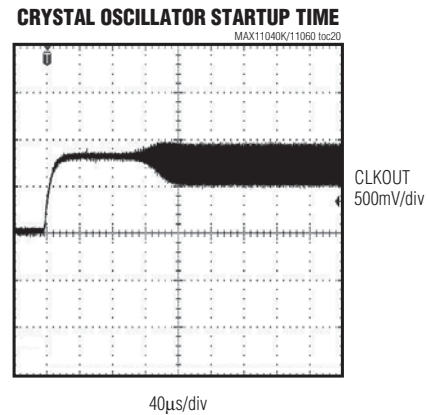
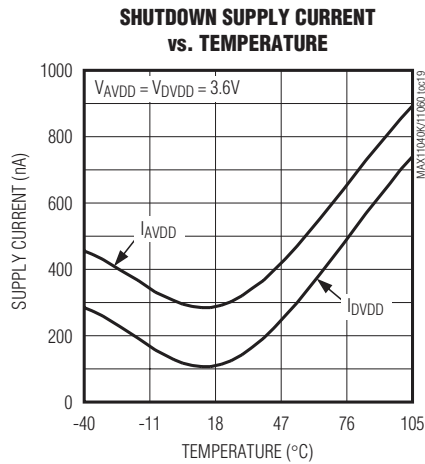
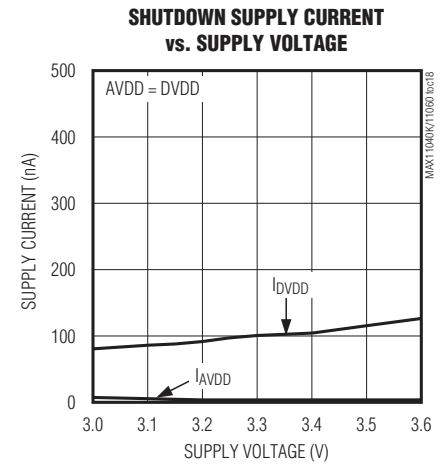
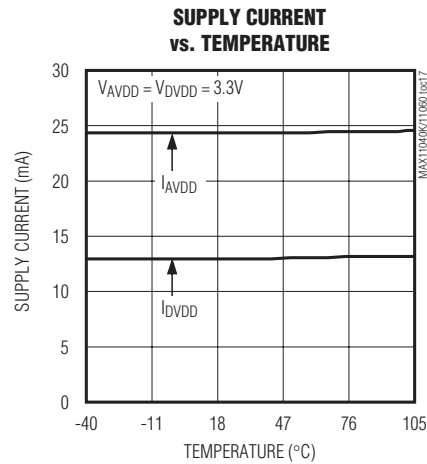
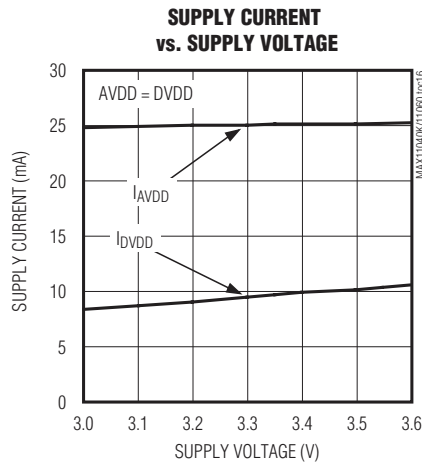


MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

典型工作特性(MAX11040K续)

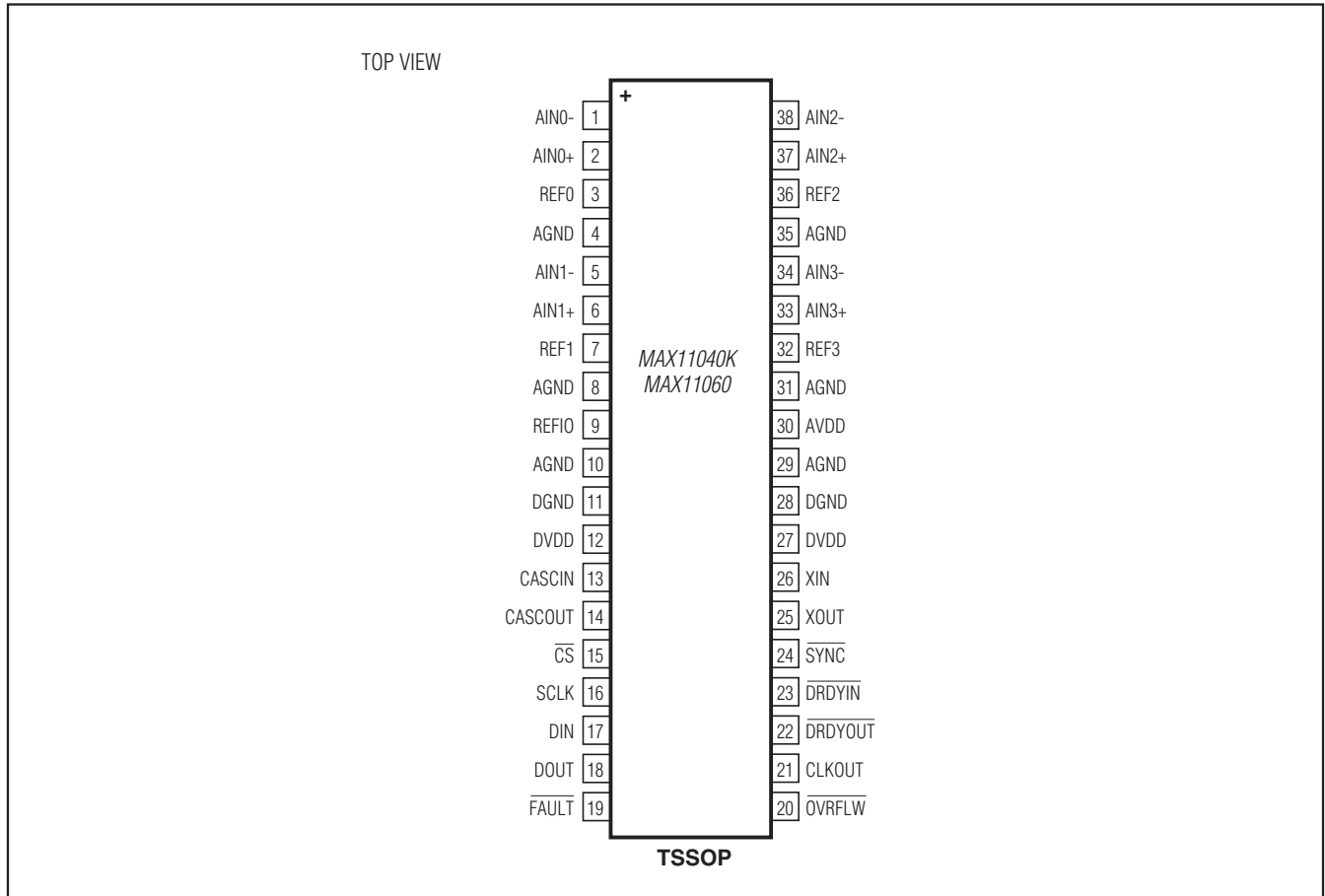
($V_{AVDD} = V_{DVDD} = 3.3V$, $f_{XIN\ CLOCK} = 24.576MHz$, $f_{OUT} = 16ksps$, $V_{REFIO} = 2.5V$ (external), $C_{REFIO} = C_{REF0} = C_{REF1} = C_{REF2} = C_{REF3} = 1\mu F$, $T_A = +25^\circ C$, unless otherwise noted.)



MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

引脚配置



引脚说明

引脚	名称	功能
1	AIN0-	模拟输入通道0，负端。
2	AIN0+	模拟输入通道0，正端。
3	REF0	ADC0缓冲电压基准，利用1 μ F电容将REF0旁路至AGND。
4, 8, 10, 29, 31, 35	AGND	模拟地。
5	AIN1-	模拟输入通道1，负端。
6	AIN1+	模拟输入通道1，正端。
7	REF1	ADC1缓冲电压基准，利用1 μ F电容将REF1旁路至AGND。
9	REFIO	基准电压输出/输入，用于模/数转换器的基准电压。内部基准模式下，基准缓冲器提供+2.5V标称输出；外部基准模式下，利用2.3V至2.7V的外部基准过驱动REFIO。利用1 μ F电容将REFIO旁路至AGND。

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

引脚说明(续)

引脚	名称	功能
11, 28	DGND	数字地。
12, 27	DVDD	正数字电源电压。利用1 μ F电容与0.01 μ F电容并联将每个DVDD旁路至DGND，电容尽量靠近器件放置。
13	CASCIN	级联输入。 $\overline{CS}$ 为低电平时，在字节传输的最后一个周期拉低CASCIN，器件将在后续字节中通过DIN和DOUT执行数据传输请求。完成请求传输后，在新命令发出之前，器件将DOUT保持为三态并忽略DIN输入。CASCIN在SCLK的上升沿移入。不采用菊链方式级联多个器件时，将CASCIN连接至DGND。推荐连接请参考多器件连接部分。
14	CASCOUT	级联输出。在数据传输最后字节的最后一个周期拉低CASCOUT，指示菊链的下一器件从下个字节开始传输数据。在SCLK上升沿之后更改CASCOUT状态。不采用菊链方式级联多个器件时，将CASCOUT浮空。请参考多器件连接部分。
15	$\overline{CS}$	低电平有效片选输入。CASCIN为逻辑低时， $\overline{CS}$ 的下降沿触发DIN和DOUT进行数据传输。 $\overline{CS}$ 为高电平时将阻止数据移入DIN，并将DOUT置于高阻状态。
16	SCLK	串行时钟输入。在SCLK的下降沿将DIN数据移入，在SCLK的上升沿将数据移出至DOUT。SCLK空闲时必须为高电平(CPOL = 1)。
17	DIN	串行数据输入。在SCLK的下降沿将DIN数据移入。
18	DOUT	串行数据输出。CASCIN为低电平时， $\overline{CS}$ 的下降沿使能DOUT驱动；或者 $\overline{CS}$ 为低电平时，由CASCIN的下降沿使能DOUT驱动。 $\overline{CS}$ 为高电平，或者响应请求命令时已经传输了相应数量的数据字节后，DOUT被禁用/置于三态。在SCLK的上升沿将数据移出至DOUT。
19	$\overline{FAULT}$	低电平有效过压故障指示输出。模拟输入超过故障门限范围(V_{PFT} 和 V_{NFT} 之间)时， $\overline{FAULT}$ 变为低电平。 $\overline{FAULT}$ 为开漏输出，具有30k Ω 内部上拉电阻，允许线或功能。参见模拟输入过压和故障保护部分。
20	$\overline{OVRFLW}$	低电平有效通道数据溢出输出。当一路或多路模拟输入通道的转换结果超出正负满量程限定的电压范围时，或者 $\overline{FAULT}$ 变为低电平时， $\overline{OVRFLW}$ 变为低电平。 $\overline{OVRFLW}$ 为开漏输出，具有30k Ω 内部上拉电阻，允许线或功能。参见模拟输入过压和故障保护部分。
21	CLKOUT	缓冲时钟输出。配置寄存器中的XTALEN位为1，且在XIN和XOUT之间安装晶体时，CLKOUT提供内部振荡器时钟的缓冲。如果将XTALEN位置0，则将CLKOUT置于高阻状态。

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

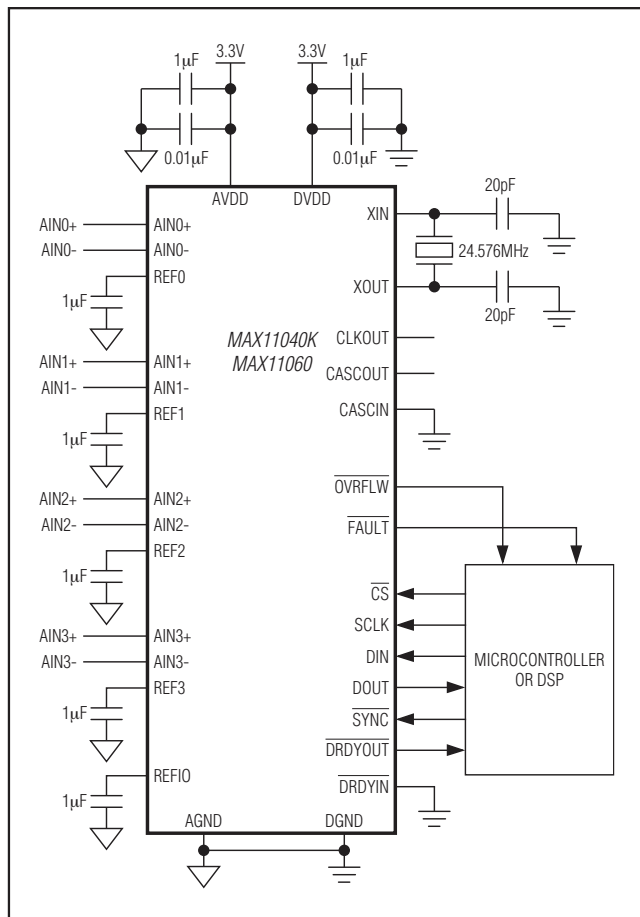
引脚说明(续)

引脚	名称	功能
22	$\overline{\text{DRDYOUT}}$	低电平有效数据就绪输出。 $\overline{\text{DRDYIN}} = 0$ 时， $\overline{\text{DRDYOUT}}$ 输出逻辑低电平表示有新的转换结果可用。 $\overline{\text{DRDYOUT}}$ 在下一个 $\overline{\text{CS}}$ 下降沿或 $\overline{\text{DRDYIN}} = 1$ 时变为高电平。参见多器件连接部分。
23	$\overline{\text{DRDYIN}}$	低电平有效数据就绪输入。 $\overline{\text{DRDYIN}}$ 的逻辑高电平使 $\overline{\text{DRDYOUT}}$ 输出逻辑高电平。如果 $\overline{\text{DRDYIN}} = 0$ ，在出现新的转换结果时， $\overline{\text{DRDYOUT}}$ 输出逻辑低电平。参见多器件连接部分，不采用菊链方式级联多个器件时，将 $\overline{\text{DRDYIN}}$ 连接至DGND。
24	$\overline{\text{SYNC}}$	采样同步输入。 $\overline{\text{SYNC}}$ 的下降沿同步采样和输出数据，使多个器件同时采样。工作在独立晶体下的多个器件可以将链路中的最后器件的 $\overline{\text{DRDYOUT}}$ 连接到所有器件的 $\overline{\text{SYNC}}$ 输入，实现同步。单个器件工作时，将 $\overline{\text{SYNC}}$ 连接至DGND，参见多器件连接部分。
25	XOUT	晶振输出。使用内部振荡器时，在XIN和XOUT之间连接24.576MHz外部晶体或谐振器。使用外部频率驱动时，XOUT浮空，参见晶振部分。
26	XIN	晶振/时钟输入。使用内部振荡器时，在XIN和XOUT之间连接24.576MHz外部晶体或谐振器，或将XOUT浮空，用外部时钟驱动XIN，参见晶振部分。
30	AVDD	正模拟电源电压，利用1 μ F电容与0.01 μ F电容并联旁路至AGND，电容尽量靠近器件放置。
32	REF3	ADC3缓冲电压基准，利用1 μ F电容旁路至AGND。
33	AIN3+	模拟输入通道3，正端。
34	AIN3-	模拟输入通道3，负端。
36	REF2	ADC2缓冲电压基准，利用1 μ F电容旁路至AGND。
37	AIN2+	模拟输入通道2，正端。
38	AIN2-	模拟输入通道2，负端。

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

典型工作电路



详细说明

MAX11040K/MAX11060为24/16位、4通道、同时采样 Σ - Δ ADC，可通过串口以菊花链形式连接多个器件(多达8片)，实现同步采样。同步器件的串口操作如同单个器件，每个通道包括一路差分模拟输入、 Σ - Δ 调制器、数字抽样

滤波器、独立可编程采样延迟，以及来自内部或外部基准的缓冲参考输出。器件具有内部晶振，ADC的输出数据速率、有效采样率可通过软件编程。

器件工作在3.0V至3.6V单路模拟电源及2.7V至 V_{AVDD} 数字电源供电。4线串口兼容于SPI/QSPI/MICROWIRE和DSP。

ADC调制器

器件的每个通道利用专用的开关电容 Σ - Δ 调制器对其输入进行模/数转换。调制器将输入信号转换成低分辨率数字数据，XIN时钟为24.576MHz时为3.072Msps，平均值表示量化信号的信息。然后将数据流送至数字滤波器进行处理，滤除高频噪声，产生高分辨率24/16位输出数据流。

模拟输入采样网络包括一对4pF电容(C_{SAMPLE})，电容的一端在跟踪阶段连接至 A_{IN+} 和 A_{IN-} ，在保持阶段短路在一起(见图1)。内部开关的总串联电阻为400 Ω 。对于给定的24.576MHz XIN时钟，开关频率为3.072MHz。采样阶段持续时间为120ns。

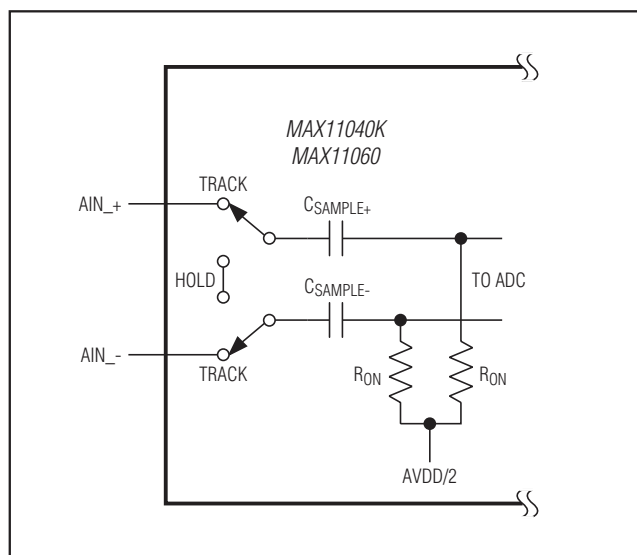


图1. 跟踪/保持级简化电路

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的Σ-Δ ADC

数字滤波器

器件具有片上数字低通滤波器，处理来自每个调制器的数据流，产生高分辨率输出数据。低通滤波器的频率响应由可编程输出数据速率决定。在标称16ksps输出数据速率下，滤波器的-3dB带宽为3.4kHz。从0至1.74kHz，通带平坦度优于±0.1dB。限波锁定在5.75kHz和7.195kHz。这些频率随输出数据速率线性变化。关于不同数据率下的频率响应，请参见图2和表1。

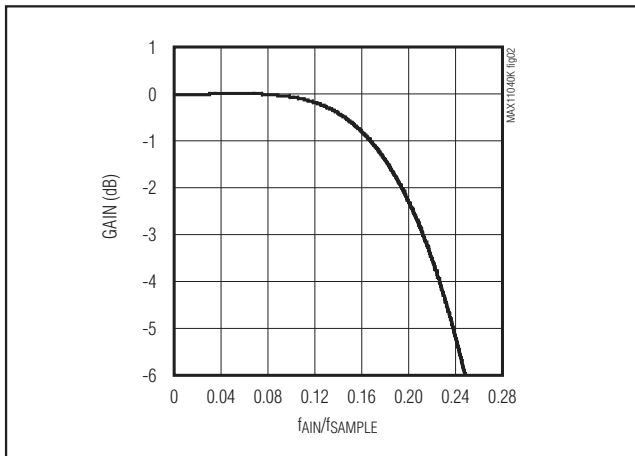


图2. 数字滤波器响应

表1. 带宽与输出数据速率的关系

输出数据速率 (ksps)	-3dB带宽 (kHz)	-0.1dB带宽 (kHz)
0.5	0.11	0.05
1	0.21	0.11
2	0.42	0.22
4	0.85	0.43
8	1.69	0.87
10	2.11	1.09
12	2.54	1.31
16	3.38	1.74
32	6.78	3.48
64	13.5	6.96

由于数字滤波器的传递函数可重复并可预测，能够在后端软件中修正与频率相关的衰减，参见典型FFT分析中的数字滤波器衰减补偿部分。传递函数由下式决定：

$$\text{Gain}(f_{\text{AIN}}) = \left(\frac{f_{\text{SAMPLE}} \times \sin\left(\pi \times \frac{f_{\text{AIN}}}{f_{\text{SAMPLE}}}\right)}{f_{\text{XINCLOCK}} \times \sin\left(\pi \times \frac{f_{\text{AIN}}}{f_{\text{XINCLOCK}}}\right)} \right)^3 \times (\text{FIR_Gain}(f_{\text{AIN}}))$$

式中：

Gain为滤波器增益。

f_{AIN} 为模拟输入频率。

f_{SAMPLE} 为可编程输出数据速率，标称值为16kHz。

f_{XINCLOCK} 为XIN上的时钟频率，标称值为24.576MHz。

FIR_Gain(f_{AIN})是根据以下滤波器系数的归一化FIR滤波器增益，是模拟输入频率 f_{AIN} 的函数。将这些系数作用至输出数据速率：

+ 0.022
- 0.074
- 0.036
+ 0.312
+ 0.552
+ 0.312
- 0.036
- 0.074
+ 0.022

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

调制器时钟

通过将XIN输入上的频率进行8分频，产生调制时钟。XIN输入由外部时钟直接驱动，或者由片上晶振驱动。

晶振

片上振荡器要求在XIN和XOUT之间连接工作频率为24.576MHz的外部晶体(或谐振器)，如图3所示。与任何基于晶体的振荡器一样，振荡器频率对电容负载(C_L)非常敏感。 C_L 为振荡电路提供给晶体的电容，不是晶体本身的电容。XIN和XOUT之间的输入电容为1.5pF。

选择振荡频率为24.576MHz、ESR小于30 Ω 的晶体，例如RXD Technologies的MP35。图3所示为晶振方框图，如果在配置寄存器中设置XTALEN = 1，则使能晶振。CLKOUT输出提供时钟的缓冲输出，能够驱动8片器件，允许利用单个晶体实现同步工作，参见应用信息部分的多个器件同步部分。

外部时钟

使用外部时钟时，在配置寄存器中设置XTALEN = 0，并将外部时钟源(20MHz–25MHz)连接至XIN。CLKOUT变为高阻。

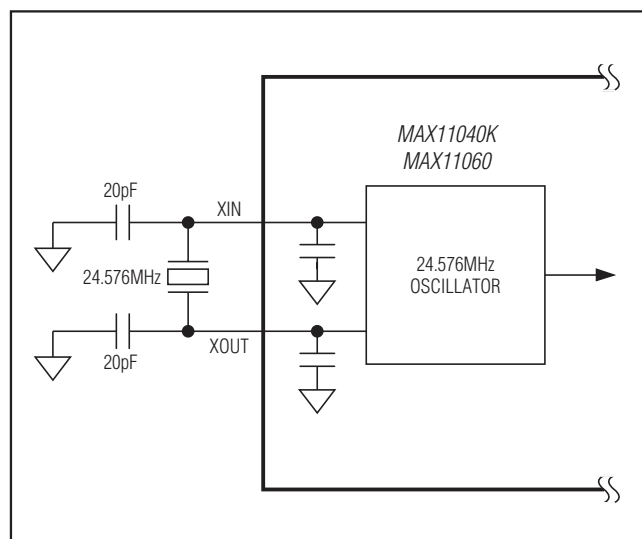


图3. 晶振输入

模拟输入过压和故障保护

器件的满幅差分输入范围为 $\pm 0.88V_{REF}$ 。转换器可精确转换正、负模拟输入幅值之差小于 $0.88V_{REF}$ 的任意输入。

器件具有专用保护电路，支持高达 $\pm 6V$ 模拟输入的过压保护。设置FAULTDIS = 1禁用保护电路。

有两种过压检测和保护机制：满幅溢出和过压故障。如果任意一路或多路输入电压幅值大于 $0.88V_{REF}$ ，则发生满幅溢出。这种情况下，将数字输出箝位至满幅值(正压或负压)， $\overline{OVRFLW}$ 拉至低电平。如果任意一路或多路输入电压幅值超出故障检测门限，则发生过压故障。对过压故障的响应取决于是否使能故障保护电路。如果使能，输入保护电路动作，触发FAULT输出低电平。任意一路通道上的满幅溢出或过压故障都不影响其它通道的输出数据。

输入保护电路允许每路输入作用高达 $\pm 6V$ 的电压(以AGND为参考)，AIN+和AIN-之间的差分电压可达 $\pm 6V$ ，只要满足以下条件就不会损坏器件：已加电、器件处于非关断模式、在XIN上提供至少20MHz的时钟频率以及FAULTDIS = 0。如果器件处于关断模式、时钟停止或FAULTDIS = 1时，模拟输入所允许的电压可达 $\pm 3.5V$ (以AGND为参考)。

过压故障期间，AIN+和AIN-之间的阻抗减小至0.5k Ω 。

FAULT和 $\overline{OVRFLW}$ 的输出结构和级联功能在多器件数字接口部分讨论。

模拟输入溢出检测和恢复($\overline{OVRFLW}$)

根据ADC转换结果设置 $\overline{OVRFLW}$ 标识。一路或多路模拟输入的电压超出正或负满幅值($\pm 0.88V_{REF}$)时，在转换器规定的延迟后触发 $\overline{OVRFLW}$ 报警输出，与满幅箝位转换结果的DRDYOUT一致(见图4)。延迟技术指标在数据资料的延迟部分讨论。

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

模拟输入电压在ADC满幅值和故障门限之间的变化速度快于转换器的响应时间时， $\overline{\text{OVRFLW}}$ 将随着 $\overline{\text{FAULT}}$ 输出变为低电平。在 XIN 出现有效的时钟频率之前， $\overline{\text{OVRFLW}}$ 保持低电平。

过压故障检测和恢复($\overline{\text{FAULT}}$)

使能过压故障保护时($\text{FAULTDIS} = 0$)，如果任意模拟输入超出故障检测门限 V_{PFT} 和 V_{NFT} 限定的电压范围， $\overline{\text{FAULT}}$ 立即从高电平转换为低电平。

一旦模拟输入返回至故障门限之内， $\overline{\text{FAULT}}$ 中断输出在经过延迟(称为故障恢复时间)后变为高电平。故障恢复时间为：

$$20 \times t_{\text{DOUT}} < \text{故障恢复时间} < 25 \times t_{\text{DOUT}}$$

式中， t_{DOUT} 为数据输出周期，由 f_{XINCLOCK} 和所选的输出数据速率决定。

如果模拟输入电压在ADC满幅值和故障门限之间的变化快于转换器的响应时间，检测到故障时，ADC转换结果将提前跳至满幅值(见图4中的Detection Discontinuity)。在故障条件及随后的故障恢复期间，ADC转换结果保持满幅值。只要故障恢复时间大于转换器响应时间与输入在故障门限和ADC满幅之间变化时间之和，就会造成数字转换结果的不连续(见图4中的Recovery Discontinuity)。如果禁用故障保护电路($\text{FAULTDIS} = 1$)，或者输入信号的变化相对慢于上述情况，都不会发生这些阶跃(见图5)。

对于32ksps ($\text{FSAMPC} = 111$)以上的数据率，在 $\overline{\text{FAULT}}$ 返回高电平之后最长188 μs 的时间内，转换器输出可能包含无效的数据。为防止这种情况，使用 $\text{FSAMPC} = 111$ 时，通过将配置寄存器中的 FAULTDIS 位置1，禁用过压故障保护，并将模拟输入摆幅限制为 $\pm 3.5\text{V}$ 。

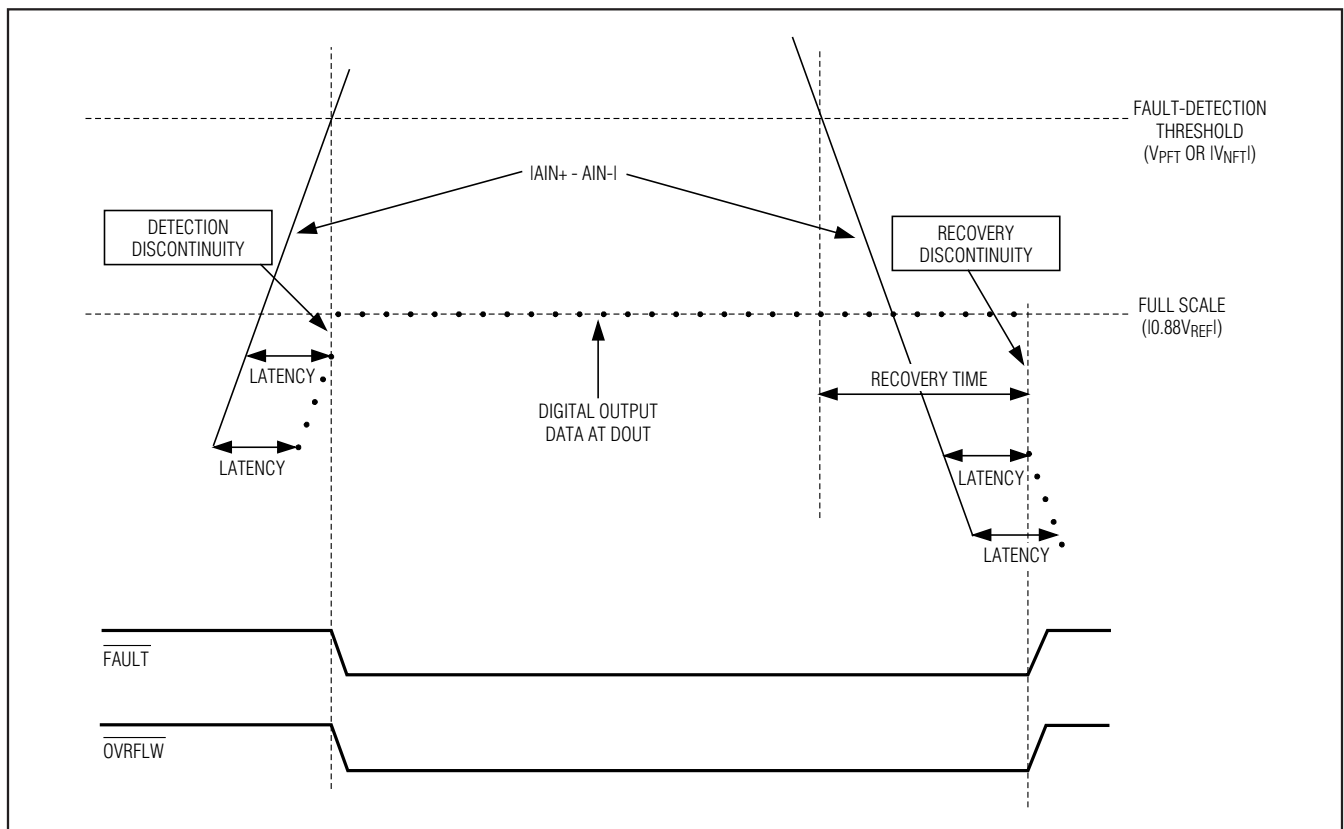


图4. 高频模拟输入过压检测和恢复

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

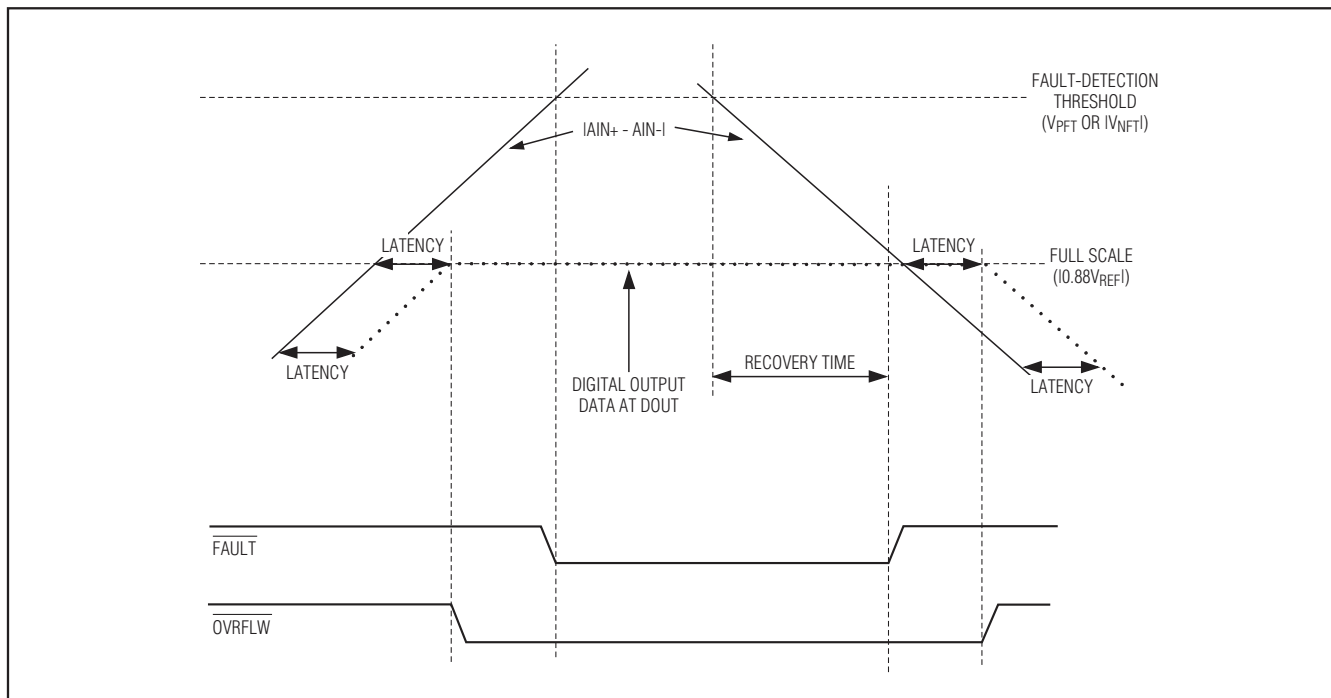


图5. 低频模拟输入过压检测和恢复

基准

器件可采用内部+2.5V带隙基准或施加至REFIO的+2.3V至+2.7V外部基准源工作。利用1 μ F电容将REFIO和每个REF_旁路至AGND。基准电压按照以下公式设置正和负满幅电压：

$$\pm FS = \pm 0.88 V_{REFIO}$$

REFIO (外部或内部)上的基准电压具有独立缓冲，在REF0至REF3上产生基准电压(见图6)。这些独立缓冲器将每路内部ADC之间的串扰可能性降至最低。

串口

器件接口完全兼容SPI/DSP标准串行接口(兼容SPI模式CPOL = 1, CPHA = 0)。串口可访问4个片上寄存器：采样时刻控制寄存器(32位)、数据率控制寄存器(16位)、配置寄存器(8位)、数据寄存器(96位)。所有串行接口命令以命令字节开始(寻址特定寄存器)，后边跟数据字节，长度取决于寻址的寄存器和级联的器件数量(见图7、图8以及寄存器部分)。

串口包括8个信号： $\overline{CS}$ 、SCLK、DIN、DOUT、CASCIN、CASCOUT、 $\overline{DRDYIN}$ 和 $\overline{DRDYOUT}$ 。CASCIN、CASCOUT、 $\overline{DRDYIN}$ 和 $\overline{DRDYOUT}$ 用于菊链级联多个器件。关于如何连接CASCIN、CASCOUT、 $\overline{DRDYIN}$ 和 $\overline{DRDYOUT}$ 的详细信息，请参见多器件连接部分。对于

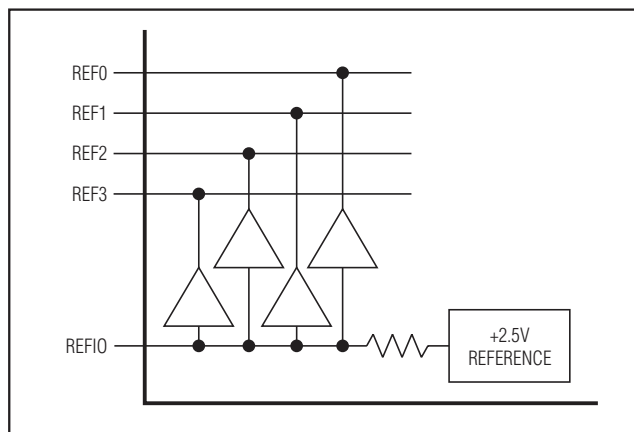


图6. REFIO输入

单器件应用，将CASCIN和 $\overline{DRDYIN}$ 连接至DGND，将 $\overline{CS}$ 驱动为低电平，以将数据输入至器件或从器件输出。 $\overline{DRDYIN}$ 为低电平时，数据就绪信号输出($\overline{DRDYOUT}$)的下降沿表示在96位数据寄存器中出现新的转换结果。SCLK时钟的下降沿将DIN上的数据移入。DOUT上的数据在SCLK的上升沿变化，在SCLK的下降沿有效。DIN和DOUT先传输MSB。将 $\overline{CS}$ 驱动为高电平禁用接口并将DOUT置于高阻态。

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

对器件的接口操作在SCLK的最后一个上升沿有效。如果 $\overline{CS}$ 在完成传输之前变为高电平，则忽略写操作。命令字节

发起每次数据传输。命令字节包括1个R/ $\overline{W}$ 位和7个地址位(见表2)，图7和图8所示分别为读/写操作的时序。

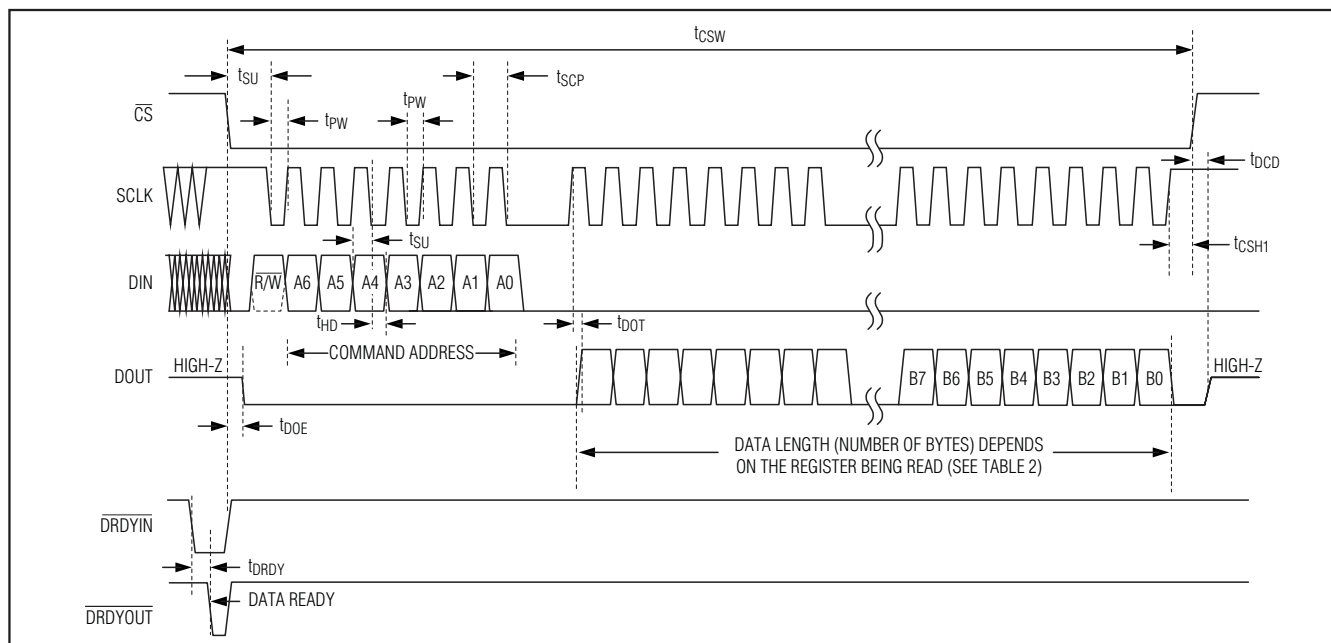


图7. 通用读操作时序图

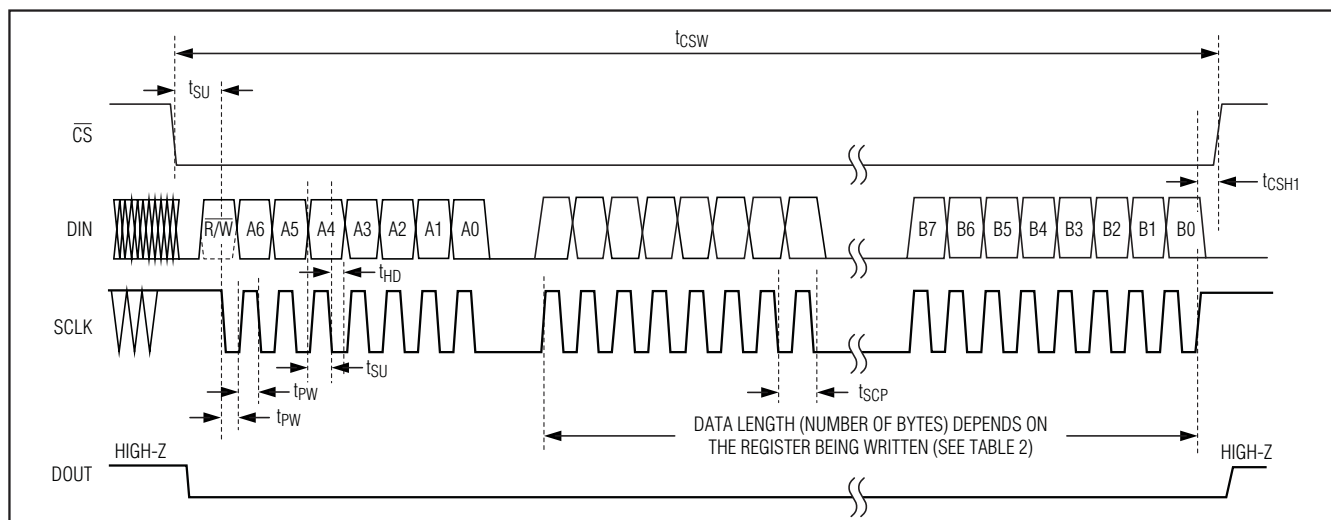


图8. 通用写操作时序图

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

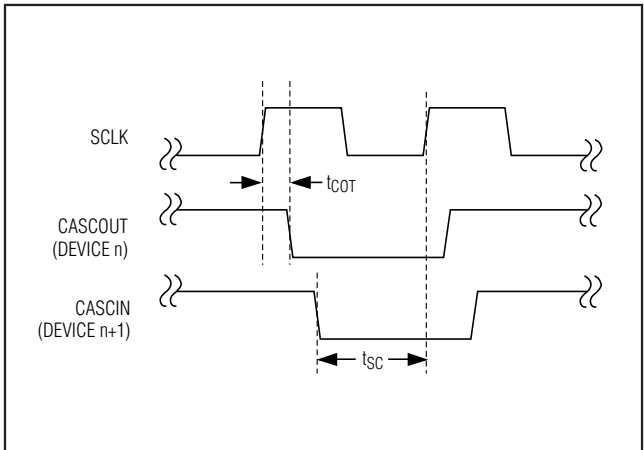


图9. CASCIN和CASOUT时序图

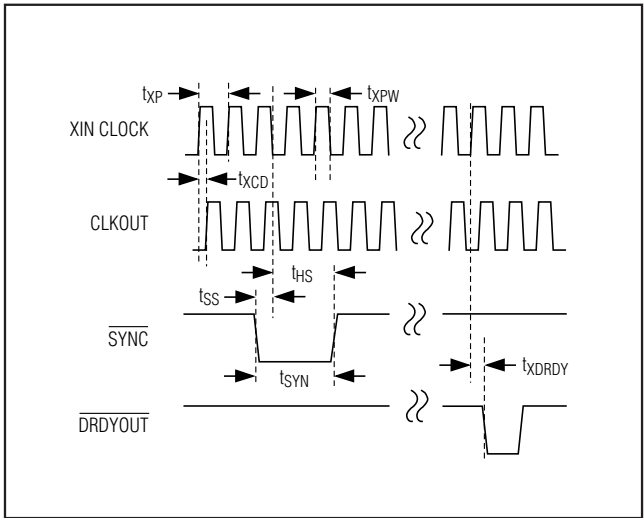


图10. XIN时钟、CLKOUT、 $\overline{\text{SYNC}}$ 和 $\overline{\text{DRDYOUT}}$ 时序图

寄存器

器件包括4个寄存器，可通过7个命令字节进行存取。命令字节提供对数据率控制寄存器、采样时刻控制寄存器和配置寄存器的读和写操作，提供对数据寄存器的读操作，参见表2。图9所示为CASCIN和CASOUT时序图，图10为XIN时钟、CLKOUT、 $\overline{\text{SYNC}}$ 和 $\overline{\text{DRDYOUT}}$ 时序图。

表2. 命令字节

R/ $\overline{\text{W}}$	地址 [A6:A0]	数据长度*	功能
0	1000000	32 x n**位	写采样时刻控制寄存器
1	1000000	32 x n位	读采样时刻控制寄存器
0	1010000	16位	写数据率控制寄存器
1	1010000	16位	读数据率控制寄存器
0	1100000	8 x n位	写配置寄存器
1	1100000	8 x n位	读配置寄存器
1	1110000	96 x n位	读数据寄存器

* 除读和写数据率控制寄存器之外，所有数据长度与级联器件的数量成比例。访问数据率控制寄存器时，数据长度固定为16位。所有16位自动写至全部级联器件。

** n为级联器件的总数量。

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

采样时刻控制寄存器

默认设置下，器件对4路输入同时采样。为了延迟一路或多路通道上的采样时刻，设置采样时刻控制寄存器中的相应字节。每路通道的实际采样时刻相对于默认采样时刻的延迟(PHI_[7:0] = 0x00)可在32至819,121个XIN时钟周期之

间调节，当fXINCLOCK为24.576MHz时，相当于1.3 μ s至333 μ s(见表3)。

配置寄存器

配置寄存器包括5位，控制器件的功能。默认状态为0x00。配置寄存器的数据长度为8位/级联器件(见表4)。

表3. 采样时刻控制寄存器

位	名称	说明
[31:24]	PHI0[7:0]	通道0采样时刻调节。PHI0的每个LSB将通道0的采样时刻延迟32个XIN时钟周期，最多8192个周期(1.3 μ s分辨率；XIN为24.576MHz时，范围为333 μ s)。
[23:16]	PHI1[7:0]	通道1采样时刻调节。PHI1的每个LSB将通道1的采样时刻延迟32个XIN时钟周期，最多8192个周期(1.3 μ s分辨率；XIN为24.576MHz时，范围为333 μ s)。
[15:8]	PHI2[7:0]	通道2采样时刻调节。PHI2的每个LSB将通道2的采样时刻延迟32个XIN时钟周期，最多8192个周期(1.3 μ s分辨率；XIN为24.576MHz时，范围为333 μ s)。
[7:0]	PHI3[7:0]	通道3采样时刻调节。PHI3的每个LSB将通道3的采样时刻延迟32个XIN时钟周期，最多8192个周期(1.3 μ s分辨率；XIN为24.576MHz时，范围为333 μ s)。

表4. 配置寄存器

位	名称	说明
7	SHDN	关断位。将SHDN设置为高时，将器件置于关断模式。关断模式下，关闭内部振荡器、故障保护电路和内部带隙基准。将SHDN设置为低电平时正常工作。
6	RST	复位位。如果将RST设置为高，除RST位外，全部寄存器复位为默认状态，重新对齐采样时钟和输出数据。
5	EN24BIT	MAX11040K的24位分辨率使能位。将EN24BIT设置为高时，使能24位数据输出。将EN24BIT设置为低时，使能19位数据输出，包括器件地址和通道地址标签。表5和表6所示为该位在两种状态下的数据寄存器。对于MAX11060，设置为0。
4	XTALEN	内部振荡器使能位。使用片上晶振作为时钟源时，将XTALEN设置为高，使能晶振，在CLKOUT输出提供晶振时钟的缓冲版本。使用外部时钟源时，将XTALEN设置为低，禁用内部晶振，并使CLKOUT输出为三态。将外部时钟源连接至XIN输入。
3	FAULTDIS	过压故障保护禁用位。将FAULTDIS设置为高时，禁用过压故障保护电路。对于FAULTDIS = 0，绝对最大输入范围为 $\pm 6V$ 。超过故障检测门限范围的模拟输入触发故障保护电路。输入返回至故障检测门限范围之内后的故障恢复时间(典型值 < 1.57ms)内，输出保持箝位。对于FAULTDIS = 1，绝对最大输入范围仅为 $\pm 3.5V$ ，但是没有故障恢复延迟。请参见过压故障检测和恢复(FAULT)部分。
2	PDBUF	PDBUF = 1时，禁用内部基准缓冲器。使用外部基准时，采用该模式；否则，应将PDBUF设置为0，以使能内部基准缓冲器。
[1:0]	保留	必须设置为0。

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

数据寄存器

数据寄存器包含ADC转换的结果，转换结果的格式为二进制补码。根据配置寄存器中EN24BIT的设置，寄存器包含1组或2组信息。EN24BIT设置为0时，数据寄存器包含19位的ADC数据，后边跟器件和通道地址(见表5)。EN24BIT设置为1时，数据寄存器包含的数据表示24位转换结果(见表6)。

对于每个级联器件，数据寄存器的数据长度为96位。图11所示为两个级联器件时，所有通道的转换结果输出顺序。表7所示为MAX11060的数据寄存器。

如果在完成下次转换之前未读回结果，数据被覆盖。

表5. 数据寄存器(EN24BIT = 0) (MAX11040K)

位	名称	说明
[95:77]	CH0DATA[18:0]	通道0的19位转换结果(二进制补码)
[76:74]	IC[2:0]	器件地址标签。对于最靠近主控制器的器件，IC[2:0]以000开始。
[73:72]	00	通道0地址标签 = 00
[71:53]	CH1DATA[18:0]	通道1的19位转换结果(二进制补码)
[52:50]	IC[2:0]	器件地址标签。对于最靠近主控制器的器件，IC[2:0]以000开始。
[49:48]	01	通道1地址标签 = 01
[47:29]	CH2DATA[18:0]	通道2的19位转换结果(二进制补码)
[28:26]	IC[2:0]	器件地址标签。对于最靠近主控制器的器件，IC[2:0]以000开始。
[25:24]	10	通道2地址标签 = 10
[23:5]	CH3DATA[18:0]	通道3的19位转换结果(二进制补码)
[4:2]	IC[2:0]	器件地址标签。对于最靠近主控制器的器件，IC[2:0]以000开始。
[1:0]	11	通道3地址标签 = 11

表6. 数据寄存器(EN24BIT = 1) (MAX11040K)

位	名称	说明
[95:72]	CH0DATA[23:0]	通道0的24位转换结果(二进制补码)
[71:48]	CH1DATA[23:0]	通道1的24位转换结果(二进制补码)
[47:24]	CH2DATA[23:0]	通道2的24位转换结果(二进制补码)
[23:0]	CH3DATA[23:0]	通道3的24位转换结果(二进制补码)

表7. 数据寄存器(MAX11060)

位	名称	说明
[95:80]	CH0DATA[15:0]	通道0的16位转换结果(二进制补码)
[79:77]	000	—
[76:74]	IC[2:0]	器件地址标签。对于最靠近主控制器的器件，IC[2:0]以000开始。
[73:72]	00	通道0地址标签 = 00
[71:56]	CH1DATA[15:0]	通道1的16位转换结果(二进制补码)
[55:53]	000	—
[52:50]	IC[2:0]	器件地址标签。对于最靠近主控制器的器件，IC[2:0]以000开始。
[49:48]	01	通道1地址标签 = 01
[47:32]	CH2DATA[15:0]	通道2的16位转换结果(二进制补码)

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

表7. 数据寄存器(MAX11060) (续)

位	名称	说明
[31:29]	000	—
[28:26]	IC[2:0]	器件地址标签。对于最靠近主控制器的器件，IC[2:0]以000开始。
[25:24]	10	通道2地址标签 = 10
[23:8]	CH3DATA[15:0]	通道3的16位转换结果(二进制补码)
[7:5]	000	—
[4:2]	IC[2:0]	器件地址标签。对于最靠近主控制器的器件，IC[2:0]以000开始。
[1:0]	11	通道3地址标签 = 11

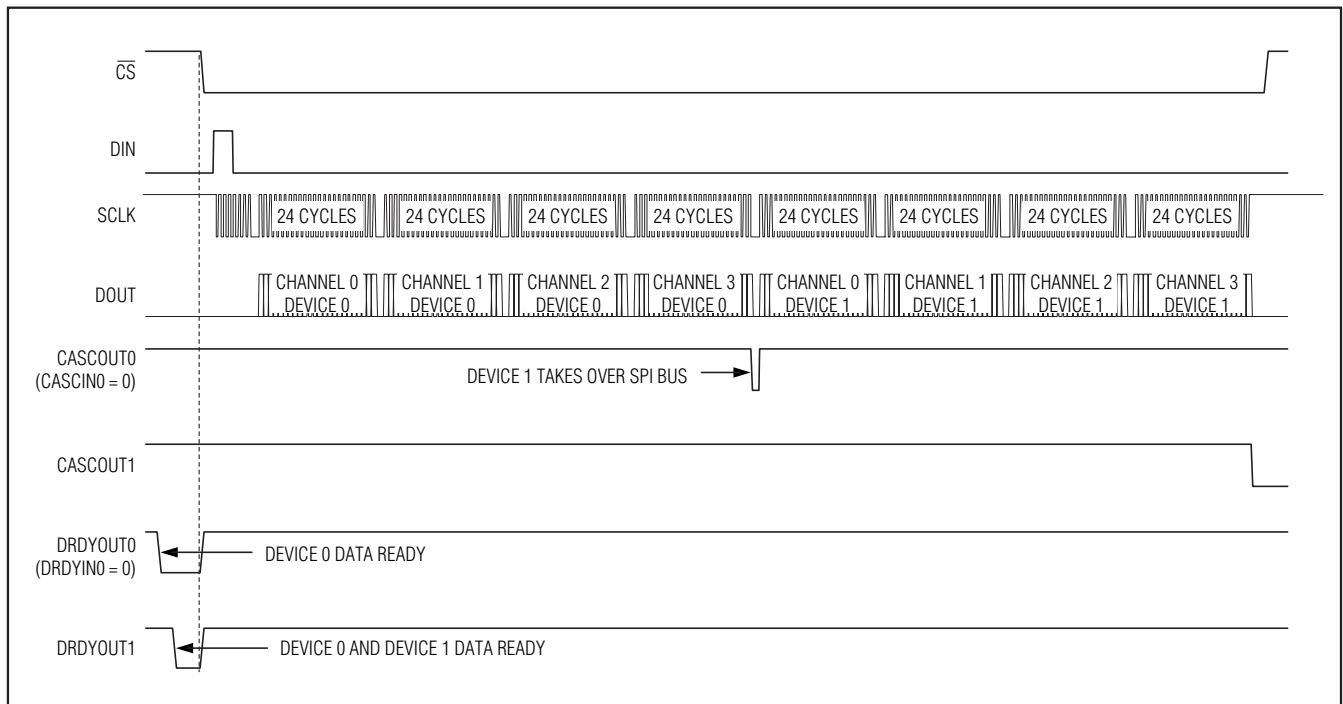


图11. 两个级联器件时的192位数据读操作示意图

数据率控制寄存器

数据率控制寄存器控制输出数据周期，与ADC的输出数据速率一致。数据周期由一个粗调(FSAMPC[2:0])和一个细调(FSAMPF[10:0])控制(见表8)。

用分频比对XIN时钟频率进行分频，得到最终数据率。分频比是FSAMPC[2:0]和FSAMPF[10:0]的函数：

$$\text{数据率} = f_{\text{XINCLOCK}} / \text{分频比}$$

$$\text{分频比} = \text{粗调周期系数} \times 384 + \text{细调周期系数} \times \text{FSAMPF}[10:0]$$

注：分频的小数结果四舍五入至最接近的整数。粗调周期系数和细调周期系数取自表8。公式中FSAMPF[10:0]的作用具有表中所述的限制。

表9所示为输出数据速率与FSAMPC[2:0]及FSAMPF[10:0]的关系示例。表10所示为器件在不同数据率设置下的典型性能。

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

对于读和写操作，数据率控制寄存器的数据长度共为16位(见表2)。对数据率控制寄存器的更改在16个转换周期后生效(图12)，即ADC以原来的数据率继续工作16个周期。并且，以原来数据率采样的最后一次采样(图12中的采样16)可能含有噪声分量，应丢弃。为确保正确工作，数据率变化应限制在 $\pm 5\%$ 。数据率寄存器在每32个数据率周期内的更新不应超过1次。

注：在 $\overline{\text{DRDYOUT}}$ 上升沿之后10ns至 $\overline{\text{DRDYOUT}}$ 下降沿之前100ns的时间窗口内写数据率寄存器。

数字滤波器决定延迟。延迟定义为发生采样的有效时间点至产生可供读取数字数据($\overline{\text{DRDYOUT}}$ 变为低电平)之间的时间。转换器的延迟由下式规定：

$$\text{延迟} = (6 \times t_{\text{DOUT}}) + (\text{PHI} \times 1.3\mu\text{s}) + 30\mu\text{s}$$

式中， t_{DOUT} 为数据输出周期(设置的采样率的倒数)，由XINCLOCK和所选的输出数据速率决定；PHI为设置的相应通道的采样时刻延迟($0 \leq \text{PHI} \leq 255$)。16ksps时，延迟为大约405 μs 。

由于两个滤波器工作在不同的输出数据速率，在两者同时工作的16次采样期间，会累积形成延迟。例如，30ksps时，最小数据率步长为0.125%；经过16次采样后差距为2%。这就造成从采样16至采样17的差距总量为2%。

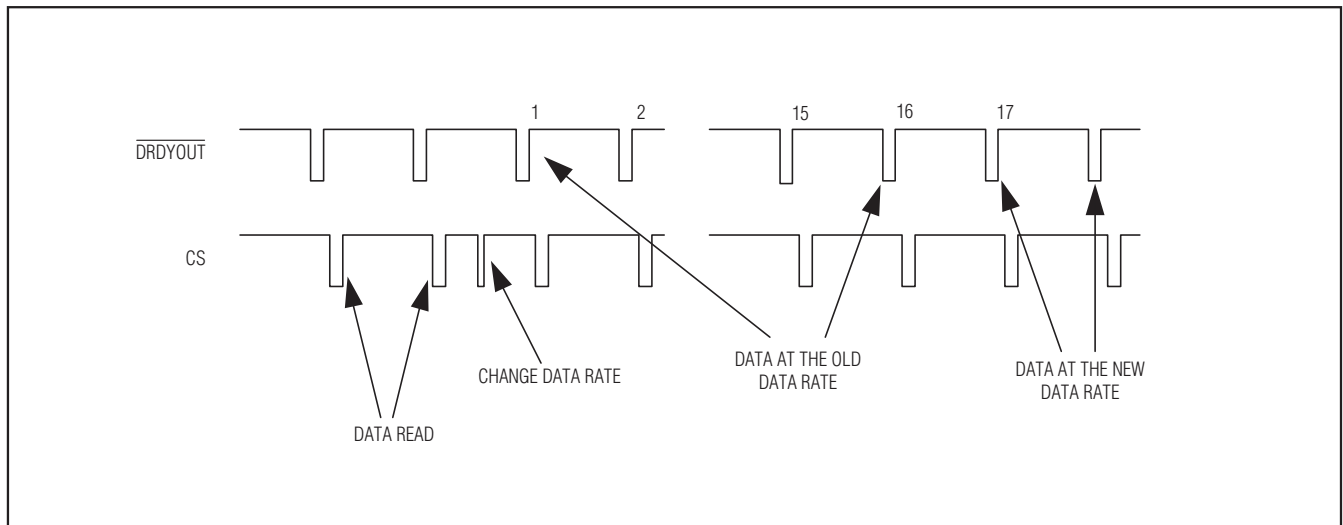


图12. 数据率变化时序图

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

表8. 数据率控制寄存器

位	名称	说明		
[15:13]	FSAMPC[2:0]	输出数据速率粗调位，FSAMPC[2:0]设置粗调周期系数。		
		FSAMPC	粗调周期系数	采样率，单位为ksp/s ($f_{XINCLOCK} = 24.576\text{MHz}$)
		000	4	16
		001	128	0.5
		010	64	1
		011	32	2
		100	16	4
		101	8	8
		110	2	32
		111	1	64
[12:11]	保留	设置为0。		
[10:0]	FSAMPF[10:0]	输出数据速率细调位。FSAMPF[10:0]将输出数据周期增大一定数量的XIN时钟周期，增大的时钟周期数量等于寄存器值乘以细调周期系数，大于1535的FSAMPF值无效。		
		FSAMPC	XIM细调周期系数	
		000	1个周期	
		001	32个周期	
		010	16个周期	
		011	8个周期	
		100	4个周期	
		101	2个周期	
		110	1个周期	
		111	1个周期	

表9. 示例：输出数据速率为FSAMPC[2:0]和FSAMPF[10:0]的函数

FSAMPC[2:0]	FSAMPF[10:0]	输出数据速率(sps)	输出数据周期 (24.576MHz时钟周期)	FSAMPF输出数据周期分辨率 (24.576MHz时钟周期)
001	11xxxxxxxxx	250.1	98272	32
	10111111111	250.1	98272	
	00000000001	499.7	49184	
	00000000000	500.0	49152	
010	11xxxxxxxxx	500.2	49136	16
	10111111111	500.2	49136	
	00000000001	999.3	24592	
	00000000000	1000.0	24576	
011	11xxxxxxxxx	1000.3	24568	8
	10111111111	1000.3	24568	
	00000000001	1998.7	12296	
	00000000000	2000.0	12288	

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

表9. 示例：输出数据速率为FSAMPC[2:0]和FSAMPF[10:0]的函数(续)

FSAMPC[2:0]	FSAMPF[10:0]	输出数据速率(sps)	输出数据周期 (24.576MHz时钟周期)	FSAMPF输出数据周期分辨率 (24.576MHz时钟周期)
100	11xxxxxxxx	2000.7	12284	4
	1011111111	2000.7	12284	
	0000000001	3997.4	6148	
	0000000000	4000.0	6144	
101	11xxxxxxxx	4001.3	6142	2
	1011111111	4001.3	6142	
	0000000001	7994.8	3074	
	0000000000	8000.0	3072	
000	11xxxxxxxx	8002.6	3071	1
	1011111111	8002.6	3071	
	0000000001	15990	1537	
	0000000000	16000	1536	
110	11xxxxxxxx	16010	1535	1
	101111111x	16010	1535	
	0000000001x	31958	769	
	0000000000x	32000	768	
111	11xxxxxxxx	32042	767	1
	101111111xx	32042	767	
	000000001xx	63834	385	
	000000000xx	64000	384	

表10. 典型性能与输出数据速率的关系

输出数据速率 (ksps)	-3dB带宽 (kHz)	-0.1dB带宽 (kHz)	延迟(μ s)	故障恢复时间 (μ s)	24位数据的 SNR (dB)	256个数据点的 相对精度(%)	60Hz时单个 周期的相对精度 (%)
0.5	0.11	0.05	12030	16375	117	0.04	0.23
1	0.21	0.11	6030	8375	115	0.05	0.20
2	0.42	0.22	3030	4375	113	0.06	0.17
4	0.85	0.43	1530	2375	111	0.08	0.16
8	1.69	0.87	780	1375	108	0.11	0.16
10	2.11	1.09	630	1175	107	0.13	0.16
12	2.54	1.31	530	1042	106	0.14	0.16
16	3.38	1.74	405	875	105	0.16	0.16
32	6.78	3.48	218	625	97	0.40	0.28
64	13.5	6.96	124	500	81	2.51	1.26

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

多器件连接

对于需要多达32路同时采样的应用，能够以菊链形式连接多达8片器件，通过一个SPI/DSP兼容串行接口以及一个片选信号和接口命令应用到链中的所有器件。8片器件实际上作为一片器件工作。

级联多个器件有两个方面：数字接口和保证多个器件同时采样的机制。

连接多个器件的配置有多种：其中一种配置在下一节介绍，其它配置在应用信息部分的多个器件同步部分介绍。

多器件数字接口

图13所示为菊链多个器件的数字接口常见方式。

SPI总线仲裁由CASCIN和CASCOUT实现。器件n的CASCIN输入(由器件n-1的CASCOUT驱动)下降沿允许器件n接管

SPI总线，直到读或写完全部预期数据；此时，器件n将其CASCOUT输出拉低。同样，器件n的CASCOUT驱动器件n+1的CASCIN。图12和图14分别为2个级联器件和8个级联器件时的读操作，包括CASCIN和CASCOUT定时。除写数据率控制寄存器外，以上所述的操作适用于全部寄存器操作。固定16位字写入至链中所有器件的数据率控制寄存器，与级联器件的数量无关(图15)。读数据率控制寄存器时，每个级联器件返回16位。

将全部器件的开漏OVRFLW输出连接在一起变成一个信号，用于汇总全部器件的溢出信息。FAULT输出也是如此。将多个器件的这些输出连接在一起，具有“线或”的效果。允许该输出有效的任何器件将线拉低。

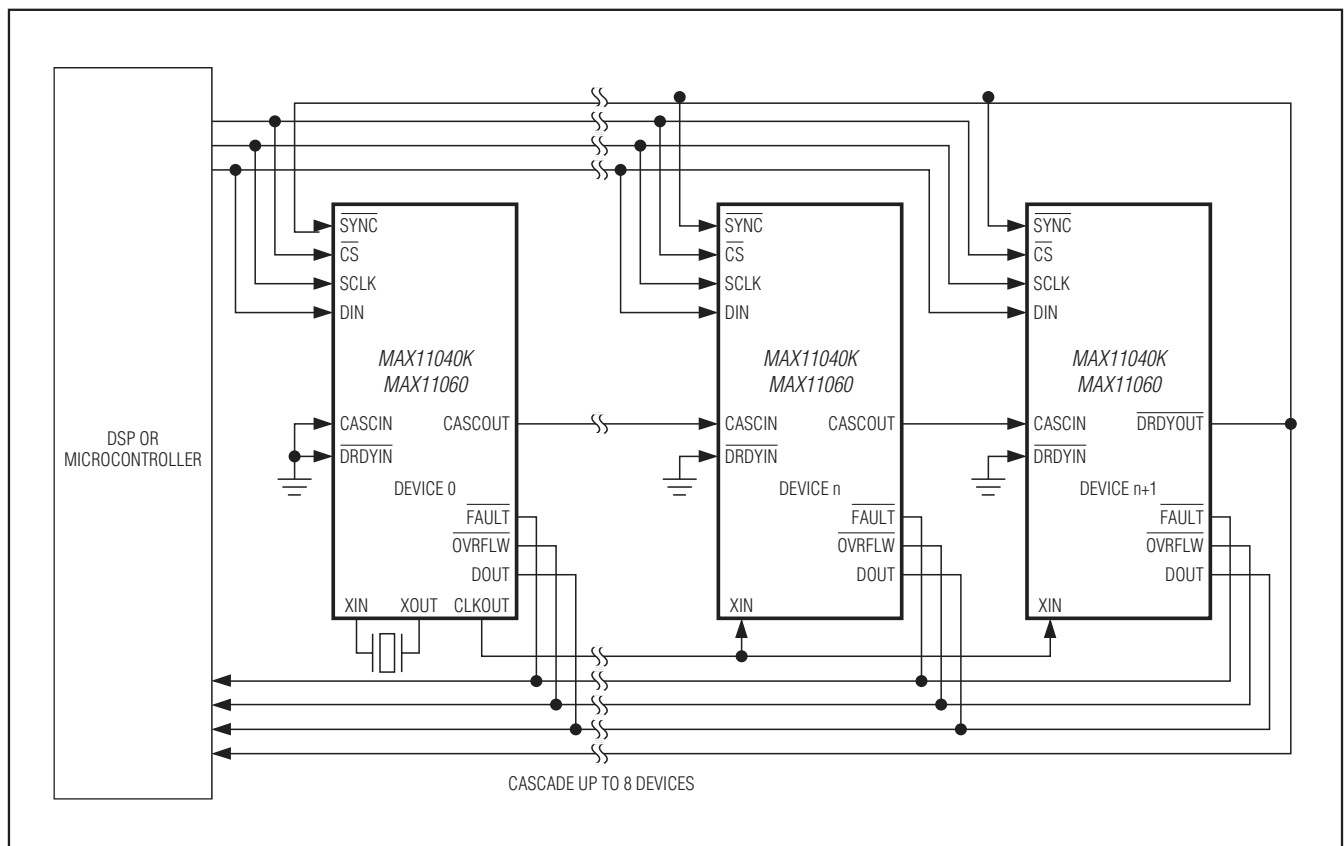


图13. 多个器件的菊链配置

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

用单线指示所有器件数据已经就绪的方法有两种，取决于其时钟是否同步。如果所有器件采用相同的XIN时钟并利用SYNC或复位命令同步，链中任何器件的 $\overline{\text{DRDYOUT}}$ 均可用来代表所有器件。另外，如果器件采用不同的XIN时钟，将器件0的 $\overline{\text{DRDYIN}}$ 连接至地，对于所有器件，将器件

n的 $\overline{\text{DRDYIN}}$ 连接至器件n-1的 $\overline{\text{DRDYOUT}}$ 。只有 $\overline{\text{DRDYIN}}$ 为低电平且器件完成转换后， $\overline{\text{DRDYOUT}}$ 才变成低电平。这种配置下，链中全部器件的数据就绪时，最后一个器件的 $\overline{\text{DRDYOUT}}$ 变为低电平。

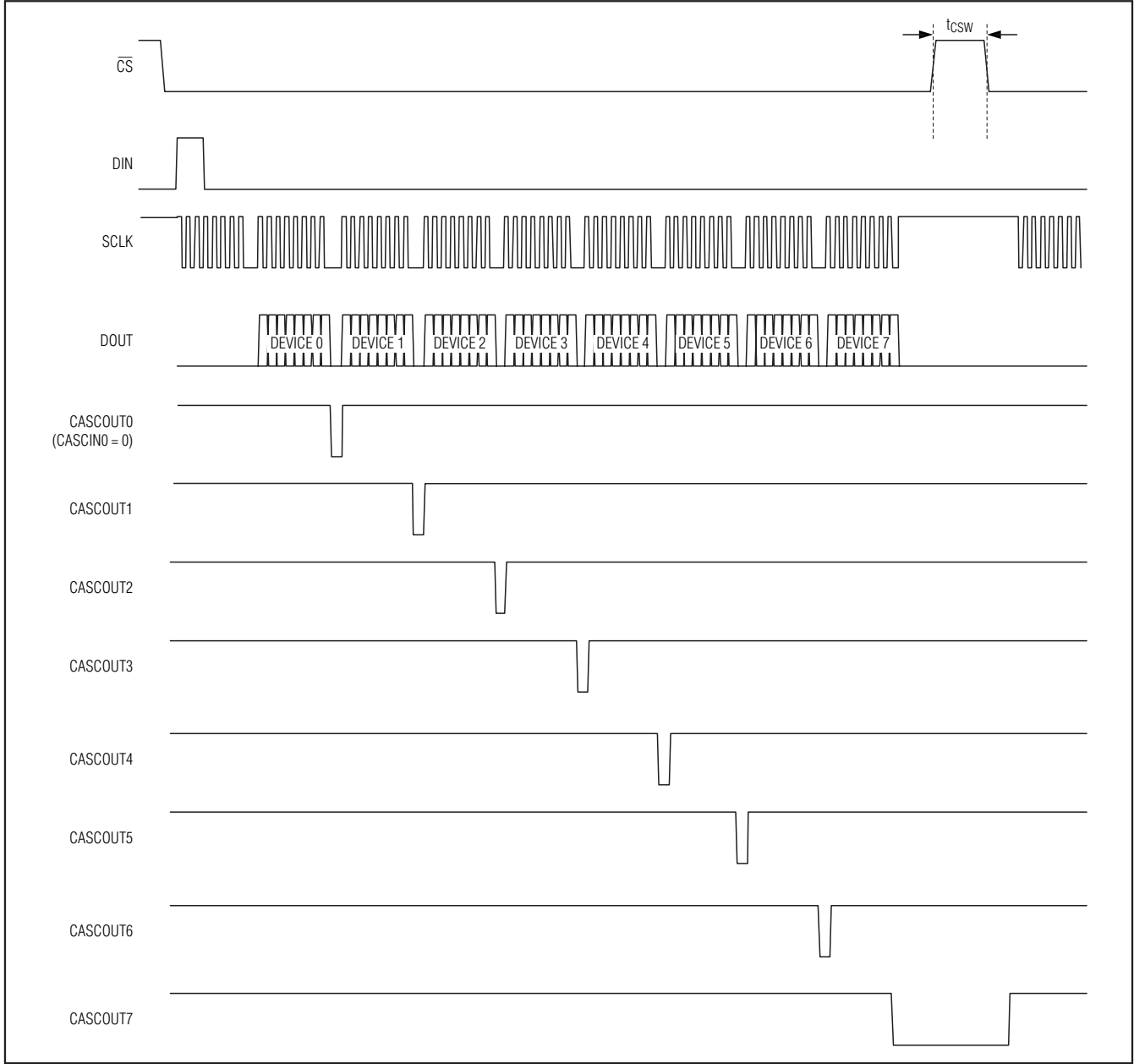


图14. 8片器件级联时的配置寄存器读操作时序图

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

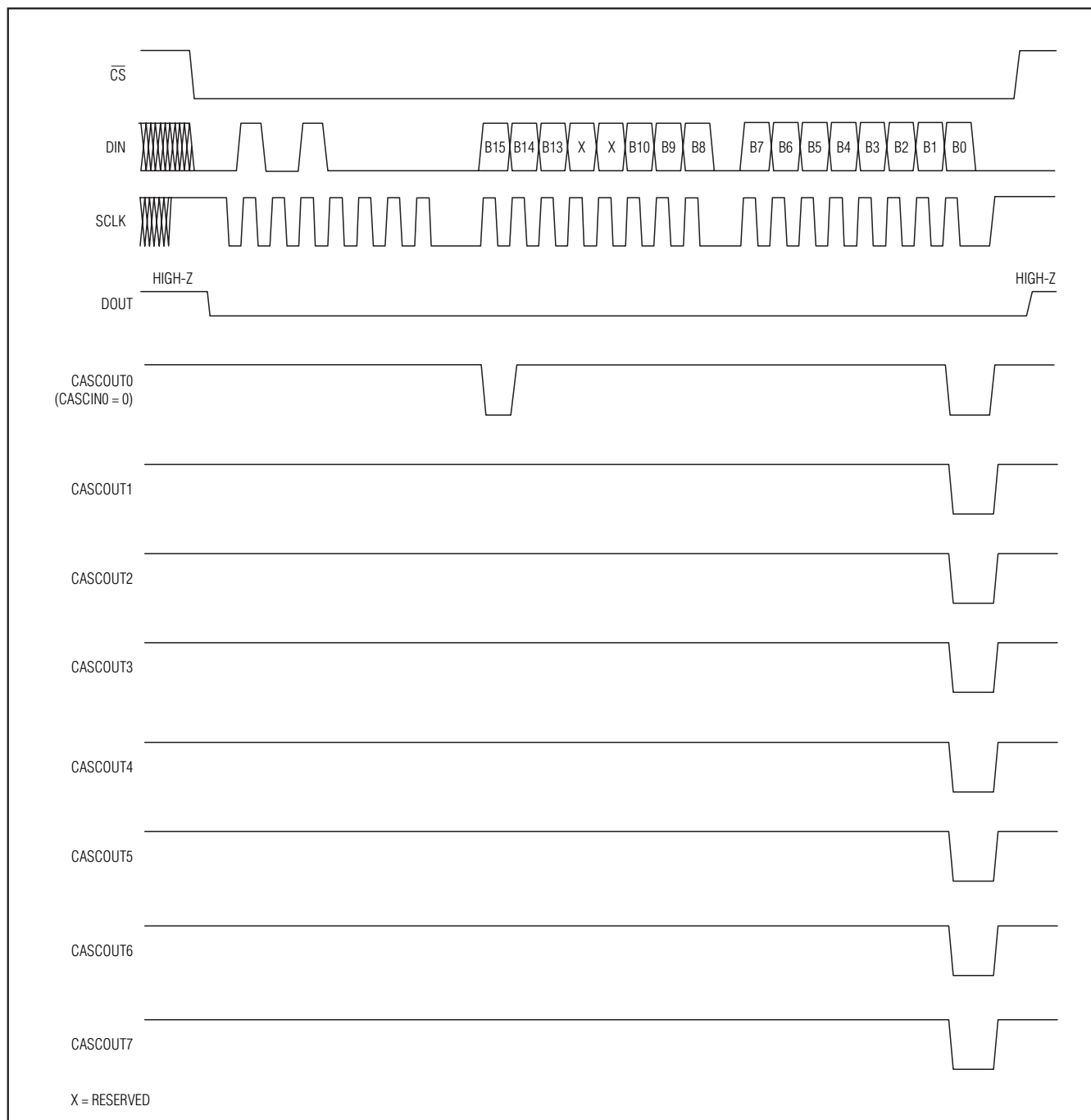


图15. 8片器件级联时的数据率控制寄存器写操作时序图

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

SYNC输入允许多个器件同时采样。多个器件上电复位之间的不匹配导致器件在不同时间开始转换。SYNC输入的下降沿之后，器件完成当前转换，然后同步随后的转换(见图16)。

根据SYNC下降沿，器件测量SYNC下降沿与前一个DRDYOUT下降沿之间的时间，等待下一个DRDYOUT下降沿，然后暂停ADC测量得到的时间。图16中，转换器正常采样输入，产生周期为 t_S 的DRDYOUT。图16中SYNC下降沿的作用顺序如下：

- 1) $\overline{\text{DRDYOUT}}$ 事件2之后,经过两个XIN时钟周期产生 $\overline{\text{SYNC}}$ 下降沿。
- 2) 转换器记忆两个XIN时钟周期,完成当前采样,在 $\overline{\text{DRDYOUT}}$ 事件2之后经过 t_s 时间产生 $\overline{\text{DRDYOUT}}$ 事件3。
- 3) 然后暂停转换器,暂停时间为记忆的时间周期,本例中为两个XIN时钟周期。
- 4) 相比而言,产生 $\overline{\text{DRDYOUT}}$ 事件4的时间比没有 $\overline{\text{SYNC}}$ 下降沿时晚两个XIN周期。
- 5) 正常继续该过程, $\overline{\text{DRDYOUT}}$ 事件5比 $\overline{\text{DRDYOUT}}$ 事件4晚 t_s 。

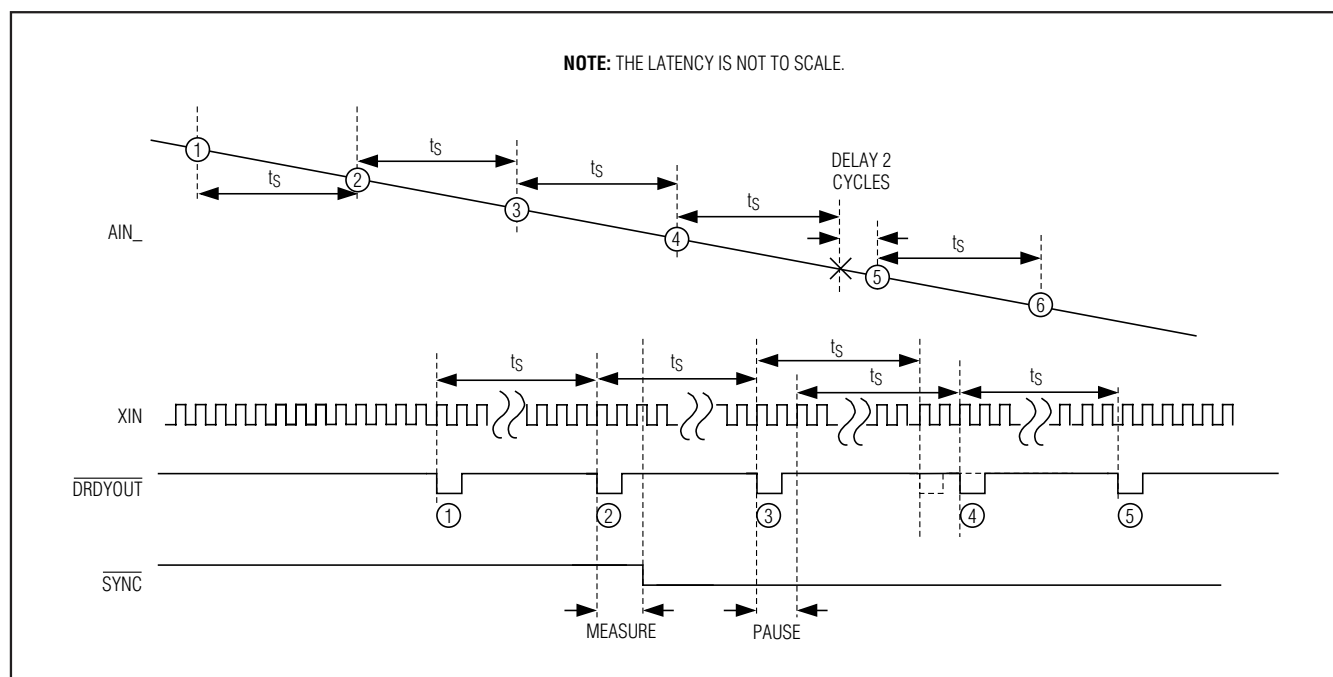


图16. SYNC下降沿的作用

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

再返回讨论模拟输入，由于转换器的整个采样部分也暂停两个时钟周期，所以采样5的采样点也暂停两个时钟周期，可能在 $\overline{\text{SYNC}}$ 下降沿产生小干扰。利用数字滤波器滤除这种干扰，使其不太明显。

如果在与 $\overline{\text{DRDYOUT}}$ 相同的XIN时钟周期发生 $\overline{\text{SYNC}}$ 下降沿，由于 $\overline{\text{SYNC}}$ 下降沿要求暂停0个XIN时钟周期，所以这种干扰不影响周期定时。所以，如图13所示，将一个转换器的 $\overline{\text{DRDYOUT}}$ 连接至多个转换器的 $\overline{\text{SYNC}}$ 输入，在第一个 $\overline{\text{SYNC}}$ 下降沿对齐转换器的采样，并不会干扰将来采样的正常采样过程。

关于使用 $\overline{\text{SYNC}}$ 输入的不同方式，请参见多个器件同步部分。

传递函数

图17所示为双极性I/O传递函数，码值转换发生在连续整数LSB的中间。输出编码为二进制，19位模式下， $1 \text{ LSB} = (0.88 \times V_{\text{REFIO}}) \times 2/524,288$ ；24位模式下为 $(0.88 \times V_{\text{REFIO}}) \times 2/16,777,216$ ；对于MAX11060为 $(0.88 \times V_{\text{REFIO}}) \times 2/65536$ 。

上电复位

上电时，串行接口、逻辑、数字滤波器和调制器电路复位为零。 V_{DVDD} 上升至2V以上不超过1ms，上电复位电路释放复位。

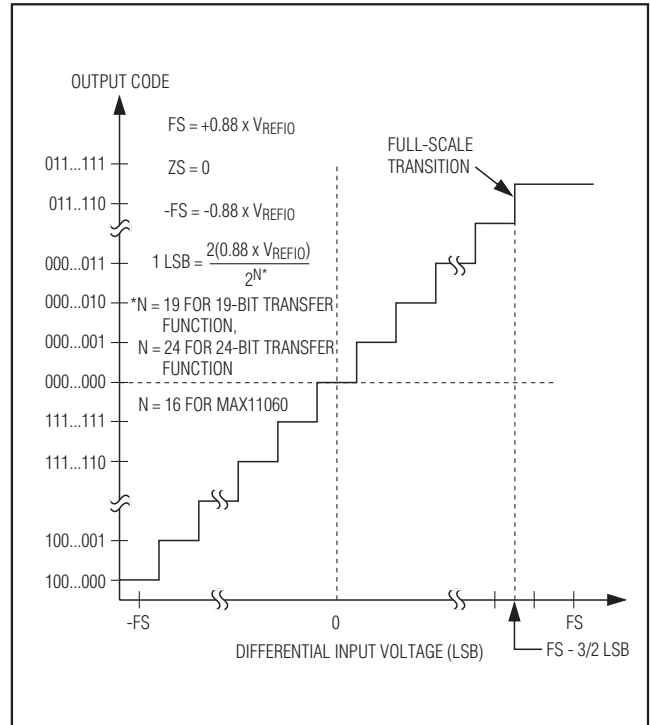


图17. ADC传递函数

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

应用信息

多个器件同步

利用共用XIN时钟源同步多个器件

为同步共用单个XIN时钟源的多个器件，将全部器件共用的 $\overline{\text{SYNC}}$ 输入从高电平转换为低电平。无外部同步源可用时，将一个器件的 $\overline{\text{DRDYOUT}}$ 连接至链中全部器件的 $\overline{\text{SYNC}}$ 输入。上电复位期间，器件忽略任何 $\overline{\text{SYNC}}$ 转换。

利用独立XIN时钟源同步多个器件

如果由于EMI或其它原因，不希望将XIN时钟源连接在一起，利用 $\overline{\text{DRDYIN}}$ 、 $\overline{\text{DRDYOUT}}$ 和 $\overline{\text{SYNC}}$ 对齐转换定时，如

图18所示。每次转换之后 $\overline{\text{DRDYOUT}}$ 变为低电平时进行再同步，将时钟源之间的漂移影响降至最小。该配置下， $\overline{\text{SYNC}}$ 沿造成的最大修正为一个XIN时钟周期。

最终采样率由时钟源最慢的器件的采样频率以及最慢器件与链中最后一个器件之间的 $\overline{\text{DRDYIN}}$ 至 $\overline{\text{DRDYOUT}}$ 链的延迟决定。

将多个器件同步至独立时钟源

为了将多个器件周期性同步至独立时钟源，将时钟源连接至器件的 $\overline{\text{SYNC}}$ 输入。如果极小的抖动对系统影响很大，则将器件频率设置为略低于外部频率，以便在 $\overline{\text{DRDYOUT}}$ 信号之后很短时间内产生 $\overline{\text{SYNC}}$ 下降沿。

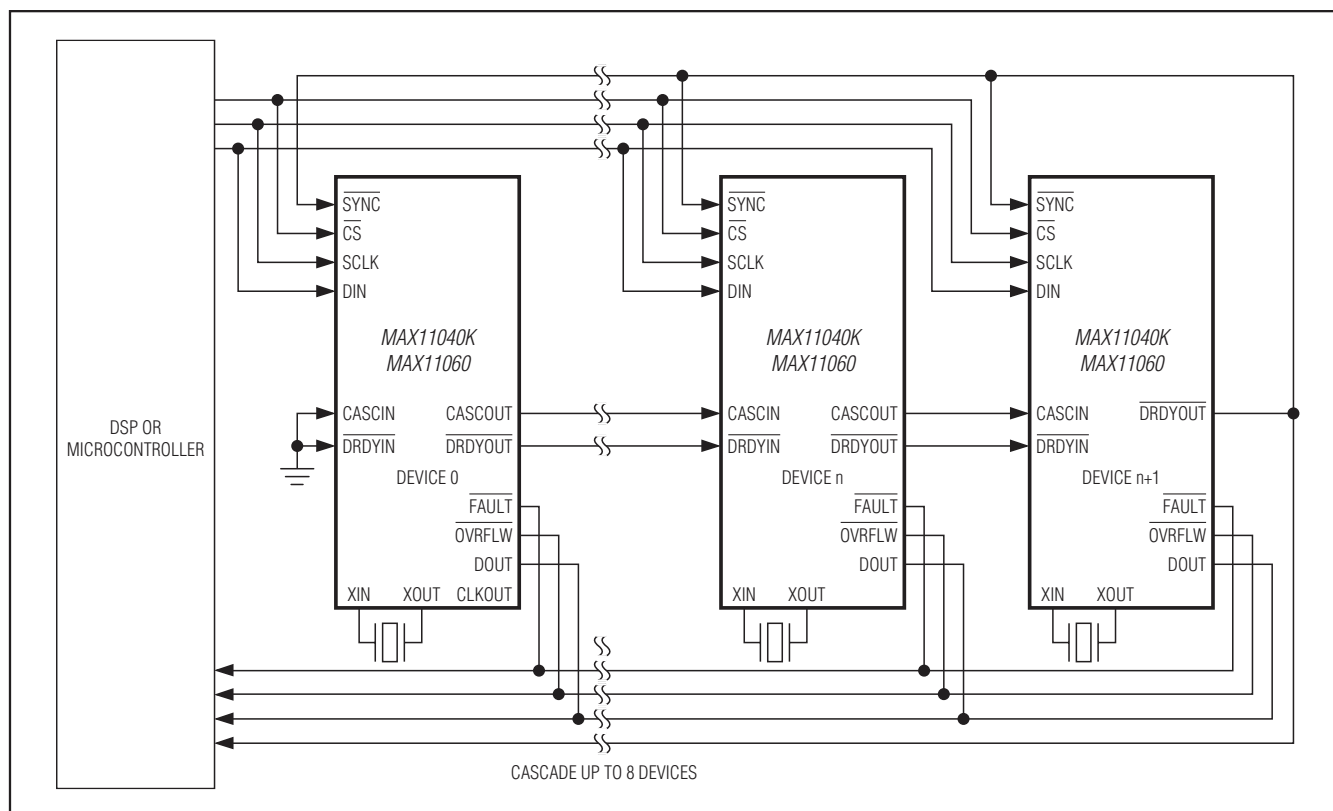


图18. 每个器件采用独立晶体，所有 $\overline{\text{SYNC}}$ 输入由链中最后一个器件的 $\overline{\text{DRDYOUT}}$ 驱动

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

$\overline{\text{SYNC}}$ 下降沿处的信号失真

每个 $\overline{\text{SYNC}}$ 下降沿可造成数字滤波器定时失真，与前一个 $\overline{\text{DRDYOUT}}$ 下降沿至 $\overline{\text{SYNC}}$ 下降沿的延迟成比例。如果假设采样周期一致，对输出数据进行分析就会发现与延迟成比例的误差，最大值由模拟输入的最大导数决定。图19所示为在输出采样5处这种不连续所产生的影响。

假设信号为 $60\text{Hz} \pm 2.2\text{V}$ 的正弦波， $\overline{\text{SYNC}}$ 下降沿对任意给定采样造成的最大可能误差为：

$$V_{\text{ERROR_MAX}} = 2.2\text{V} \times 2\pi \times 60\text{Hz} \times t_{\overline{\text{DRDYOUT_TO_SYNC}}} \\ = 0.83\mu\text{V}/\text{ns} \times t_{\overline{\text{DRDYOUT_TO_SYNC}}}$$

从 $\overline{\text{DRDYOUT}}$ 至 $\overline{\text{SYNC}}$ 的延迟量化至 24.576MHz 时钟的一个周期之内。与 $\overline{\text{DRDYOUT}}$ 异步的 $\overline{\text{SYNC}}$ 脉冲可能造成更大误差。为消除这一误差，对所有器件使用单时钟源，避免 $\overline{\text{SYNC}}$ 脉冲干扰输出数据定时，同时进行高精度测量。或者，将 $\overline{\text{DRDYOUT}}$ 至 $\overline{\text{SYNC}}$ 的延迟降至最小，使误差最小化。

例：

假设 $f_{\text{AIN}} = 60\text{Hz}$ 、 $f_{\text{S}} = 16\text{ksps}$ ，菊链中总共有8片器件。器件1具有最大 $t_{\overline{\text{DRDYOUT_TO_SYNC}}}$ 延迟，因此 $\overline{\text{SYNC}}$ 误差最大。如果器件1采用链中最慢的XIN时钟，器件2采用链中最慢的XIN时钟，相差0.1%，器件1完成转换比器件2早0.1%。因此，器件2的延迟为：

$$0.1\% \times (1/16\text{kHz}) = 62.5\text{ns}$$

然后信号沿菊链向下传输，每个器件的时间延迟标称值为 20ns 。

经过另外6次延迟后，折算到 $\overline{\text{SYNC}}$ 下降沿的总延迟为：

$$t_{\text{DELAY}} = 62.5\text{ns} + 6 \times 20\text{ns} = 182.5\text{ns}$$

$$\text{Maximum \% Error} = 2\pi \times f_{\text{IN}} \times t_{\overline{\text{DRDYOUT_TO_SYNC}}} \times 100\% \\ = 2 \times \pi \times 60\text{Hz} \times 182.5\text{ns} \times 100\% = 0.007\%$$

以上为相对于信号电平的误差，不是相对于数据转换器的满幅值。

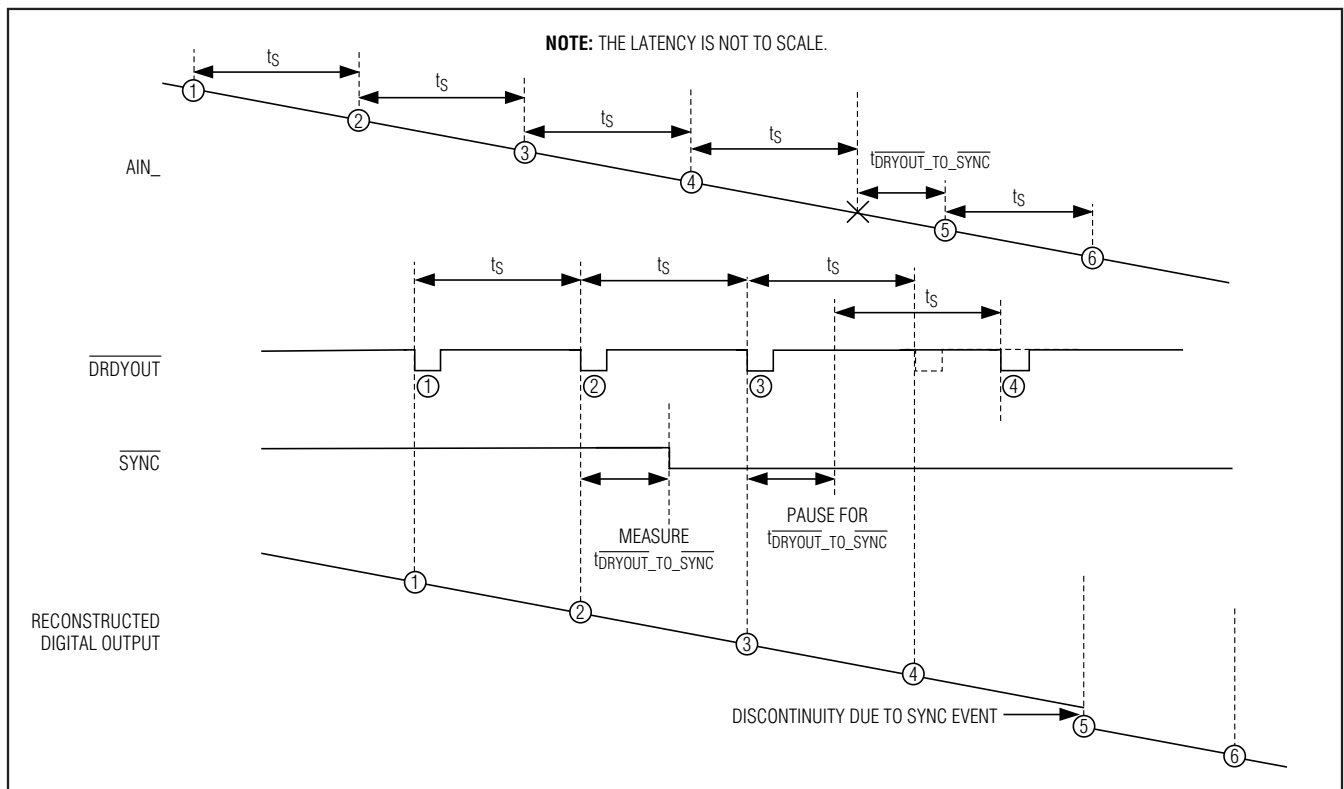


图19. 由于 $\overline{\text{SYNC}}$ 下降沿具有较大 $\overline{\text{DRDYOUT}}$ 至 $\overline{\text{SYNC}}$ 延迟，造成重构数字输出不连续

MAX11040K/MAX11060

24/16位、4通道、同时采样、可级联的 Σ - Δ ADC

源阻抗和输入采样网络

驱动模拟输入的源阻抗影响采样周期。

低阻信号源

将源阻抗降至最小，以确保输入电容在采样阶段完全充电。符合要求的信号源阻抗由下式决定：

$$R_{SOURCE_MAX} < \frac{t_{SAMP}}{K \times C_{SAMP} \times \ln\left(\frac{1}{Error}\right)} - R_{INT}$$
$$= \frac{120ns}{1.5 \times 4pF \times \ln\left(\frac{1}{Error}\right)} - 2600\Omega$$

式中， $K = 1.5$ ， $R_{INT} = 2600\Omega$ 。

例如，达到0.1%精度时，要求源阻抗为：

$$R_{SOURCE_MAX} < \frac{120ns}{1.5 \times 4pF \times \ln\left(\frac{1}{0.1\%}\right)} - 2600\Omega$$
$$= \frac{120ns}{1.5 \times 4pF \times \ln(1000)} - 2600\Omega$$
$$= \frac{120ns}{1.5 \times 4pF \times 6.91} - 2600\Omega = 294\Omega$$

高阻信号源

如果源阻抗大于低阻信号源部分定义的 R_{SOURCE_MAX} ，在 A_{IN_+} 和 $A_{IN_}$ 之间安装 $0.1\mu F$ 旁路电阻，以提供瞬态充电。在正确的旁路电容和 XIN 时钟频率 = $24.576MHz$ 下，开关电容平均负载相当于在 A_{IN_+} 和 $A_{IN_}$ 之间连接 $130k\Omega$ 电阻。该阻抗与 $0.1\mu F$ 旁路电容的值无关。如果选择其它 XIN 时钟频率，该阻抗与 XIN 时钟周期成正比。

尽管增加旁路电容有助于对器件的 0 输入电容充电，由于在源阻抗两端存在阻性压降，因此仍然具有一定的增益误差。采用下式计算该增益误差：

$$\Delta Gain = \frac{R_{SOURCE}}{R_{SOURCE} + R_{LOAD}} = \frac{R_{SOURCE}}{R_{SOURCE} + 130k\Omega}$$

模拟滤波

与不带片上滤波电路的传统转换器相比，器件大大降低了对前端模拟滤波器的要求。内部数字滤波器能够大幅抑制高于输出数据速率的奈奎斯特频率的信号，这些信号会混叠到采样信号。

内部数字滤波器不对接近 $3.072MHz$ 调制器频率的谐波信号提供抑制。例如，假设输出数据速率为 $16ksps$ ，如果 XIN 时钟设置为 $24.576MHz$ ，那么 $3.0686MHz$ 至 $3.0750MHz$ 的频带没有明显滤波效果。由于未滤波的频带相对于其实际频率非常小，所以通过这种机制引入的宽带噪声非常小。如果该频带内出现集中的窄带噪声，由于通带与阻带频率之比较大，所以简单的模拟滤波器可大幅衰减该频率。

此外，因为器件的共模抑制延伸至数百kHz之外，所以该频率范围的共模噪声敏感度大幅降低。

在有些应用中，增加额外滤波确保感兴趣频带外的差分噪声信号不会造成模拟调制器饱和。

如果输入电压超出其满幅值($\pm 2.2V$)，调制器饱和。数字滤波器不会防止滤波器阻带中的大信号造成调制器饱和。如果感兴趣频带外的信号造成超出满幅值，同时又希望准确转换通带信号，那么就需要额外的模拟滤波，以避免饱和。

典型FFT分析中的数字滤波器衰减补偿

计算 $FIR_GAIN(f_{AIN_})$ ：

- 1) 确定直流和输出数据速率的奈奎斯特频率之间均匀分布频率的数量，在该点需要修正因子，通常与FFT结果相同。
- 2) 创建一个数组，长度为所要求频率数的2倍(结果可能与装载至FFT算法的时域数组相关)。
- 3) 将数字滤波器部分提供的滤波器系数填入该数组，将数组的其它部分填0。
- 4) 对该数组执行FFT，结果表示器件内置FIR滤波器的响应。

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

对器件输出数据的FFT结果进行补偿：

- 1) 对FFT的每个频率计算数字滤波器部分公式的倒数(1/x)。
- 2) 将器件输出数据的FFT乘以上一步的结果。

电源

AVDD和DVDD为器件供电。AVDD为模拟部分供电，DVDD为数字部分供电。AVDD和DVDD的电源范围分别为+3.0V至+3.6V和2.7V至V_{AVDD}。利用1 μ F电解电容与0.1 μ F陶瓷电容并联将AVDD旁路至AGND，利用1 μ F电解电容与0.1 μ F陶瓷电容并联将DVDD旁路至DGND。为获得最佳性能，使旁路电容尽量靠近器件。

布局、接地和旁路

最佳布局和接地设计总是来自于对完整系统的深入分析。这包括信号源对地电流的依赖程度和敏感度，以及了解可能流过不同接地回路的电流。

在PCB上将模拟地和数字地分开，只在器件的GND端将两个接地区域连接在一起。模拟电路和数字电路采用同一供电电源时，利用低阻值电阻(10 Ω)或磁珠将数字电源与模拟电源隔离开。

确保数字回路的电流不流过模拟地，电流回路为低阻。5mA电流流过阻抗为0.05 Ω 的PCB地线所产生的误差电压大约为250 μ V。

确保数字和模拟信号线保持隔离。不要将数字信号线(尤其是SCLK和DOUT)与模拟信号线平行布置，或布置在器件下方。数字信号线和模拟信号线彼此交叉时，采用垂直布线。

利用0.1 μ F电容与1 μ F至10 μ F低ESR电容并联，将AVDD旁路至模拟接地区域。使电容引线长度尽量短，以获得最佳的电源噪声抑制。利用0.1 μ F电容将REF+和REF-旁路至GND。使所有的旁路电容尽量靠近器件，以获得最佳去耦。

晶体布局

在PCB上和器件一起安装晶体时，遵守以下基本指南，以避免耦合噪声：

- 1) 使晶体尽量靠近XIN和XOUT。使晶体和输入之间的走线长度尽量短，通过缩短“天线”的长度降低噪声耦合的可能性。使XIN和XOUT线尽量彼此靠近，将时钟线的环路面积降至最小。使走线长度尽量短也减小杂散电容总值。
- 2) 晶体至XIN和XOUT的焊盘和布线宽度尽量小。连接焊盘和布线宽度越大，越容易从邻近信号耦合噪声。
- 3) 在晶体周围安装一个保护环(接地)，以将晶体与邻近信号的耦合噪声隔离开。
- 4) 确保晶体正下方或XIN和XOUT走线正下方的其它PCB层没有信号线。晶体与电路板上其它信号的隔离越好，噪声耦合至晶体的可能性就越低。
- 5) 在紧靠晶体保护环下方的PCB层上布置接地区域，有助于隔离晶体与PCB其它层信号的耦合噪声。

注：仅对晶体周围布置接地区域，而非整个电路板。

MAX11040K/MAX11060

24/16位、4通道、同时采样、
可级联的 $\Sigma-\Delta$ ADC

芯片信息
PROCESS: BiCMOS

封装信息
如需最近的封装外形信息和焊盘布局(占位面积), 请查询china.maxim-ic.com/packages。请注意, 封装编码中的“+”、“#”或“-” 仅表示RoHS状态。封装图中可能包含不同的尾缀字符, 但封装图只与封装有关, 与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
38 TSSOP	U38+3	21-0081	90-0140

MAX11040K/MAX11060

24/16位、4通道、同时采样、 可级联的 Σ - Δ ADC

修订历史

修订号	修订日期	说明	修改页
0	2/11	MAX11040K最初版本。	—
1	4/11	MAX11060最初版本。	1
2	11/11	更新 <i>Absolute Maximum Ratings</i> 。	2

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

35