

23.5MHz至6000MHz分数/整数N分频合成器/VCO

优势和特性

MAX2870由3线串口控制，兼容于1.8V控制逻辑。器件采用无铅、符合RoHS标准的5mm x 5mm、32引脚TQFN封装，工作在-40°C至+85°C扩展级温度范围。

- ◆ 整数/分数N分频模式
- ◆ 手动或自动选择VCO
- ◆ 3000MHz至6000MHz基频VCO
- ◆ 输出二进制缓冲器/驱动器，用于扩展频率范围
 - ◇ 1/2/4/8/16/32/64/128
 - ◇ 23.5MHz至6000MHz
- ◆ 高性能PFD
 - ◇ 整数N分频模式下，105MHz
 - ◇ 分数N分频模式下，50MHz
- ◆ 高达200MHz的参考时钟频率
- ◆ +3.0V至+3.6V供电
- ◆ 两路可编程输出
 - ◇ -4dBm至+5dBm
- ◆ 模拟和数字锁定检测指示
- ◆ 硬件和软件关断控制
- ◆ 兼容于1.8V控制逻辑

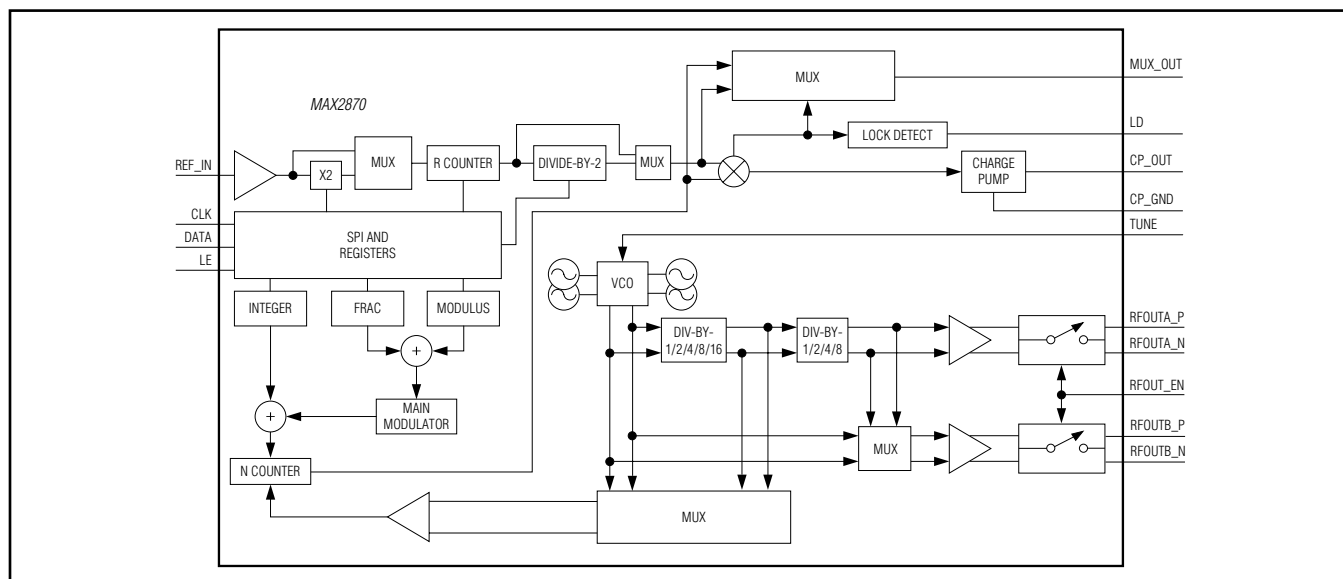
典型应用电路在数据手册的最后给出。

相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX2870.related。

应用

时钟发生器

功能框图



有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

ABSOLUTE MAXIMUM RATINGS

V_{CC_} to GND_ -0.3V to +3.9V
All Other Pins to GND_ -0.3V to V_{CC_} + 0.3V
Continuous Power Dissipation (T_A = +70°C)
TQFN-EP Multilayer Board
(derate 34.5mW/°C above +70°C) 2758.6mW

Junction Temperature +150°C
Operating Temperature Range -40°C to +85°C
Storage Temperature Range -65°C to +150°C
Lead Temperature (soldering, 10s) +300°C
Soldering temperature (reflow) +260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

TQFN

Junction-to-Ambient Thermal Resistance (θ_{JA}) 29°C/W

Junction-to-Case Thermal Resistance (θ_{JC}) 1.7°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

DC ELECTRICAL CHARACTERISTICS

(Measured using MAX2870 EV Kit. V_{CC_} = 3V to 3.6V, V_{GND_} = 0V, f_{REF_IN} = 50MHz, f_{PFD} = 25MHz, T_A = -40°C to +85°C. Typical values measured at V_{CC_} = 3.3V; T_A = +25°C; register settings 00780000,20000141,01005E42,00000013,610F423C,01400005; unless otherwise noted.) (Note 2)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Supply Voltage			3	3.3	3.6	V
RFOUT_ Current Consumption	I _{RFOUT_} , minimum output power, single channel		8.5		29	mA
	I _{RFOUT_} , maximum output power, single channel		25			
Supply Current	Both channels enabled, maximum output power	Total, including RFOUT, both channel (Note 3)	144		180	mA
		Each output divide-by-2	10		15	
		I _{CCVCO} + I _{CCRF} (Note 3)	75		95	
		Low-power sleep mode			1	

AC ELECTRICAL CHARACTERISTICS

(Measured using MAX2870 EV Kit. V_{CC_} = 3V to 3.6V, V_{GND_} = 0V, f_{REF_IN} = 50MHz, f_{PFD} = 25MHz, f_{RFOUT_} = 6000MHz, T_A = -40°C to +85°C. Typical values measured at V_{CC_} = 3.3V, T_A = +25°C, register settings 00780000,20000141,01005E42,00000013,610F423C,01400005; unless otherwise noted.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE OSCILLATOR INPUT (REF_IN)					
REF_IN Input Frequency Range		10		200	MHz
REF_IN Input Sensitivity		0.7		V _{CC_}	V _{PP}
REF_IN Input Capacitance			2		pF
REF_IN Input Current		-60		+60	μA
PHASE DETECTOR					
Phase Detector Frequency	Integer-N mode			105	MHz
	Fractional-N mode			50	

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

AC ELECTRICAL CHARACTERISTICS (continued)

(Measured using MAX2870 EV Kit. $V_{CC_}$ = 3V to 3.6V, $V_{GND_}$ = 0V, f_{REF_IN} = 50MHz, f_{PFD} = 25MHz, $f_{RFOUT_}$ = 6000MHz, T_A = -40°C to +85°C. Typical values measured at $V_{CC_}$ = 3.3V, T_A = +25°C, register settings 00780000,20000141,01005E42,0000013,610F423C,01400005; unless otherwise noted.) (Note 2)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
CHARGE PUMP						
Sink/Source Current	CP[3:0] = 1111, R _{SET} = 5.1kΩ		5.12		0.32	mA
	CP[3:0] = 0000, R _{SET} = 5.1kΩ					
R _{SET} Range			2.7		10	kΩ
RF OUTPUTS						
Fundamental Frequency Range			3000		6000	MHz
Divided Frequency Range	With output dividers (1/2/4/8/16/32/64/128)		23.4375		6000	MHz
VCO Sensitivity			100			MHz/V
Frequency Pushing	Open loop		0.7			MHz/V
Frequency Pulling	Open loop into 2:1 VSWR		70			KHz
2nd Harmonic	Fundamental VCO output		40			dBc
3rd Harmonic	Fundamental VCO output		34			dBc
2nd Harmonic	VCO output divided-by-2		20			dBc
3rd Harmonic	VCO output divided-by-2		21			dBc
Maximum Output Power	f _{RFOUT_} = 3000MHz (Note 4)		5			dBm
Minimum Output Power	f _{RFOUT_} = 3000MHz (Note 4)		-4			dBm
Output Power Variation (Note 4)	-40°C ≤ T _A ≤ +85°C		1.5		0.2	dB
	3V ≤ V _{CC_} ≤ 3.6V					
Muted Output Power	(Note 4)		-31			dBm
VCO AND FREQUENCY SYNTHESIZER NOISE						
VCO Phase Noise (Note 5)	VCO at 3000MHz	10kHz offset	-83.5		dBc/Hz	
		100kHz offset	-111			
		1MHz offset	-136			
		5MHz offset	-149			
	VCO at 4500MHz	10kHz offset	-75			
		100kHz offset	-104			
		1MHz offset	-130			
		5MHz offset	-145.5			
	VCO at 6000MHz	10kHz offset	-71.5			
		100kHz offset	-100.5			
		1MHz offset	-128.0			
		5MHz offset	-143.5			
In-Band Noise Floor	Normalized (Note 6)		-223			dBc/Hz
1/f Noise	Normalized (Note 7)		-116			dBc/Hz
In-Band Phase Noise	(Note 8)		-95			dBc/Hz
Integrated RMS Jitter	(Note 9)		0.45			ps
Spurious Signals Due to PFD Frequency			-87			dBc
VCO Tune Voltage			0.5		2.5	V

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

DIGITAL I/O CHARACTERISTICS

(V_{CC_} = +3V to +3.6V, V_{GND_} = 0V, T_A = -40°C to +85°C. Typical values at V_{CC_} = 3.3V, T_A = +25°C.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SERIAL INTERFACE INPUTS (CLK, DATA, LE, CE, RFOUT_EN)					
Input Logic-Level Low				0.6	V
Input Logic-Level High	V _{OH}	1.5			V
Input Current	I _{IH} /I _{IL}	-1		+1	μA
Input Capacitance			1		pF
SERIAL INTERFACE OUTPUTS (MUX_OUT, LD)					
Output Logic-Level Low	0.3mA sink current			0.4	V
Output Logic-Level High	0.3mA source current	V _{CC} - 0.4			V
Output Current Level High				0.5	mA

SPI TIMING CHARACTERISTICS

(V_{CC_} = +3V to +3.6V, V_{GND_} = 0V, T_A = -40°C to +85°C. Typical values at V_{CC_} = 3.3V, T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLK Clock Period	t _{CP}	Guaranteed by SCL pulse-width low and high	50			ns
CLK Pulse-Width Low	t _{CL}		25			ns
CLK Pulse-Width High	t _{CH}		25			ns
LE Setup Time	t _{LES}		20			ns
LE Hold Time	t _{LEH}		10			ns
LE Minimum Pulse-Width High	t _{LEW}		20			ns
Data Setup Time	t _{DS}		25			ns
Data Hold Time	t _{DH}		25			ns
MUX_OUT Setup Time	t _{MS}		10			ns
MUX_OUT Hold Time	t _{MH}		10			ns

Note 2: Production tested at T_A = +25°C. Cold and hot are guaranteed by design and characterization.

Note 3: f_{REFIN} = 40MHz, phase detector frequency = 40MHz, RF output = 3000MHz.

Register setting: 00780000,20000141,01005E42,00000013,610F43FC,01400005

Note 4: Measured single ended with 27nH to V_{CC_RF} into 50Ω load. Power measured with single output enabled. Unused output has 27nH to V_{CC_RF} with 50Ω termination.

Note 5: VCO phase noise is measured open loop.

Note 6: Measured at 100kHz with 50MHz Connor-Winfield CWX813 TCXO with 500kHz loop bandwidth.

Register setting: 803A0000,8000FFF9,81005F42,F4000013,6384803C,001500005

Note 7: 1/f noise contribution to the in-band phase noise is computed by using 1/fnoise + 10log(10kHz/f_{OFFSET}) + 20log(f_{RF}/1GHz). Register setting: 803A0000,8000FFF9,81005F42,F4000013,6384803C,001500005

Note 8: f_{REFIN} = 50MHz; f_{PFD} = 25MHz; offset frequency = 10kHz; VCO frequency = 4227MHz, output divide-by-2 enabled. RFOUT = 2113.5MHz; N = 169; loop BW = 40kHz, CP[3:0] = 1111; integer mode.

Note 9: f_{REFIN} = 50MHz; f_{PFD} = 25MHz; VCO frequency = 4400MHz, f_{RFOUT_} = 4400MHz; N = 176; loop BW = 40kHz, CP[3:0] = 1111; integer mode.

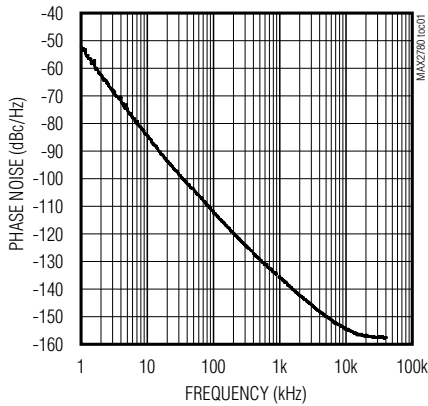
MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

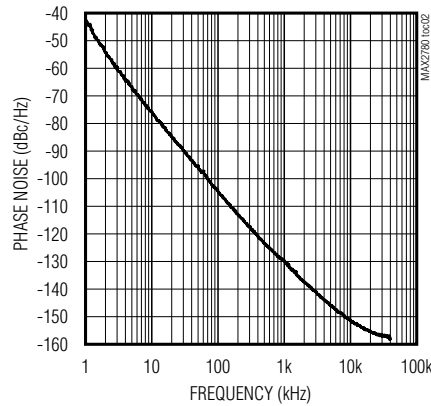
典型工作特性

(Measured with MAX2870 EV Kit. $V_{CC_} = 3.3V$, $V_{GND_} = 0V$, $f_{REF_IN} = 50MHz$, $T_A = +25^{\circ}C$, see the Testing Conditions Table.)

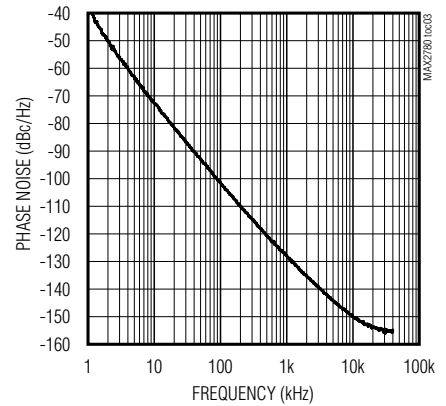
**3.0GHz VCO OPEN-LOOP PHASE NOISE
vs. FREQUENCY**



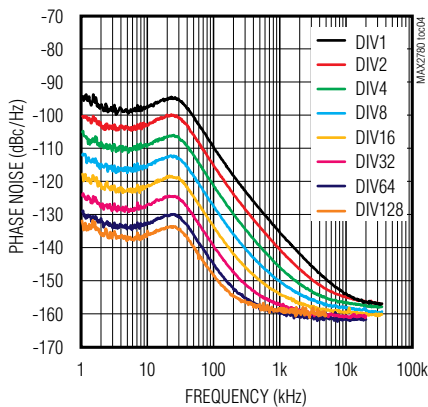
**4.5GHz VCO OPEN-LOOP PHASE NOISE
vs. FREQUENCY**



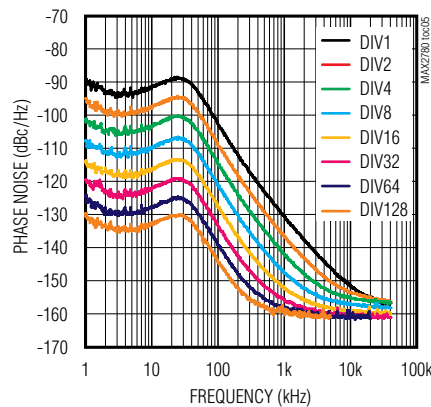
**6.0GHz VCO OPEN-LOOP PHASE NOISE
vs. FREQUENCY**



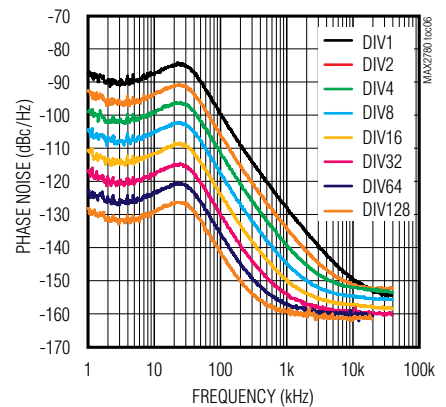
**3.0GHz CLOSED-LOOP PHASE NOISE
vs. FREQUENCY**



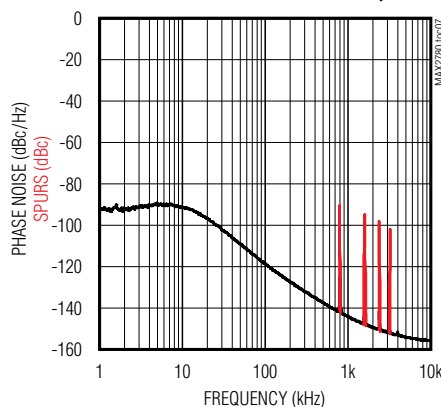
**4.5GHz CLOSED-LOOP PHASE NOISE
vs. FREQUENCY**



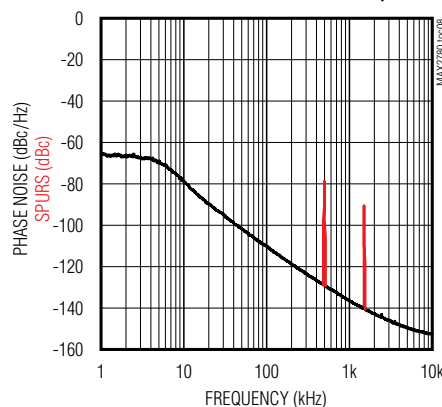
**6.0GHz CLOSED-LOOP PHASE NOISE
vs. FREQUENCY**



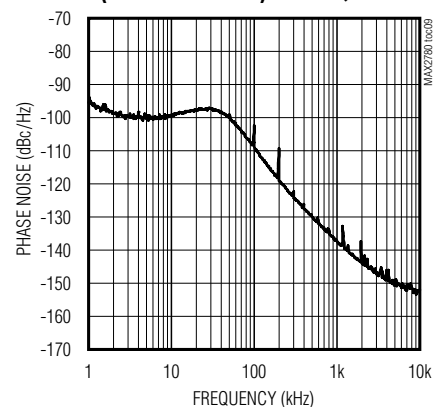
**904MHz INTEGER-N MODE PHASE NOISE
AND SPUR PERFORMANCE vs. FREQUENCY**



**2687.5MHz INTEGER-N MODE PHASE NOISE
AND SPUR PERFORMANCE vs. FREQUENCY**



**2113.5MHz FRACTIONAL-N PHASE NOISE
(LOW-NOISE MODE) vs. FREQUENCY**



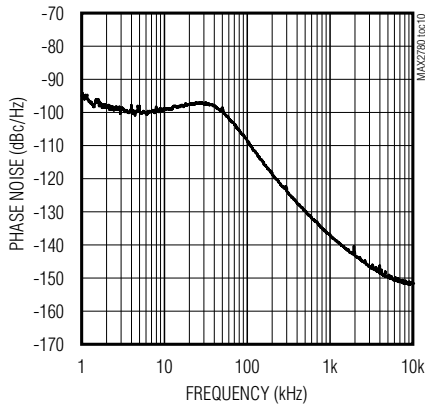
MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

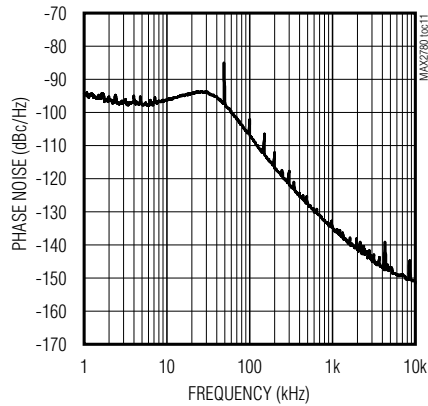
典型工作特性(续)

(Measured with MAX2870 EV Kit. $V_{CC_} = 3.3V$, $V_{GND_} = 0V$, $f_{REF_IN} = 50MHz$, $T_A = +25^{\circ}C$, see the Testing Conditions Table.)

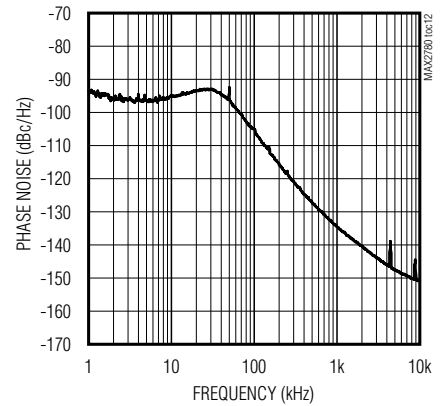
**2113.5MHz FRACTIONAL-N PHASE NOISE
vs. FREQUENCY (LOW-SPUR MODE)**



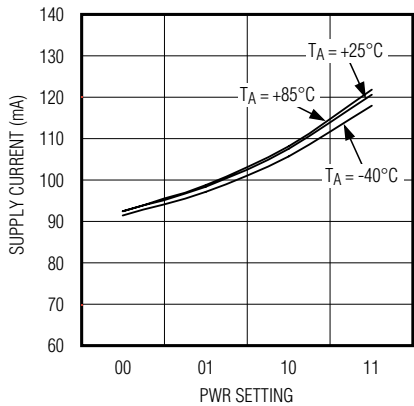
**2679.4MHz FRACTIONAL-N PHASE NOISE
vs. FREQUENCY (LOW-NOISE MODE)**



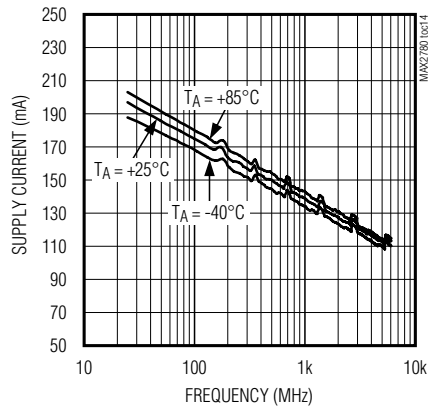
**2679.4MHz FRACTIONAL-N PHASE NOISE
vs. FREQUENCY (LOW-SPUR MODE)**



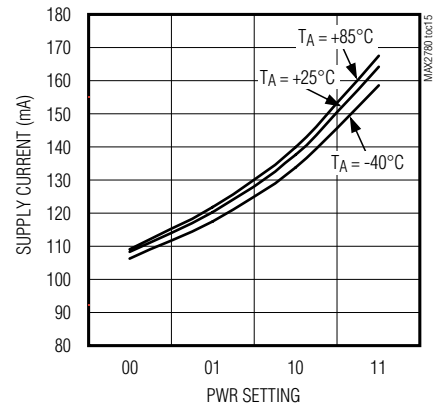
**SUPPLY CURRENT vs. OUTPUT POWER
SETTING (ONE CHANNEL ACTIVE, 3GHz)**



**SUPPLY CURRENT vs. FREQUENCY
(ONE CHANNEL ACTIVE,
MAXIMUM OUTPUT POWER)**



**SUPPLY CURRENT vs. OUTPUT POWER
SETTING (TWO CHANNELS ACTIVE)**

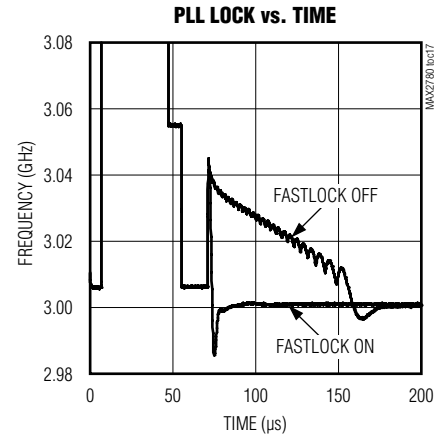
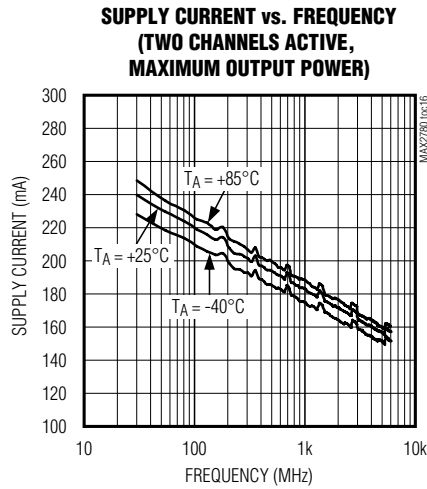


MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

典型工作特性(续)

(Measured with MAX2870 EV Kit. $V_{CC_} = 3.3V$, $V_{GND_} = 0V$, $f_{REF_IN} = 50MHz$, $T_A = +25^{\circ}C$, see the Testing Conditions Table.)



典型工作特性测试条件表

TOC TITLE	f_{REF} (MHz)	f_{PFD} (MHz)	REGISTER SETTINGS (hex)	LOOP FILTER BW (Hz)	MAX2870 EV KIT COMPONENT VALUES					COMMENTS
					C13 (F)	R1 + R2 (Ω)	C14 (F)	R0 (Ω)	C12 (F)	
3.0GHz VCO OPEN-LOOP PHASE NOISE vs. FREQUENCY	N/A	N/A	80B40000, 80000141, 0000405A, XX00013, 648020FC, 00000005							VCO bits set for 3GHz output, VAS_SHDN = 1
4.5GHz VCO OPEN-LOOP PHASE NOISE vs. FREQUENCY	N/A	N/A	80B40000, 80000141, 0000405A, XX00013, 648020FC, 00000005							VCO bits set for 4.5GHz output, VAS_SHDN = 1
6.0GHz VCO OPEN-LOOP PHASE NOISE vs. FREQUENCY	N/A	N/A	80B40000, 80000141, 0000405A, XX00013, 648020FC, 00000005							VCO bits set for 6.0GHz output, VAS_SHDN = 1

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

典型工作特性测试条件表

TOC TITLE	f _{REF} (MHz)	f _{PFD} (MHz)	REGISTER SETTINGS (hex)	TOC TITLE	MAX2870 EV KIT COMPONENT VALUES					COMMENTS
					C13 (F)	R1 + R2 (Ω)	C14 (F)	R0 (Ω)	C12 (F)	
3.0GHz CLOSED-LOOP PHASE NOISE vs. FREQUENCY	50	25	803C0000 80000141 00009E42, E8000013, 618160FC, 00400005	40k	0.1μ	120	0.012μ	250	820p	
4.5GHz CLOSED-LOOP PHASE NOISE vs. FREQUENCY	50	25	805A0000, 80000141, 00009E42, E8000013, 618160FC, 00400005	40k	0.1μ	120	0.012μ	250	820p	
6.0GHz CLOSED-LOOP PHASE NOISE vs. FREQUENCY	50	25	80780000, 0080000141, 00009E42, EA000013, 608C80FC, 00400005	40k	0.1μ	120	0.012μ	250	820p	
904MHz INTEGER-N MODE PHASE NOISE AND SPUR PERFORMANCE vs. FREQUENCY	40	0.8	82350000, 800007D1 E1065FC2, 2C000013 6020803C 00400005	16k	0.1μ	806	3300p	1201	470p	
2687.5MHz INTEGER-N PHASE NOISE AND SPUR PERFORMANCE vs. FREQUENCY	40	0.5	94FF0000, 803207D1, 010A1E42, B00000A3, 6090803C, 00400005	5k	0.1μ	1000	6800p	300	0.01μ	
2113.5MHz FRACTIONAL-N PHASE NOISE (LOW-NOISE MODE) vs. FREQUENCY	50	25	00548050, 400003E9, 81005FC2, E8000013, 609C80FC, 00400005	40k	0.1μ	120	0.012μ	250	820p	
2113.5MHz FRACTIONAL-N PHASE NOISE vs. FREQUENCY (LOW-SPUR MODE)	50	25	00548050, 400003E9, E1005FC2, E8000013, 609C80FC, 00400005	40k	0.1μ	120	0.012μ	250	820p	

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

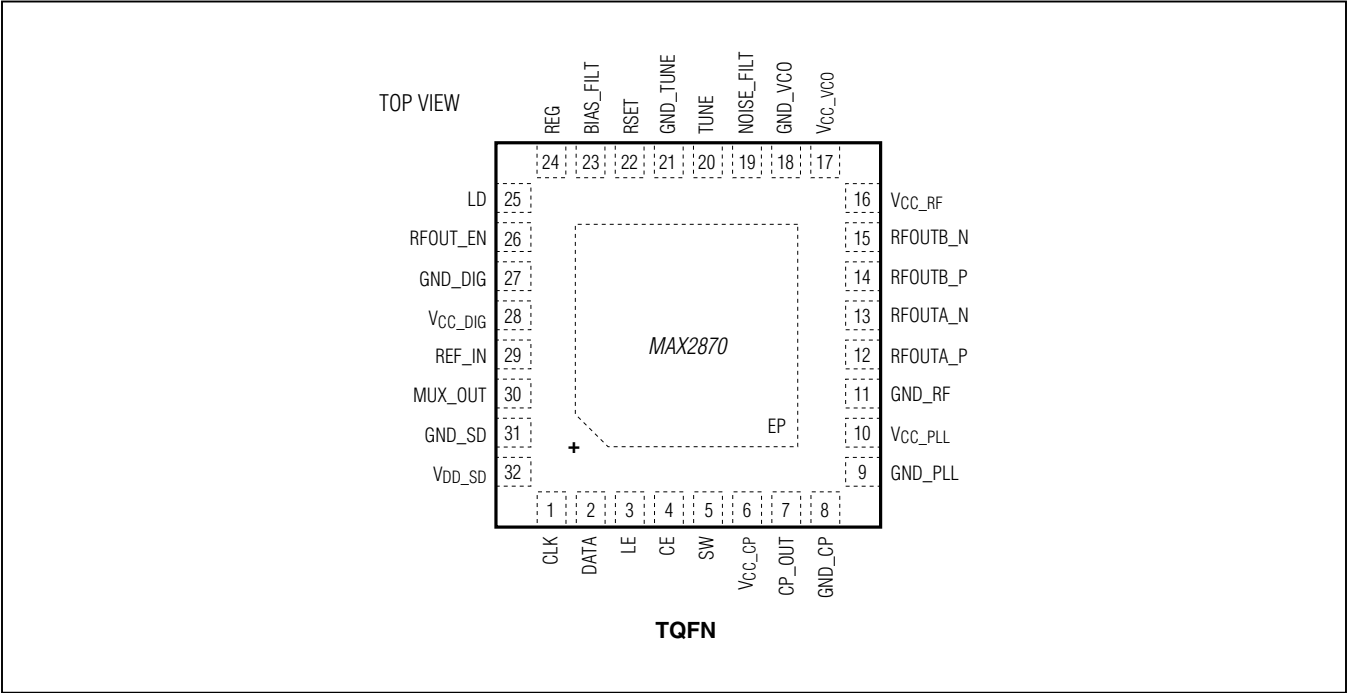
典型工作特性测试条件表

TOC TITLE	f _{REF} (MHz)	f _{PFD} (MHz)	REGISTER SETTINGS (hex)	TOC TITLE	MAX2870 EV KIT COMPONENT VALUES					COMMENTS
					C13 (F)	R1 + R2 (Ω)	C14 (F)	R0 (Ω)	C12 (F)	
2679.4MHz FRACTIONAL-N PHASE NOISE vs. FREQUENCY (LOW-NOISE MODE)	50	25	00358160, 203207D1, 01005E42, B20000A3, 6010003C, 00400005	40k	0.1μ	120	0.012μ	250	820p	
2679.4MHz FRACTIONAL-N PHASE NOISE vs. FREQUENCY (LOW-SPUR MODE)		25	00358160, 203207D1, 41005E42, B20000A3, 6010003C, 00400005	40k	0.1μ	120	0.012μ	250	820p	
SUPPLY CURRENT vs. OUTPUT POWER SETTING (ONE CHANNEL ACTIVE, 3GHz)	50	25	003C0000, 20000321, 01005E42, 00000013, 610F423C, 01400005,							APWR swept from 00 to 11
SUPPLY CURRENT vs. FREQUENCY (ONE CHANNEL ACTIVE, MAXIMUM OUTPUT POWER)	50	25	003C0000, 20000321, 01005E42, 00000013, 610F423C, 01400005							N and F values changed for each frequency
SUPPLY CURRENT vs. OUTPUT POWER SETTING (TWO CHANNELS ACTIVE)	50	25	003C0000, 20000321, 01005E42, 00000013, 610F43FC, 01400005							APWR and BPWR swept from 00 to 11
SUPPLY CURRENT vs. FREQUENCY (TWO CHANNELS ACTIVE MAXIMUM OUTPUT POWER)	50	25	003C0000, 20000321, 01005E42, 00000013, 610F43FC, 01400005							N and F values swept for each frequency
PLL LOCK vs. TIME	40	40	00250120, 20320141, 00004042, 000000A3, 0184023C, 01400005	40k	0.1μ	120	0.012μ	250	820p	CDM changed from 00 to 01

MAX2870

23.5MHz至6000MHz分数/
整数N分频合成器/VCO

引脚配置



引脚说明

引脚	名称	功能
1	CLK	串行时钟输入，在CLK的上升沿将数据锁存到32位移位寄存器。
2	DATA	串行数据输入，装载串行数据时MSB在前。3位LSB代表寄存器地址。
3	LE	负载使能输入。LE跳变到高电平时，将储存在移位寄存器的数据装载到相应的锁存器。
4	CE	芯片使能，逻辑低电平关断器件，电荷泵置于高阻状态。
5	SW	快速锁定开关。使用快速锁定模式时，连接至环路滤波器。
6	VCC_CP	电荷泵电源，去耦电容尽量靠近引脚放置。
7	CP_OUT	电荷泵输出，连接至外部环路滤波器输入。
8	GND_CP	电荷泵地，连接至电路板地，不要连接到底部焊盘。
9	GND_PLL	PLL地，连接至主电路板地，不要连接到底部焊盘。
10	VCC_PLL	PLL电源，去耦电容尽量靠近引脚放置。
11	GND_RF	RF输出地，连接至电路板地，不要连接到底部焊盘。
12	RFOUTA_P	集电极开路RF输出A的正端，通过RF扼流圈或50Ω负载连接至电源。
13	RFOUTA_N	集电极开路RF输出A的负端，通过RF扼流圈或50Ω负载连接至电源。

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

引脚说明(续)

引脚	名称	功能
14	RFOUTB_P	集电极开路RF输出B的正端，通过RF扼流圈或50Ω负载连接至电源。
15	RFOUTB_N	集电极开路RF输出B的负端，通过RF扼流圈或50Ω负载连接至电源。
16	V _{CC_RF}	RF输出和分频器电源，去耦电容尽量靠近引脚放置。
17	V _{CC_VCO}	VCO电源，通过去耦电容旁路至模拟地。
18	GND_VCO	VCO地，连接至外部接地焊盘。
19	NOISE_FILT	VCO噪声去耦，通过1μF电容旁路至地。
20	TUNE	VCO控制输入，连接至外部环路滤波器。
21	GND_TUNE	VCO控制输入电路地，连接至外部接地焊盘。
22	RSET	电荷泵电流范围输入，通过外部电阻接地，用于设置最小CP电流： $I_{CP} = 1.63/R_{SET} \times (1 + CP)$ 。
23	BIAS_FILT	VCO噪声去耦，通过1μF电容旁路至地。
24	REG	基准电压补偿，通过1μF电容旁路至地。
25	LD	锁相检测输出，相位锁定时为逻辑高电平；未锁定时为逻辑低电平，更多信息请参考寄存器说明(表9)。
26	RFOUT_EN	RF输出使能，逻辑低电平禁止RF输出。
27	GND_DIG	数字电路地，连接至主电路板地，不要直接连接至底部焊盘。
28	V _{CC_DIG}	数字电路电源，去耦电容尽量靠近引脚放置。
29	REF_IN	参考时钟输入。该输入为高阻输入，标称偏置电压为V _{CC_DIG} /2。与参考时钟信号交流耦合。
30	MUX_OUT	多路复用输出和串行数据输出，参见表6。
31	GND_SD	Σ-Δ调制器地，连接至主电路板地，不要直接连接到底部焊盘。
32	V _{CC_SD}	Σ-Δ调制器电源，去耦电容尽量靠近引脚放置。
—	EP	裸焊盘，连接至电路板地。

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

详细说明

4线串口

MAX2870串口包括5个只写/1个只读32位寄存器，寄存器的29位最高有效位(MSB)为数据，3个最低有效位(LSB)为寄存器地址。通过4线串口(SPI)装载寄存器数据，MSB在前。LE为逻辑低电平时，在CLK的上升沿移入DATA端的逻辑信号，在LE的上升沿将29个数据位锁存到地址位所选的寄存器。上电后，用户必须设置所有寄存器。

寄存器设置顺序为：0x05、0x04、0x03、0x02、0x01和0x00。对多位进行双缓存，以同时更新设置。关于双缓存设置的详细信息，请参考寄存器说明。

寄存器0x06可通过MUX_OUT读取，用户必须设置MUX = 1100。为了启动读时序，将LE置为逻辑低，发送32个周期的CLK，然后将LE置为逻辑高。发送CLK时钟时，DATA引脚在29个时钟周期内可保持在逻辑高或逻辑低，但最后3位必须为110，用于表示寄存器6。随后，发送最后一个时钟周期。寄存器0x06的MSB出现在下一个时钟的下降沿，并在接下来的29个时钟周期连续移出(图2)。读取寄存器0x06的LSB后，用户可复位MUX = 0000。

功率模式

通过设置SHDN = 1 (寄存器2，第5位)或将CE引脚置为逻辑低电平，使MAX2870置于低功耗模式。

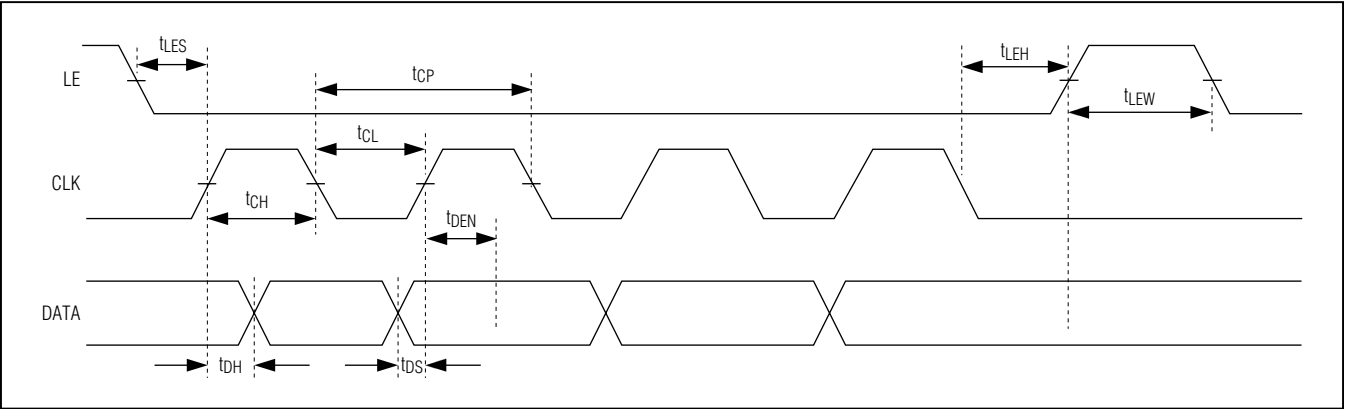


图1. SPI时序图

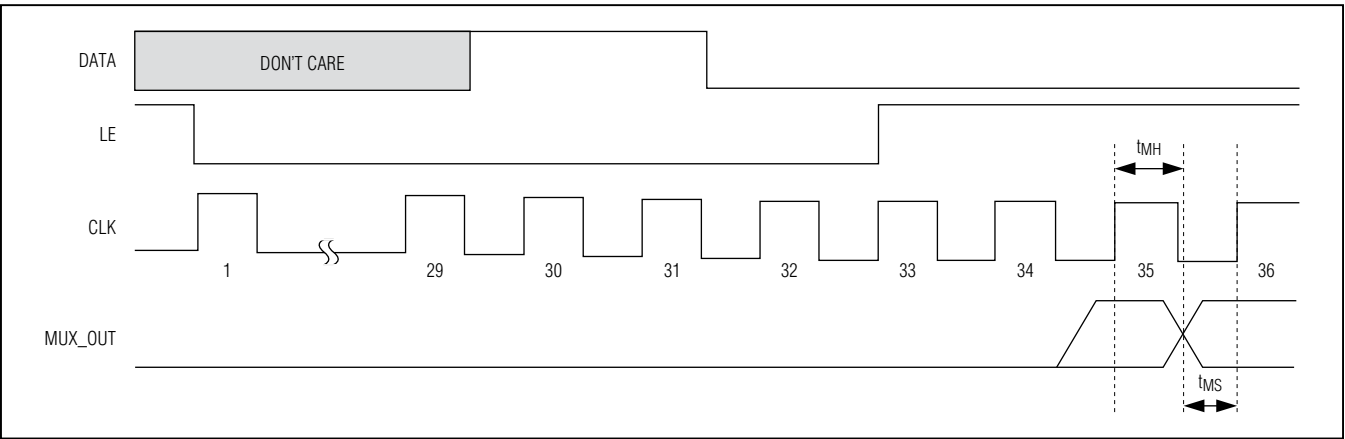


图2. 初始化读操作

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

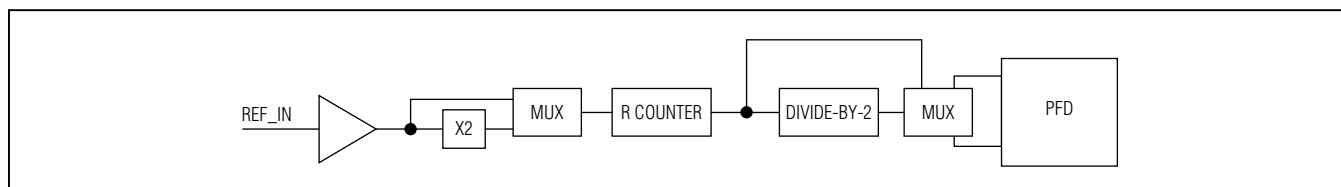


图3. 参考时钟输入

参考时钟输入

基准输入级配置为CMOS转换器，输入至输出之间有分流电阻。关断模式下，该输入设置为高阻，防止装载基准源。参考时钟输入通路包括可选的x2和÷2电路。使能参考时钟倍频时(DBR = 1)，最大参考时钟输入频率限制为100MHz；关闭参考时钟倍频器时，参考时钟输入频率限制为200MHz；最小参考时钟频率为10MHz。R计数器的最小分频比为1，最大分频比为1023。

整数、分数、模和R计数器之间的关系

鉴相器频率由下式决定：

$$f_{\text{PFD}} = f_{\text{REF}} \times [(1 + \text{DBR}) / (R \times (1 + \text{RDIV2}))]$$

f_{REF} 表示外部参考时钟输入频率；DBR (寄存器2，第25位)设置 f_{REF} 输入倍频模式(0或1)；RDIV2 (寄存器2，第24位)设置 f_{REF} 的2分频模式(0或1)；R (寄存器2，第23位至第14位)为10位可编程参考时钟计数器值(1至1023)。对于分数N分频模式，最大 f_{PFD} 为50MHz；对于整数N分频模式，为105MHz。RST (寄存器2，第3位) = 1时，R分频器可保持复位。

根据所要求的RF输出频率(f_{RFOUTA})决定VCO频率(f_{VCO})、N、F和M，如下式：

根据 f_{RFOUTA} 和DIVA寄存器表(寄存器4[22.20])设置DIVA：

$$f_{\text{VCO}} = f_{\text{RFOUTA}} \times \text{DIVA}$$

如果FB = 1，(DIVA未处于PLL反馈环路)：

$$(N + (F/M)) = f_{\text{VCO}} / f_{\text{PFD}}$$

如果位FB = 0，(DIVA处于PLL反馈环路)且DIVA ≤ 16：

$$(N + (F/M)) = (f_{\text{VCO}} / f_{\text{PFD}}) / \text{DIVA}$$

如果FB = 0，(DIVA处于PLL反馈回路)且DIVA > 16：

$$(N + (F/M)) = (f_{\text{VCO}} / f_{\text{PFD}}) / 16$$

N为16位N计数器的数值(16至65535)，可通过寄存器0的30:15位设置；M为分数模(2至4095)，可通过寄存器1的

14:3位设置；F为分数的除数(0至MOD - 1)，可通过寄存器0的14:3位设置。分数N模式下，最小N值为19，最大N值为4091。RST = 1 (寄存器2，第3位)，N计数器可保持复位。DIVA为RF输出分频器设置(0至7)，可通过寄存器4的22:20位设置。分频比由 2^{DIVA} 设置。

RF B输出频率由下式决定：

$$\text{If } \text{BDIV} = 0 \text{ (寄存器4, 第五位), } f_{\text{RFOUTB}} = f_{\text{RFOUTA}}$$

$$\text{If } \text{BDIV} = 1, f_{\text{RFOUTB}} = f_{\text{VCO}}$$

整数/分数N分频模式

通过设置INT = 1 (寄存器0，第31位)，选择整数N分频模式。工作在整数N分频模式时，也必须将LDF位(寄存器2，第8位)置位，以将锁相检测设置为整数N分频模式。

通过设置INT = 0 (寄存器0，第31位)，选择分数N分频模式。此外，设置LDF = 0 (寄存器2，第8位)，设置为分数N分频锁相检测模式。

如果器件工作在分数N分频模式，当分数除数F = 0时，将保持在分数N分频模式，将产生杂散。为避免这种情况发生，如果F01 = 1 (寄存器5，第24位)，则当F = 0时，器件自动切换至整数分频模式。

鉴相器和电荷泵

器件的电荷泵电流由引脚RSET与地之间的电阻和CP (寄存器2，第12位至第9位)决定，公式如下：

$$I_{\text{CP}} = 1.63 / \text{RSET} \times (1 + \text{CP})$$

为减小分数N分频模式下的杂散，设置电荷泵线性度CPL = 1 (寄存器1，第30位至第29位)；对于整数N分频模式，设置CPL = 0。为减小整数N分频模式下的噪声，设置电荷泵输出箝位CPOC = 1 (寄存器1，第31位)，以防止漏电流进入环路滤波器；对于分数N分频模式，设置CPOC = 0。

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

TRI = 1 (寄存器2, 第4位)时, 电荷泵输出可置于高阻模式; TRI = 0时, 输出为常规模式。

如果采用有源反相环路滤波器, 可改变鉴相器极性。对于同相环路滤波器, 设置PDP = 1 (寄存器2, 第6位); 对于反相环路滤波器, 设置PDP = 0。

MUX_OUT和锁相检测

MUX_OUT为多功能测试输出, 用于观察MAX2870的各种内部功能。MUX_OUT也可配置为串行数据输出, MUX (寄存器2, 第28位至第26位)用于选择相应的MUX_OUT信号(见表6)。

设置LD (寄存器5, 第23位至第22位)位, 可通过LD输出监测锁相。对于数字锁相检测, 设置LD = 01; 数字锁相检测取决于合成器的模式。分数N分频模式下, 设置LDF = 0; 整数N分频模式下, 设置LDF = 1。有关数字锁相检测精度设置, 请参考表1和表2。

可利用LD = 10设置模拟锁相检测。该模式下, LD为开漏输出, 需要外部上拉电阻。

快速锁定

器件采用快速锁定模式可缩短锁相时间。该模式要求CP = 0000 (寄存器2, 第12位至第9位), 环路滤波器的分流电阻部分分为两段, 其中一个电阻为总电阻的1/4, 另一电阻为总电阻的3/4。较大的电阻连接在地和SW之间, 较小的电

阻连接在SW与环路滤波器电容之间。CDM = 01 (寄存器3, 第16位至第15位)时, 完成VAS后激活快速锁定。快速锁定期间, 电荷泵增大至CP = 1111, 通过将引脚SW从高阻改为地, 将环路滤波器分流电阻设置为总值的1/4。经过用户设置的超时周期之后, 快速锁定电路终止工作。超时与环路滤波器相关, 由下式设置:

$$t_{\text{FAST-LOCK}} = M \times \text{CDIV} / f_{\text{REF}}$$

式中, M为模设置, CDIV为式中分频器设置。用户必须根据其环路滤波器时间常数确定CDIV设置。

RFOUTA±和RFOUTB±

器件具有双路差分集电极开路RF输出, 通过外部RF扼流圈50Ω电阻为每路输出供电。通过置位RFA_EN (寄存器4, 第5位)和RFB_EN (寄存器4, 第8位), 可独立使能或禁止每路差分输出。也可以通过向引脚RFOUT_EN施加逻辑高电平(使能)或逻辑低电平(禁止)控制两路输出。

每路输出的功率可独立控制: APWR (寄存器4, 第4位至第3位)控制RFOUTA, BPWR (寄存器4, 第7位至第6位)控制RFOUTB。差分输出功率范围: -4dBm至+5dBm, 调整步长为3dB, 输出通过50Ω电阻上拉至电源。单端输出功率范围: -4dBm至+5dBm, 调整步长为3dB, 由射频扼流圈提供。在整个频率范围内, 为了优化输出功率, 需采用不同的上拉元件(L或R)。如果采用单端输出, 没有使用的输出匹配端应该端接相应负载。

表1. 分数N分频数字锁相检测

PFD FREQUENCY	LDS	LDP	LOCKED UP/DOWN TIME SKEW (ns)	NUMBER OF LOCKED CYCLES TO SET LD	UP/DOWNTIME SKEW TO UNSET LD (ns)
≤ 32MHz	0	0	10	40	15
≤ 32MHz	0	1	6	40	15
> 32MHz	1	X	4	40	4

表2. 整数N分频数字锁相检测

PFD FREQUENCY	LDS	LDP	LOCKED UP/DOWN TIME SKEW (ns)	NUMBER OF LOCKED CYCLES TO SET LD	UP/DOWNTIME SKEW TO UNSET LD (ns)
≤ 32MHz	0	0	10	5	15
≤ 32MHz	0	1	6	5	15
> 32MHz	1	X	4	5	4

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

压控振荡器

器件利用4个独立的VCO核心模块，每个模块覆盖16个子频带，VCO基频保证无缝覆盖3.0GHz至6.0GHz。将环路滤波器的输出连接至TUNE输入。TUNE输入用于控制VCO。

调谐ADC

3位ADC用于读取VCO调谐电压，ADC数值可通过寄存器6的第22位至第20位读取。ADC范围如表3所示。

注意，调谐电压超出调谐范围时，数字或模拟锁相检测可能仍然有效。

VCO自动选择(VAS)状态机

如果VAS_SHDN = 0 (寄存器3，第25位)，当寄存器0设置为自动选择正确VCO时，内部VCO自动选择状态机启动；如果VAS_SHDN = 1，可由VCO位手动选择VCO。

状态机时钟fBS必须设置为50kHz，由BS位设置。设置BS的公式为：

$$BS = f_{REF}/50kHz$$

式中，fREF为参考时钟频率。BS (寄存器4，第19位至第12位)应四舍五入至最接近的整数。如果计算得到的BS高于1023，则设置BS = 1023。如果fREF低于50kHz，则设置BS = 1。选择正确VCO所需的时间为10/fBS。

RETUNE (寄存器3，第24位)用于使能或禁止VAS自动调谐功能。如果RETUNE = 1，3位TUNE ADC检测到VCO控制电压(VTUNE)已偏移至000或111状态时，VAS将启动自动调谐；如果RETUNE = 0，则禁止该功能。

表3. ADC与VCO状态

ADC	VCO STATUS
000	Out-of-lock, $V_{TUNE} < 0.5V$
001	In-lock, $0.5V < V_{TUNE} < 0.7V$
010	In-lock, $0.7V < V_{TUNE} < 1.3V$
011	Not used
100	Not used
101	In-lock, $1.3V < V_{TUNE} < 2.1V$
110	In-lock, $2.1V < V_{TUNE} < 2.5V$
111	Out-of-lock, $V_{TUNE} > 2.5V$

相移模式

锁相后，能够以增量 $P/M \times 360^\circ$ 更改RF输出相位。不能确定绝对相位，但可更改相对于当前相位的相位差。

按照以下步骤更改相位：

- 1) 在相应频率下达到锁相。
- 2) 通过设置 $P = M \times \{\text{预期相位变化}\}/360^\circ$ ，设置相对于当前相位的相位增量。
- 3) 通过设置CDM = 10，使能相位更改。
- 4) 复位CDM = 00。

低杂散模式

器件提供三种Σ-Δ调制器工作模式。低噪声模式具有较低的带内噪声，但杂散较大。通过设置SDN = 10 (寄存器2，第30位至第29位)或SDN = 11，设置为不同的抖动模式，可降低杂散。用户可确定最适合具体应用的工作模式。

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

寄存器和位说明

器件的运作模式由5个芯片上寄存器控制。

预设模式仅供参考，不能保证上电。所有保留地址应当设成预设值。低压模式下，寄存数值会保留。

表4. 寄存器0 (地址：000，默认值：007D0000_{HEX})

位	位ID	名称	定义
31	INT	Int-N or Frac-N Mode Control	0 = 使能分数N分频模式 1 = 使能整数N分频模式 LDF位也必须设置为对应模式。
30:15	N[15:0]	Integer Division Value	设置反馈分频系数的整数部分(N分频器)。对于整数模式，允许从16至65,535的所有整数值；对于分数模式，允许从19至4,091的整数值。
14:3	FRAC[11:0]	Fractional Division Value	设置分数值： 000000000000 = 0 (见F0I位说明) 000000000001 = 1 ----- 111111111110 = 4094 111111111111 = 4095
2:0	ADDR[2:0]	Address Bits	寄存器地址位

表5. 寄存器1 (地址：001，默认值：2000FFF9_{HEX})

位	位ID	名称	定义
31	CPOC	CP Output Clamp	设置电荷泵输出箝位模式。 0 = CP关断时，禁止CP输出箝位 1 = CP关断时，使能CP输出箝位(改善整数N分频模式下的带内相噪)
30:29	CPL[1:0]	CP Linearity	设置CP线性度模式。 00 = 禁止CP线性度模式(整数N模式) 01 = 使能CP线性度模式(分数N模式) 10 = 保留 11 = 保留
28:27	CPT[1:0]	Charge Pump Test	设置电荷泵测试模式。 00 = 常规模式 01 = 保留 10 = 强制CP进入源出模式 11 = 强制CP进入吸入模式
26:15	P[11:0]	Phase Value	设置相位值，参见相移模式部分。 000000000000 = 0 000000000001 = 1 (推荐) ----- 111111111111 = 4095

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

表5. 寄存器1 (地址: 001, 默认值: 2000FFF9_{HEX}) (续)

位	位ID	名称	定义
14:3	M[11:0]	Modulus Value (M)	用于设置f _{VCO} 的分数模, 参见整数、分数、模和R计数器的关系部分。由寄存器0进行双缓存。 000000000000 = 不使用 000000000001 = 不使用 000000000010 = 2 ----- 111111111111 = 4095
2:0	ADDR[2:0]	Address Bits	寄存器地址位

表6. 寄存器2 (地址: 010, 默认值: 00004042_{HEX})

位	位ID	名称	定义
31	LDS	Lock-Detect Speed	锁相检测速度调节。 0 = fPFD ≤ 32MHz 1 = fPFD > 32MHz
30:29	SDN[1:0]	Frac-N Noise Mode	设置噪声模式(见低杂散模式部分)。 00 = 低噪声模式 01 = 保留 10 = 低杂散模式1 11 = 低杂散模式2
28:26	MUX[3:0]	MUX_OUT Configuration	设置MUX_OUT引脚配置(MSB位位于寄存器05)。 0000 = 三态输出 0001 = D_VDD 0010 = D_GND 0011 = R分频器输出 0100 = N分频器输出 0101 = 模拟锁相检测 0110 = 数字锁相检测 0111:1011 = 保留 1100 = 读寄存器06 MUX_OUT配置为串行数据输出。 1101:1111 = 保留
25	DBR	Reference Doubler Mode	设置基准倍增模式。 0 = 关闭参考时钟倍频器 1 = 使能参考时钟倍频器
24	RDIV2	Reference Div2 Mode	设置基准分频器模式。 0 = 禁用参考时钟2分频 1 = 使能参考时钟2分频
23:14	R[9:0]	Reference Divider Mode	设置参考时钟分频(R), 由寄存器0进行双缓存。 0000000000 = 0 (不使用) 0000000001 = 1 ----- 1111111111 = 1023

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

表6. 寄存器2 (地址: 010, 默认值: 00004042_{HEX}) (续)

位	位ID	名称	定义
13	REG4DB	Double Buffer	设置双缓存模式。 0 = 禁止 1 = 使能
12:9	CP[3:0]	Charge-Pump Current	设置电荷泵电流, 单位为mA ($R_{SET} = 5.1k\Omega$)。由寄存器0进行双缓存。 0000 = 0.32 0001 = 0.64 0010 = 0.96 0011 = 1.28 0100 = 1.60 0101 = 1.92 0110 = 2.24 0111 = 2.56 [$ICP = 1.63/RSET \times (1 + CP<3:0>)$] 1000 = 2.88 1001 = 3.20 1010 = 3.52 1011 = 3.84 1100 = 4.16 1101 = 4.48 1110 = 4.80 1111 = 5.12
8	LDF	Lock-Detect Function	设置锁定检测功能。 0 = 分数N分频锁相检测 1 = 整数N分频锁相检测
7	LDP	Lock-Detect Precision	设置锁相检测精度。 0 = 10nS 1 = 6nS
6	PDP	Phase Detector Polarity	设置鉴相器极性。 0 = 负(用于反相有源环路滤波器) 1 = 正(用于无源环路滤波器和同相有源环路滤波器)
5	SHDN	Power-Down Mode	设置关断模式。 0 = 常规模式 1 = 器件关断
4	TRI	Charge-Pump Three-State Mode	设置电荷泵三态模式。 0 = 禁止 1 = 使能
3	RST	Counter Reset	设置计数器复位模式。 0 = 常规工作 1 = R和N计数器复位
2:0	ADDR	Address Bits	寄存器地址

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

表7. 寄存器3 (地址: 011, 默认值: 0000000B_{HEX})

位	位ID	名称	定义
31:26	VCO[5:0]	VCO	禁止VAS时, 手动选择VCO和VCO子频带。 000000 = VCO0 ... 111111 = VCO63
25	VAS_SHDN	VAS_SHDN	设置VAS状态机模式。 0 = 使能VAS 1 = 禁止VAS
24	RETUNE	RETUNE	设置VAS对温漂的响应。 0 = 禁止VAS在温度范围内自动调整 1 = 使能VAS在温度范围内自动调整
23:18	Reserved	Reserved	保留, 设置为000000。
17	Reserved	Reserved	保留, 设置为0。
16:15	CDM[1:0]	Clock Divider Mode	设置时钟分频器模式。 00 = 关闭时钟分频器 01 = 使能快速锁定 10 = 相位模式 11 = 保留
14:3	CDIV[11:0]	Clock Divider Value	设置12位时钟分频比。 000000000000 = 不使用 000000000001 = 1 000000000010 = 2 ----- 111111111111 = 4095
2:0	ADDR[2:0]	Address Bits	寄存器地址

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

表8. 寄存器4 (地址: 100, 默认值: 6180B23C_{HEX})

位	位ID	名称	定义
31:26	Reserved	Reserved	保留, 设置为011000。
25:24	BS_MSBs[1:0]	Band-Select MSBs	频段选择MSB, 参见位[19:12]。
23	FB	VCO Feedback Mode	将VCO设置为N计数器反馈模式。 0 = 分频值 1 = 基频
22:20	DIVA[2:0]	RFOUT_ Output Divider Mode	设置RFOUT_输出分频器模式, REG4DB = 1时, 用寄存器0进行双缓存。 000 = 1分频, $3000\text{MHz} \leq f_{\text{RFOUTA}} \leq 6000\text{MHz}$ 时 001 = 2分频, $1500\text{MHz} \leq f_{\text{RFOUTA}} < 3000\text{MHz}$ 时 010 = 4分频, $750\text{MHz} \leq f_{\text{RFOUTA}} < 1500\text{MHz}$ 时 011 = 8分频, $375\text{MHz} \leq f_{\text{RFOUTA}} < 750\text{MHz}$ 时 100 = 16分频, $187.5\text{MHz} \leq f_{\text{RFOUTA}} < 375\text{MHz}$ 时 101 = 32分频, $93.75\text{MHz} \leq f_{\text{RFOUTA}} < 187.5\text{MHz}$ 时 110 = 64分频, $46.875\text{MHz} \leq f_{\text{RFOUTA}} < 93.75\text{MHz}$ 时 111 = 128分频, $23.5\text{MHz} \leq f_{\text{RFOUTA}} < 46.875\text{MHz}$ 时
19:12	BS[7:0]	Band Select	设置频带选择时钟频比, MSB位于[25:24]。 0000000000 = 保留 0000000001 = 1 0000000010 = 2 ----- 1111111111 = 1023
11	Reserved	Reserved	保留, 设置为0。
10	Reserved	Reserved	保留, 设置为0。
9	BDIV	RFOUTB Output Path Select	设置RFOUTB输出路径选择。 0 = VCO分频输出 1 = VCO基频
8	RFB_EN	RFOUTB Output Mode	设置RFOUTB输出模式。 0 = 禁止 1 = 使能
7:6	BPWR[1:0]	RFOUTB Output Power	设置RFOUTB单端输出功率, 参见RFOUTA _{J±} 和RFOUTB _± 部分。 00 = -4dBm 01 = -1dBm 10 = +2dBm 11 = +5dBm
5	RFA_EN	RFOUTA Output Mode	设置RFOUTA输出模式。 0 = 禁止 1 = 使能
4:3	APWR[1:0]	RFOUTA Output Power	设置RFOUTA单端输出功率, 参见RFOUTA _{J±} 和RFOUTB _± 部分。 00 = -4dBm 01 = -1dBm 10 = +2dBm 11 = +5dBm
2:0	ADDR[2:0]	Register Address	寄存器地址

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

表9. 寄存器5 (地址: 101, 默认值: 00400005_{HEX})

位	位ID	名称	定义
31:25	Reserved	Reserved	保留, 设置为0000000。
24	F01	F01	设置F = 0时的整数模式。 0 = 如果F[11:0] = 0, 设置分数N分频模式 1 = 如果F[11:0] = 0, 则自动设置整数N分频模式
23:22	LD[1:0]	Lock-Detect Pin Function	设置鉴相器引脚功能 00 = 低 01 = 数字锁相检测 10 = 模拟锁相检测 11 = 高
21:19	Reserved	Reserved	保留, 设置为000。
18	MUX	MUX MSB	设置MUX_OUT引脚模式(见寄存器2 [28:26])
17:3	Reserved	Reserved	保留
2:0	ADDR[2:0]	Register Address	寄存器地址位

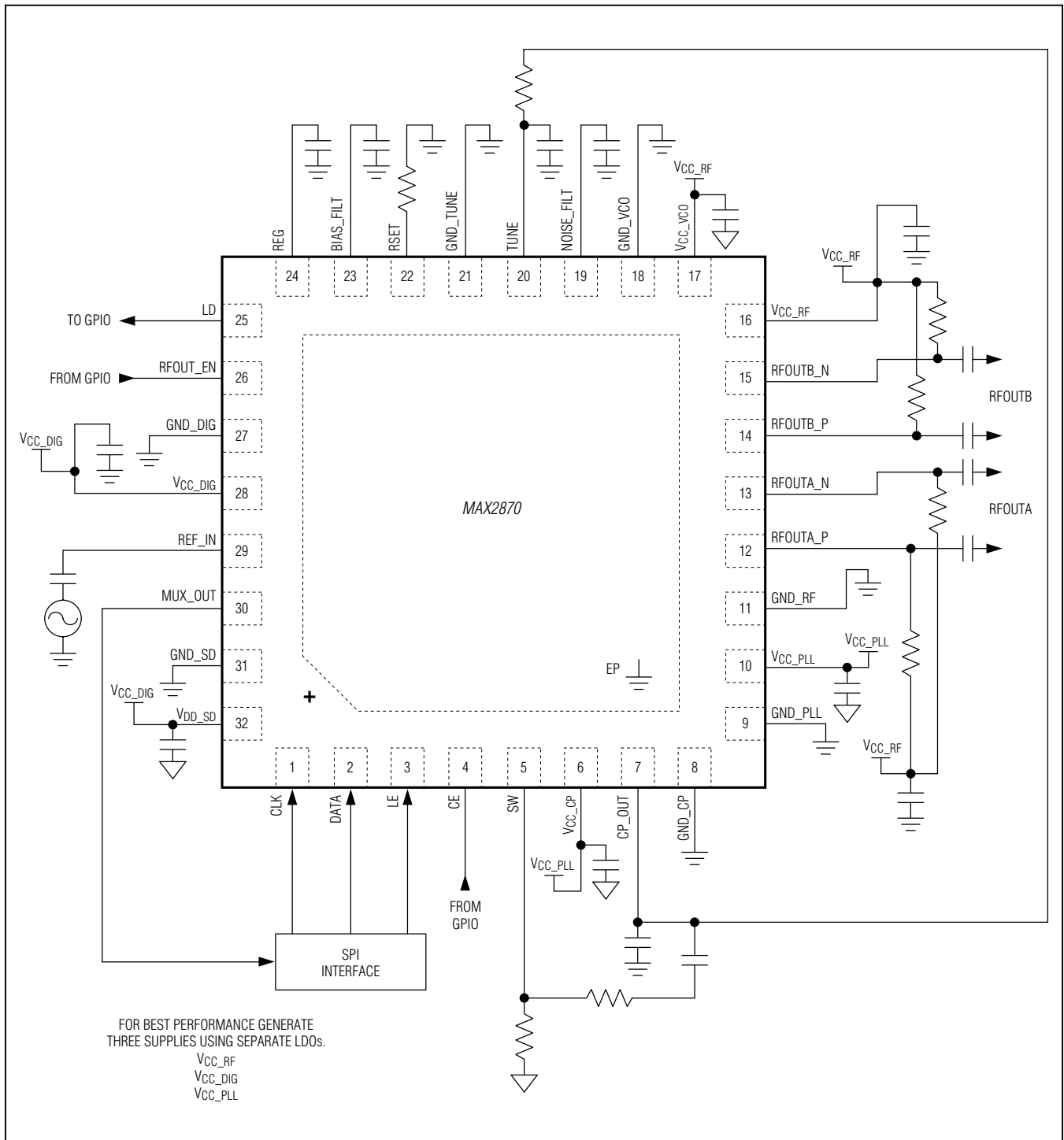
表10. 寄存器6 (只读寄存器)

位	位ID	名称	定义
31:24	—	Reserved	保留
23	POR	Power_On_Reset	POR读取状态。 0 = 已读取POR。 1 = 尚未读取POR (寄存器默认值)
22:20	ADC[2:0]	VTUNE_ADC	读取VTUNE的ADC读数(见调谐ADC部分)
19:9	—	Reserved	保留
8:3	V[5:0]	Active VCO	读取当前有效VCO。 000000 = VCO0 111111 = VCO63
2:0	ADDR[2:0]	Register Address	寄存器地址位

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

典型应用电路



MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

订购信息

器件	温度范围	引脚-封装
MAX2870ETJ+	-40°C至+85°C	32 TQFN-EP*

+表示无铅(Pb)/符合RoHS标准的封装。

*EP = 裸焊盘。

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	文档编号	焊盘布局编号
32 TQFN	T3255+5	21-0140	90-0013

MAX2870

23.5MHz至6000MHz分数/ 整数N分频合成器/VCO

修订历史

修订号	修订日期	说明	修改页
0	4/12	最初版本。	—
1	7/12	更新整数、分数、模和R计数器之间的关系式介绍；更新VCO自动选择(VAS)状态机；更新表8。	13, 15, 20

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

24

© 2012 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。

MAX2870

23.5MHz至6000MHz分数/
整数N分频合成器/VCO