

MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、 串行12位ADC

概述

MAX11108是小尺寸、12位、结构紧凑的高速、低功耗、逐次逼近型模/数转换器(ADC)。这款高性能ADC具有极高的采样/保持动态范围和高速串口，可接受0V至电源电压或基准电压的满量程输入范围。

MAX11108具有一路单端模拟输入，连接至ADC核心电路。器件还为数据接口提供独立的电源输入，并带有专用的基准电压输入。

MAX11108采用2.2V至3.6V电源供电，3Msps下仅消耗5.2mW功率。器件具有完全关断和快速唤醒功能，提供经过优化的电源管理和高速3线接口设计。3线串口可直接连接至SPI/QSPI™/ MICROWIRE®器件，无需外部逻辑电路。

优异的动态特性和低电压、低功耗、简单易用、小封装尺寸等优势，使得该转换器非常适合便携式电池供电数据采集系统及其它要求低功耗、小尺寸的应用。

MAX11108采用ultra-TQFN封装，工作在-40°C至+125°C温度范围。

特性

- ◆ 3Msps转换速率，无流水线延迟
- ◆ 12位分辨率
- ◆ 单端模拟输入
- ◆ 低噪声73dB SNR
- ◆ 支持不同I/O：1.5V至3.6V
允许串口直接连接1.5V、1.8V、2.5V或3V数字系统
- ◆ 2.2V至3.6V供电电压
- ◆ 低功耗
3Msps下功耗为5.2mW
2.5μA/ksps超低功耗
- ◆ 外部基准输入
- ◆ 1.3μA关断电流
- ◆ SPI/QSPI/MICROWIRE兼容串口
- ◆ 10引脚、Ultra-TQFN (μDFN)封装
- ◆ -40°C至+125°C宽工作温度范围

应用

数据采集系统
移动终端
便携式数据记录仪
医疗仪表
电池供电系统
通信系统
车载系统

QSPI是Motorola, Inc.的商标。

MICROWIRE是National Semiconductor Corp.的注册商标。

μMAX是Maxim Integrated Products, Inc.的注册商标。

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、
串行12位ADC

ABSOLUTE MAXIMUM RATINGS

VDD to GND.....-0.3V to +4V
REF, OVDD, AIN to GND-0.3V to the lower of
(VDD + 0.3V) and +4V
 $\overline{\text{CS}}$, SCLK, CHSEL, DOUT TO GND.....-0.3V to the lower of
(VOVDD + 0.3V) and +4V
AGND to GND.....-0.3V to +0.3V
Input/Output Current (all pins)50mA

Continuous Power Dissipation (TA = +70°C)
Ultra TQFN (derate 7mW/°C above +70°C).....558mW
Operating Temperature Range-40°C to +125°C
Junction Temperature+150°C
Storage Temperature Range.....-65°C to +150°C
Lead Temperature (soldering, 10s)+300°C
Soldering Temperature (reflow)+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

Ultra TQFN

Junction-to-Ambient Thermal Resistance (θ_{JA}) 110.8°C/W

Junction-to-Case Thermal Resistance (θ_{JC}) 62.1°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

ELECTRICAL CHARACTERISTICS

(VDD = 2.2V to 3.6V, VREF = VDD, VOVDD = VDD. fSCLK = 48MHz, 50% duty cycle, 3Msps. CDOUT = 10pF, TA = -40°C to +125°C, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			12			Bits
Integral Nonlinearity	INL				±1	LSB
Differential Nonlinearity	DNL	No missing codes			±1	LSB
Offset Error	OE			±0.3	±3	LSB
Gain Error	GE	Excluding offset and reference errors		±1	±3	LSB
Total Unadjusted Error	TUE			±1.5		LSB
DYNAMIC PERFORMANCE (fAIN = 1MHz)						
Signal-to-Noise and Distortion	SINAD		70	72		dB
Signal-to-Noise Ratio	SNR		70.5	72		dB
Total Harmonic Distortion	THD			-85	-75	dB
Spurious-Free Dynamic Range	SFDR		76	85		dB
Intermodulation Distortion	IMD	f1 = 1.0003MHz, f2 = 0.99955MHz		-84		dB
Full-Power Bandwidth		-3dB point		40		MHz
Full-Linear Bandwidth		SINAD > 68dB		2.5		MHz
Small-Signal Bandwidth				45		MHz

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、 串行12位ADC

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 2.2V to 3.6V, V_{REF} = V_{DD}, V_{OVDD} = V_{DD}. f_{SCLK} = 48MHz, 50% duty cycle, 3Msps. C_{DOUT} = 10pF, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CONVERSION RATE						
Throughput			0.03		3	Msps
Conversion Time			260			ns
Acquisition Time	t _{ACQ}		52			ns
Aperture Delay		From $\overline{\text{CS}}$ falling edge		4		ns
Aperture Jitter				15		ps
Serial-Clock Frequency	f _{CLK}		0.48		48	MHz
ANALOG INPUT (AIN)						
Input Voltage Range	V _{AIN}		0		V _{REF}	V
Input Leakage Current	I _{ILA}			0.002	±1	μA
Input Capacitance	C _{AIN}	Track		20		pF
		Hold		4		
EXTERNAL REFERENCE INPUT (REF)						
Reference Input-Voltage Range	V _{REF}		1		V _{DD} + 0.05	V
Reference Input Leakage Current	I _{ILR}	Conversion stopped		0.005	±1	μA
Reference Input Capacitance	C _{REF}			5		pF
DIGITAL INPUTS (SCLK, $\overline{\text{CS}}$)						
Digital Input High Voltage	V _{IH}		0.75 x V _{OVDD}			V
Digital Input Low Voltage	V _{IL}			0.25 x V _{OVDD}		V
Digital Input Hysteresis	V _{HYST}			0.15 x V _{OVDD}		V
Digital Input Leakage Current	I _{IL}	Inputs at GND or V _{DD}		0.001	±1	μA
Digital Input Capacitance	C _{IN}			2		pF
DIGITAL OUTPUT (DOUT)						
Output High Voltage	V _{OH}	I _{SOURCE} = 1mA	0.85 x V _{OVDD}			V
Output Low Voltage	V _{OL}	I _{SINK} = 5μA		0.15 x V _{OVDD}		V
High-Impedance Leakage Current	I _{OL}			±1.0		μA
High-Impedance Output Capacitance	C _{OUT}			4		pF

MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、
串行12位ADC

ELECTRICAL CHARACTERISTICS (continued)

(VDD = 2.2V to 3.6V, VREF = VDD, VOVD = VDD. fSCLK = 48MHz, 50% duty cycle, 3Msps. CDOUT = 10pF, TA = -40°C to +125°C, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Positive Supply Voltage	VDD		2.2		3.6	V
Digital I/O Supply Voltage	VOVDD		1.5		VDD	V
Positive Supply Current (Full-Power Mode)	IVDD	VAIN = VGND			3.3	mA
	IOVDD	VAIN = VGND			0.33	
Positive Supply Current (Full-Power Mode), No Clock	IVDD			1.98		mA
				1.48		
Power-Down Current	IPD	Leakage only		1.3	10	μA
Line Rejection		VDD = 2.2V to 3.6V, VREF = 2.2V		0.7		LSB/V
TIMING CHARACTERISTICS (Note 2)						
Quiet Time	tQ	(Note 3)	4			ns
CS Pulse Width	t1	(Note 3)	10			ns
CS Fall to SCLK Setup	t2	(Note 3)	5			ns
CS Falling Until DOUT High-Impedance Disabled	t3	(Note 3)	1			ns
Data Access Time After SCLK Falling Edge	t4	Figure 2, VOVD = 2.2V to 3.6V			15	ns
		Figure 2, VOVD = 1.5V to 2.2V			16.5	
SCLK Pulse Width Low	t5	Percentage of clock period (Note 3)	40		60	%
SCLK Pulse Width High	t6	Percentage of clock period (Note 3)	40		60	%
Data Hold Time From SCLK Falling Edge	t7	Figure 3 (Note 3)	5			ns
SCLK Falling Until DOUT High-Impedance	t8	Figure 4 (Note 3)	2.5		14	ns
Power-Up Time		Conversion cycle (Note 3)			1	Cycle

Note 2: All timing specifications given are with a 10pF capacitor.

Note 3: Guaranteed by design in characterization; not production tested.

MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、
串行12位ADC

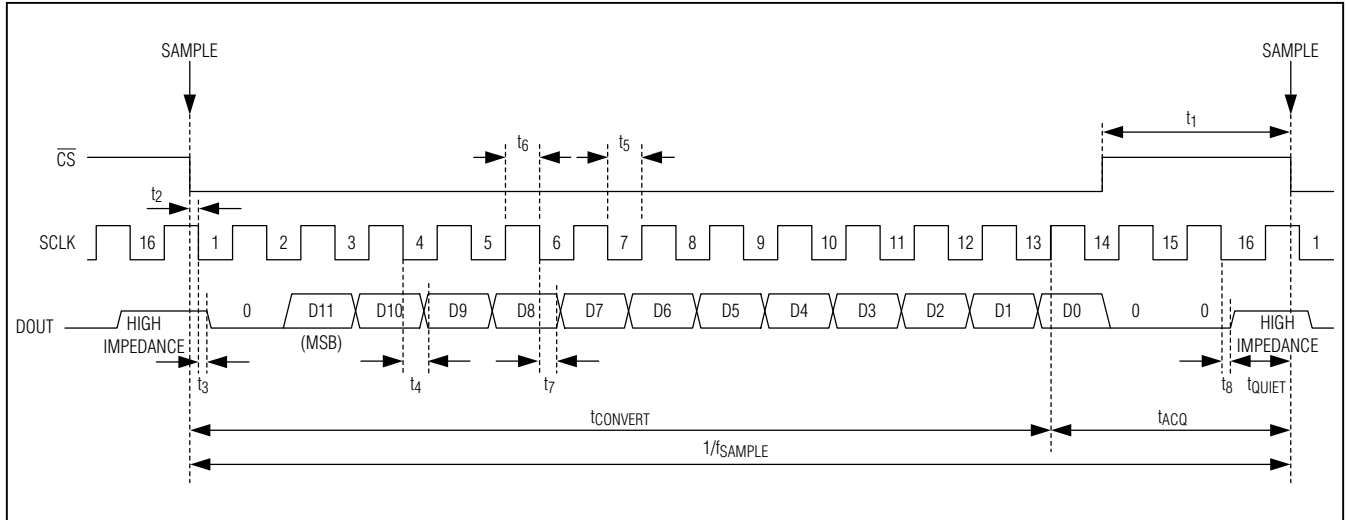


图1. 最大吞吐率接口信号

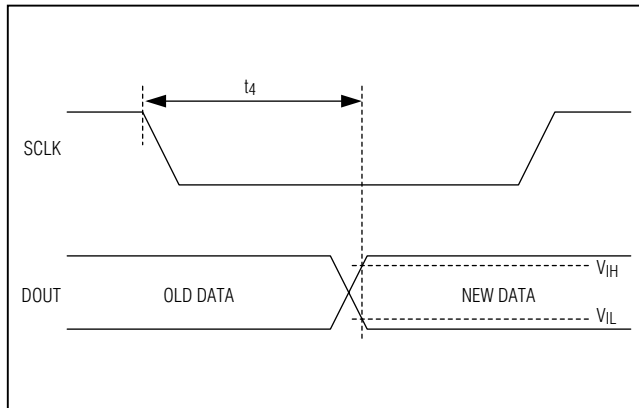


图2. SCLK下降沿之后的建立时间

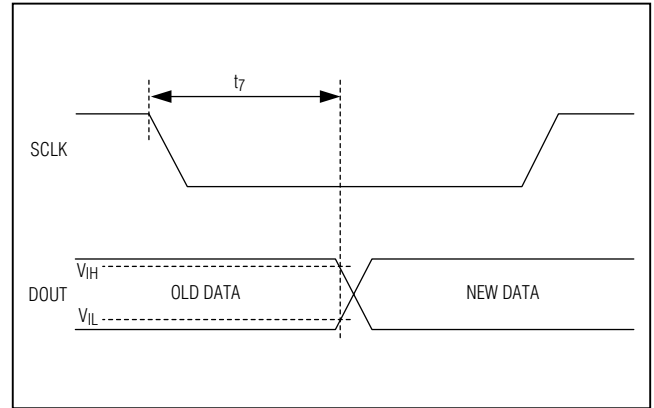


图3. SCLK下降沿之后的保持时间

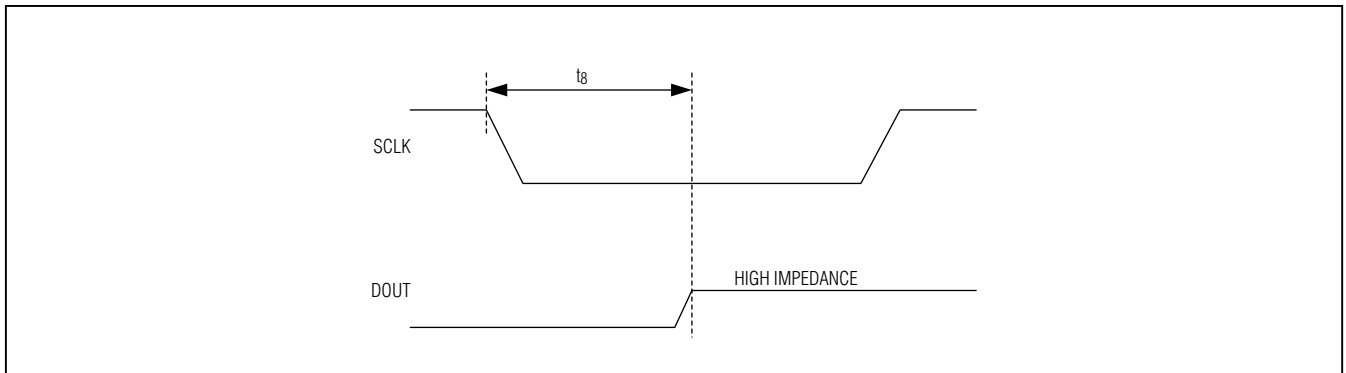


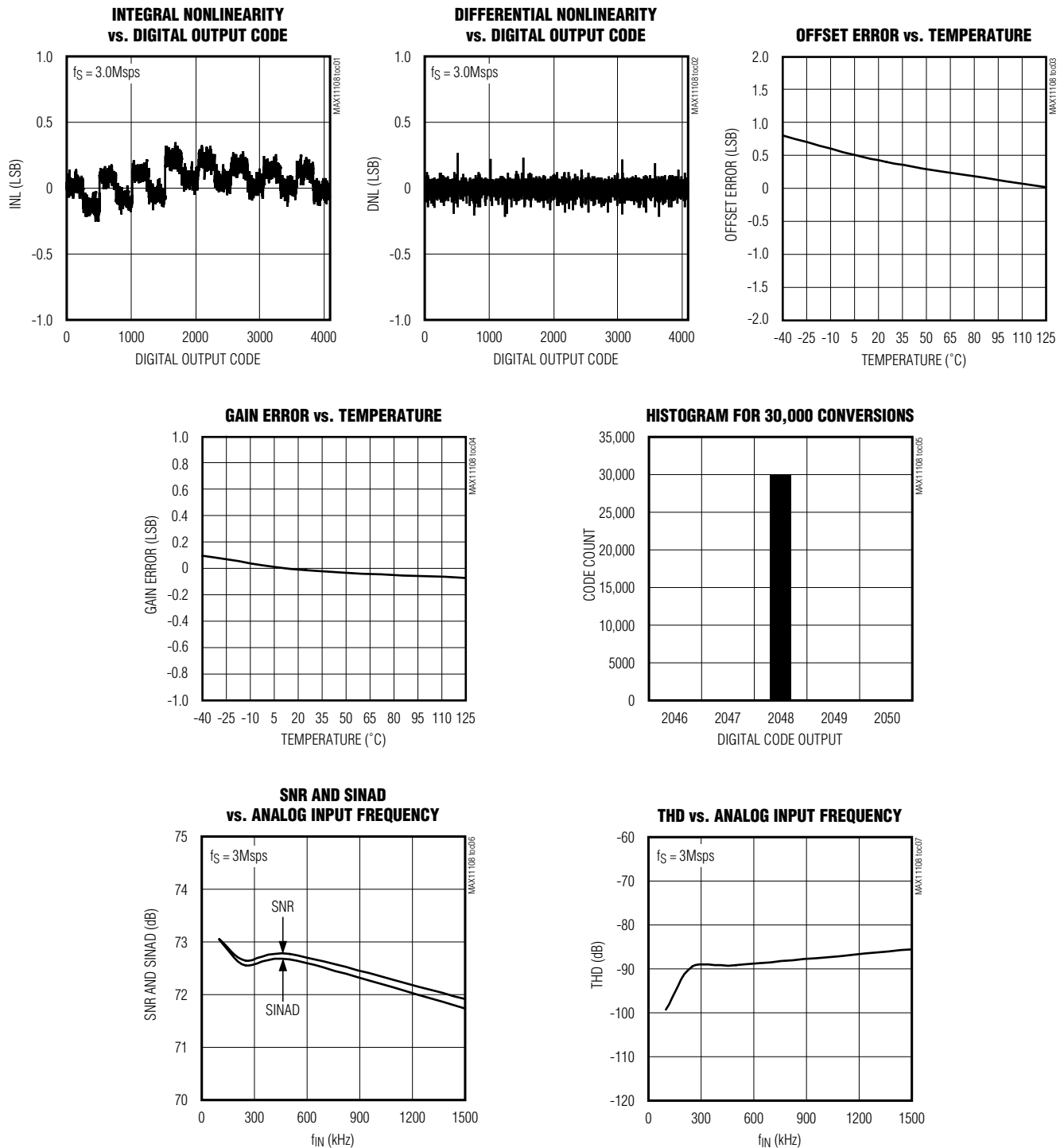
图4. SCLK下降沿之后对应的DOUT高阻输出

MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、
串行12位ADC

典型工作特性

$T_A = +25^\circ\text{C}$, unless otherwise noted.)

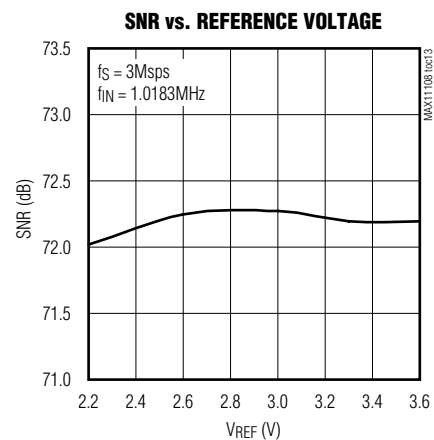
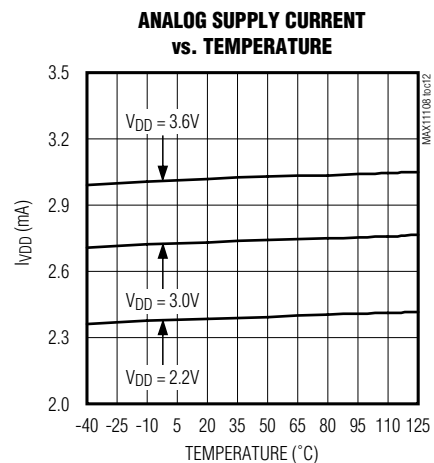
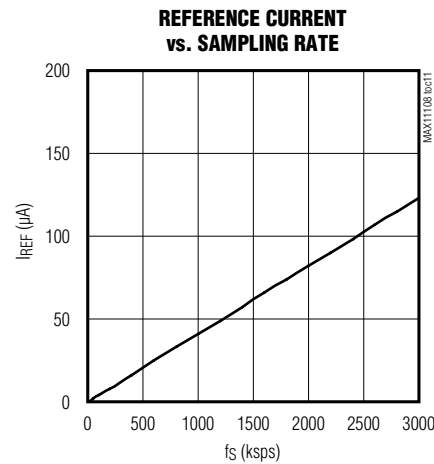
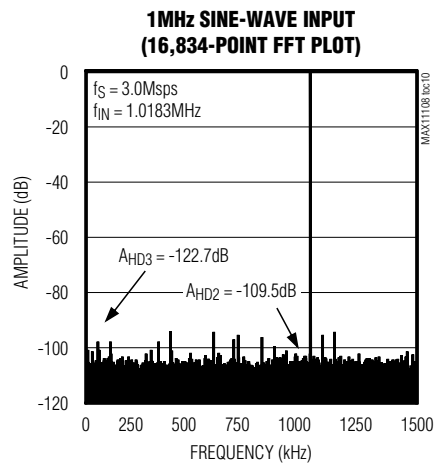
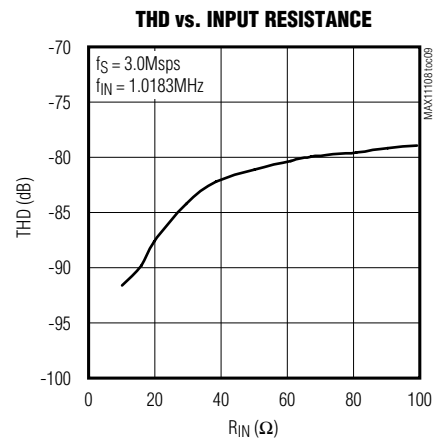
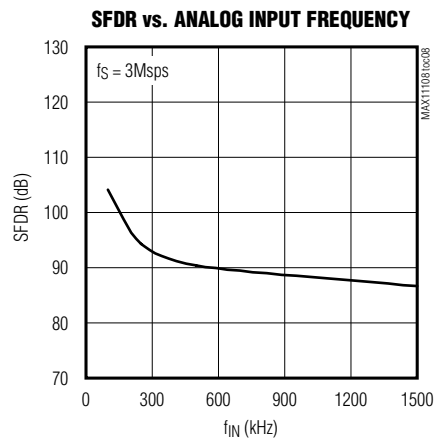


MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、 串行12位ADC

典型工作特性(续)

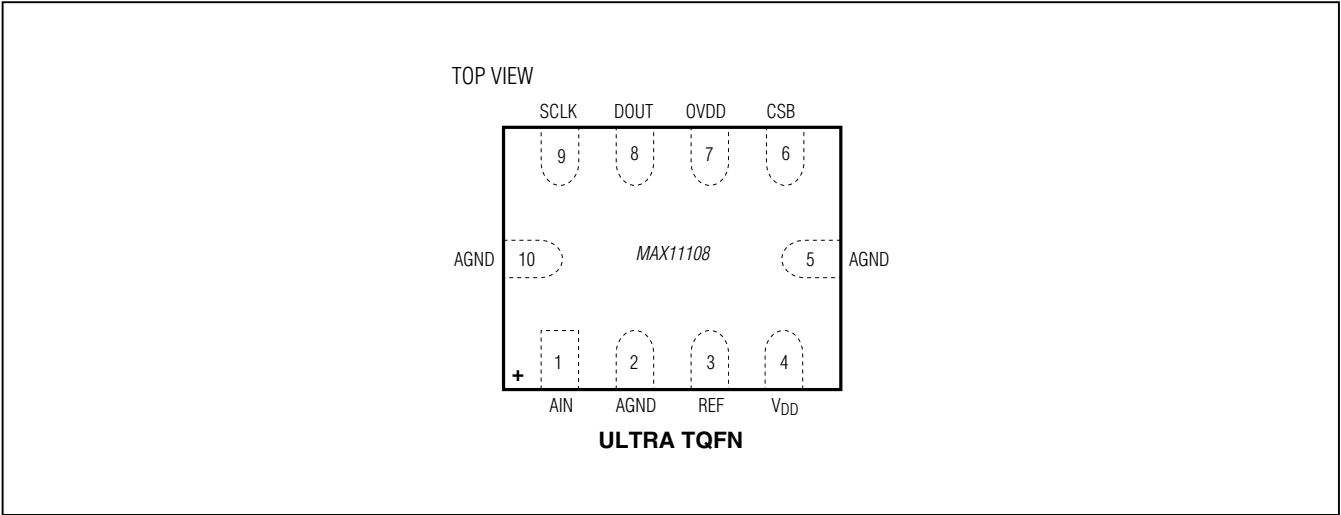
($T_A = +25^\circ\text{C}$, unless otherwise noted.)



MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、
串行12位ADC

引脚配置



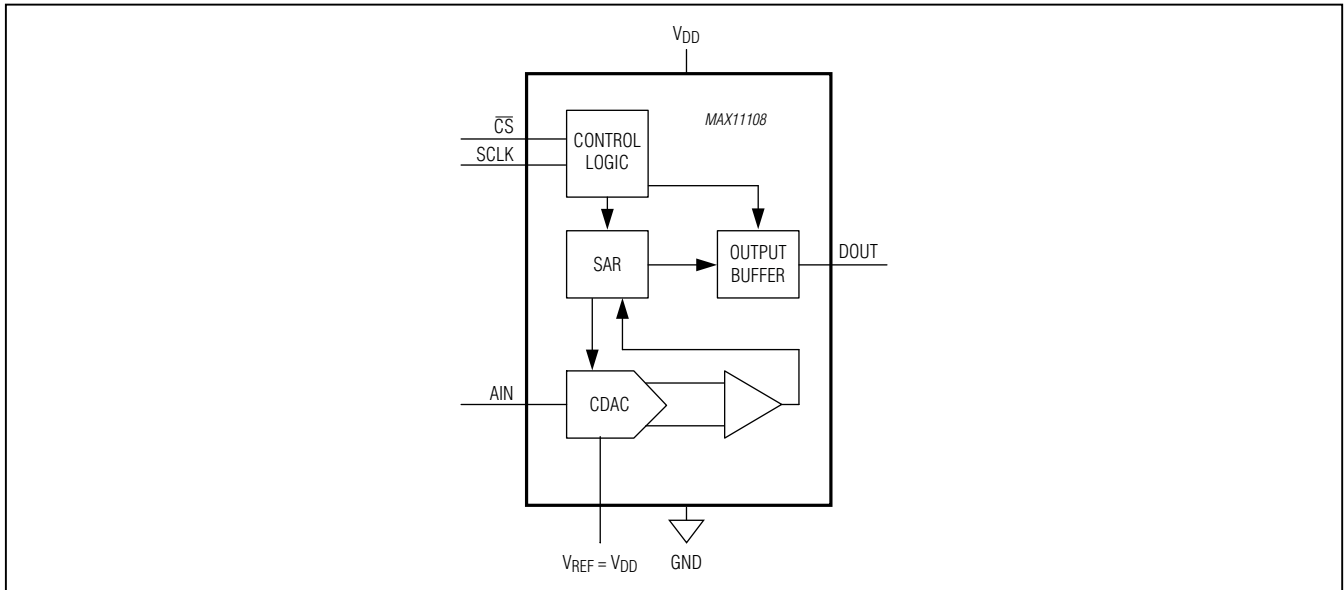
引脚说明

引脚	名称	功能
1	AIN	单端模拟输入。
2, 5, 10	AGND	地，该引脚必须连接到大面积接地区域。
3	REF	基准输入引脚。
4	VDD	正电源电压。
6	$\overline{CS}$	片选(低电平有效)，下降沿启动上电和数据采集。
7	OVDD	数字I/O供电电压($\overline{CS}$ 、DOUT、SCLK)。
8	DOUT	串行数据输出。DOUT在SCLK的下降沿改变状态，详细信息请参见图1。
9	SCLK	串行时钟输入，SCLK驱动转换过程并移出数据，详细信息请参见图1。

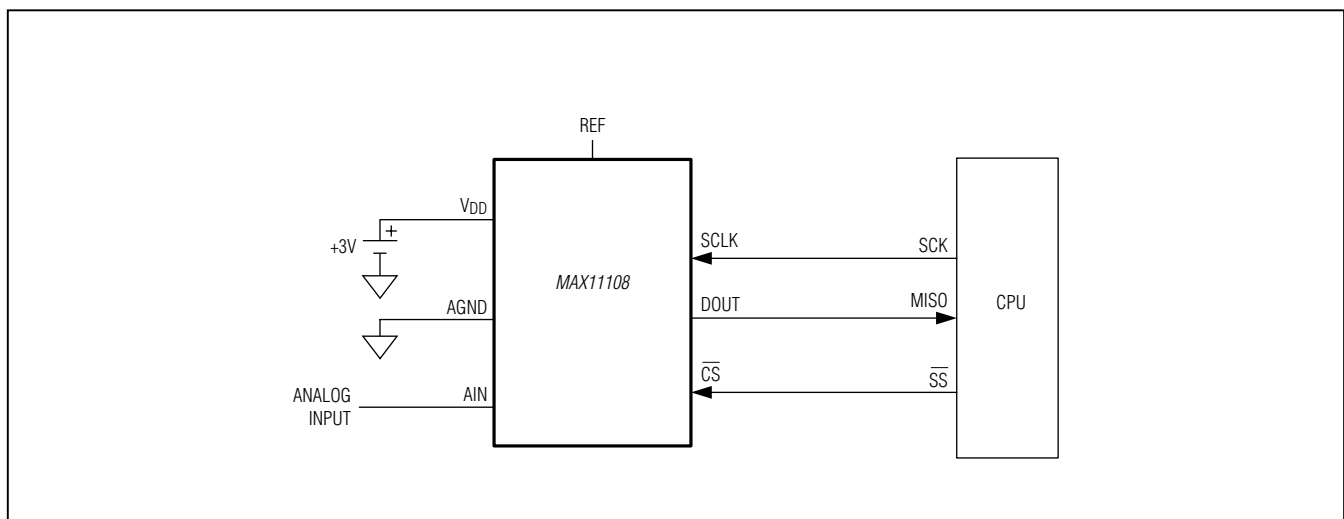
MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、
串行12位ADC

功能框图



典型工作电路



MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、串行12位ADC

详细说明

MAX11108是小尺寸、高速、12位、低功耗、单电源供电ADC。器件采用2.2V至3.6V电源供电，3Msps下功耗仅为9mW ($V_{DD} = 3V$)/6.6mW ($V_{DD} = 2.2V$)。这款3Msps器件由48MHz时钟驱动时，能够进行全速采样。

转换结果通过DOUT输出，MSB在前，有一个前导零，之后为12位转换结果。12位转换结果之后为2个后导零。参见图1和图5。

器件具有一路专用基准输入(REF)，AIN的输入信号范围定义为0V至 V_{REF} ，以AGND为参考。

ADC具有关断功能，允许工作在较低吞吐率，使功耗降至最小2.5 μ A/ksp。通过SPI接口控制唤醒和关断功能，参见工作模式部分。

串行接口

器件具有一个3线串口，可直接连接至SPI/QSPI/MICROWIRE器件，无需外部逻辑电路。图1和图5所示为实现最大吞吐率的一个帧转换接口信号。

$\overline{CS}$ 的下降沿确定采样时刻，一旦 $\overline{CS}$ 跳变到低电平，将由外部时钟信号(SCLK)控制转换器。

SAR核逐次提取每个时钟周期的二进制加权位。MSB在第二个时钟周期出现在数据总线上，延时由时序指标确定。所提取的全部数据位逐次出现在数据总线上；对于12位工作模式，LSB出现在第13个时钟周期。转换后的串行数据流之前有一个前导零，之后为后导零。在第16个时钟周期，数据输出(DOUT)变为高阻态。

为了保持最大采样率，器件必须在第16个时钟周期后立即重采样。对于较低采样率，可延迟 $\overline{CS}$ 下降沿，使DOUT处于高阻态。在第10个SCLK下降沿之后，将 $\overline{CS}$ 拉高(见工作模式部分)。

模拟输入

ADC产生与模拟输入电压相对应的数字输出，模拟输入电压量程为0至 V_{REF} 。

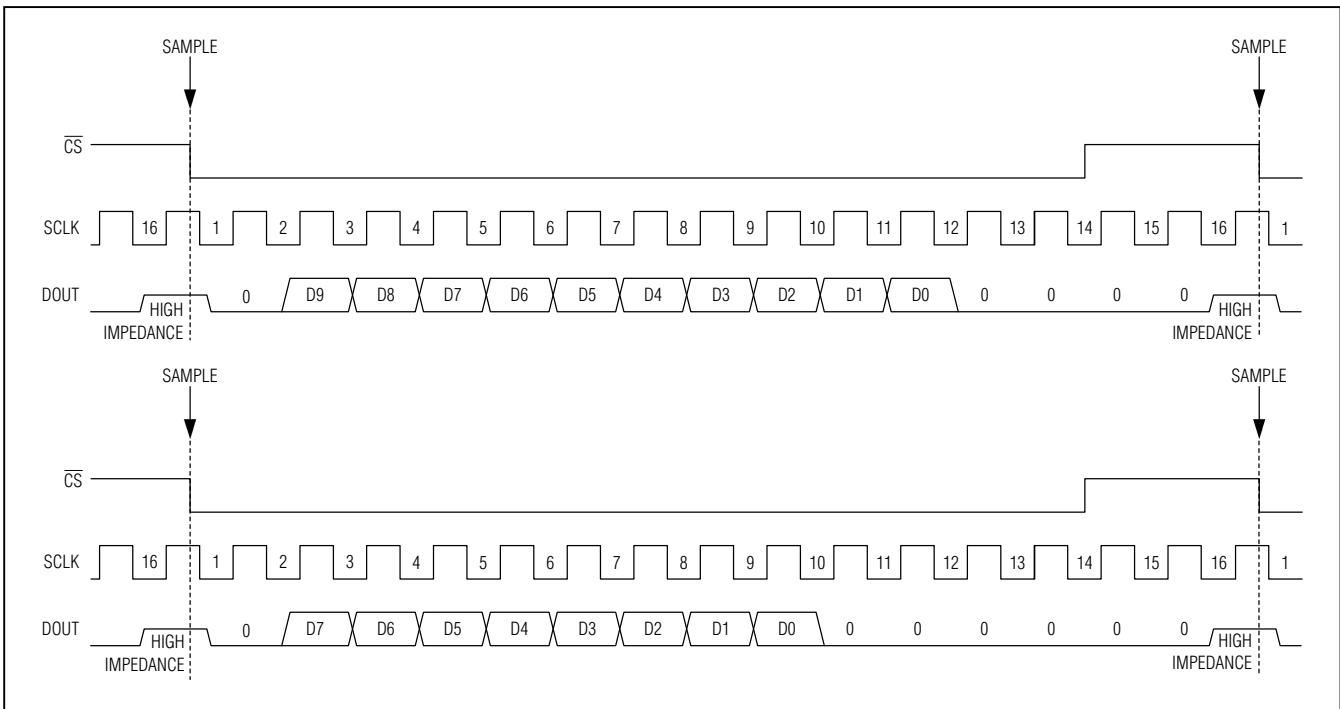


图5. 10/8位时序图

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、串行12位ADC

图6所示为模拟输入AIN的等效电路。内部保护二极管D1/D2将模拟输入电压限制在电源电压(V_{DD} , GND)范围内, 允许模拟输入电压摆幅达到($GND - 0.3V$)至($V_{DD} + 0.3V$), 不会损坏器件。

模拟输入对外部驱动电路所呈现的电子负载因ADC工作模式的不同而不同: 跟踪模式和转换模式。跟踪模式下, 内部采样电容 C_S (16pF)必须通过电阻 R ($R = 50\Omega$)充电至输入电压。为了保证输入采样的保真度, 电容 C_S 上的电压必须在跟踪期间稳定在精度所要求的数值。

外部驱动电路的源阻抗与采样开关电阻的共同影响建立时间, 如典型工作特性部分的THD vs. Input Resistance曲线图所示, THD是信号源阻抗的函数。对于高动态性能应用, 应保证源阻抗尽可能小。利用高性能运算放大器, 例如MAX4430驱动模拟输入, 对信号源和ADC进行去耦。

ADC处于转换模式时, 采样开关断开, 对驱动级等效为引脚的电容 C_P ($C_P = 5pF$)。关于为ADC选择合适缓冲器的信息, 请参见应用信息部分。

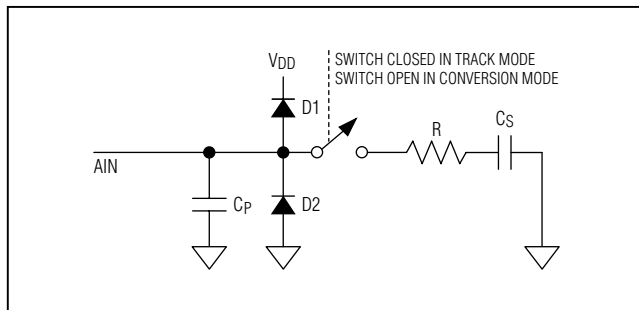


图6. 模拟输入电路

ADC传递函数

输出格式为标准二进制, 编码在整数LSB值的中间发生跃变, 例如0.5 LSB、1.5 LSB等。LSB为 $V_{REF}/2^n$, 其中 $n = 12$ 。理想的传递函数特性如图10所示。

工作模式

IC提供两种工作模式: 常规模式和关断模式。转换过程中, $\overline{CS}$ 信号的逻辑状态控制这些模式。关断模式可根据采样率优化功耗。

常规模式

常规模式下, 器件在任何时间均处于工作状态, 所以吞吐率最高。图7所示为常规模式时序图, $\overline{CS}$ 下降沿采样模拟输入信号、启动转换并将串行数据打包成帧。

为保持在常规模式, 使 $\overline{CS}$ 保持为低电平, 直到第10个SCLK周期的下降沿。在第10个SCLK下降沿之后, 将 $\overline{CS}$ 拉高使器件保持在常规模式。然而, 如果在第10个SCLK下降沿之前将 $\overline{CS}$ 拉高, 则结束转换, DOUT变为高阻模式, 器件进入关断状态, 参见图8。

关断模式

关断模式下, 关断全部偏压电路, 典型电流损耗为1.3 μA 。为节省功耗, 转换间隔期间将器件置于关断模式。不频繁采样模拟输入时, 在转换间隔期间使器件置于关断模式非常适合节省功耗。

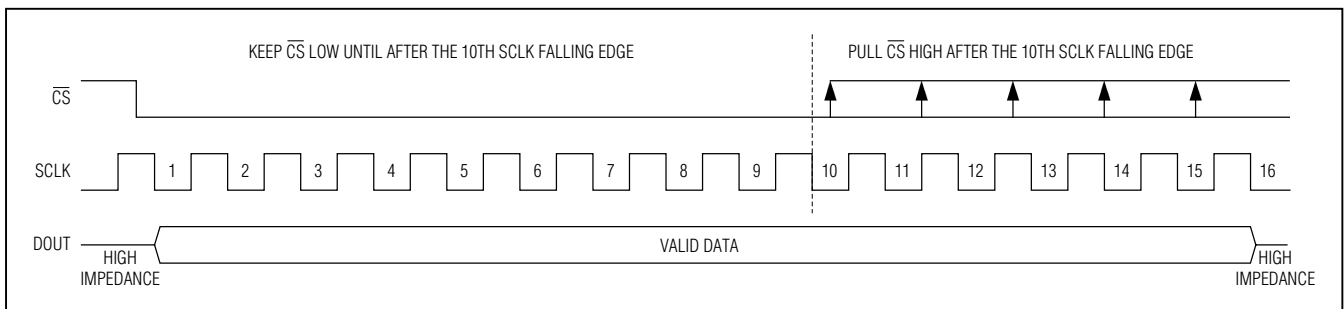


图7. 常规模式

MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、
串行12位ADC

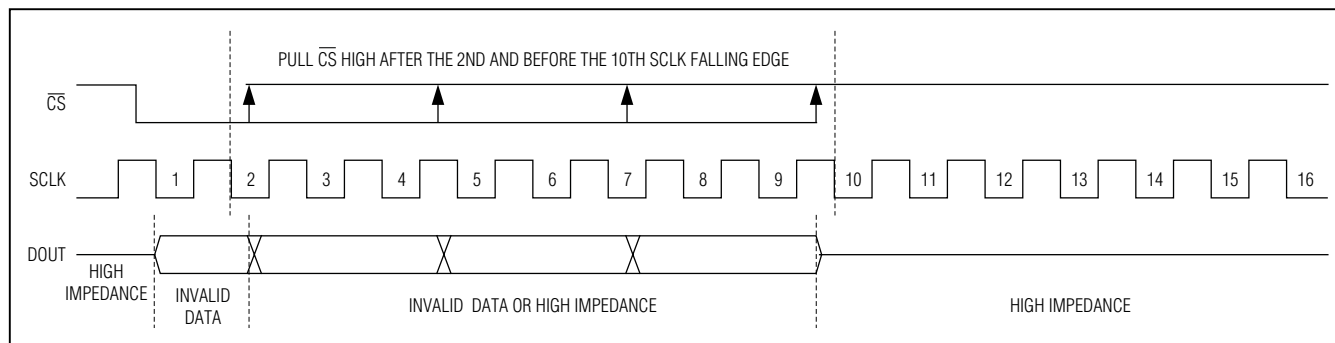


图8. 进入关断模式

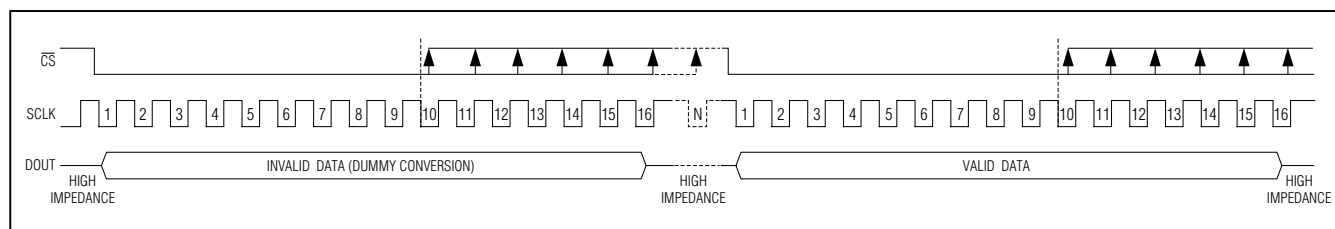


图9. 退出关断模式

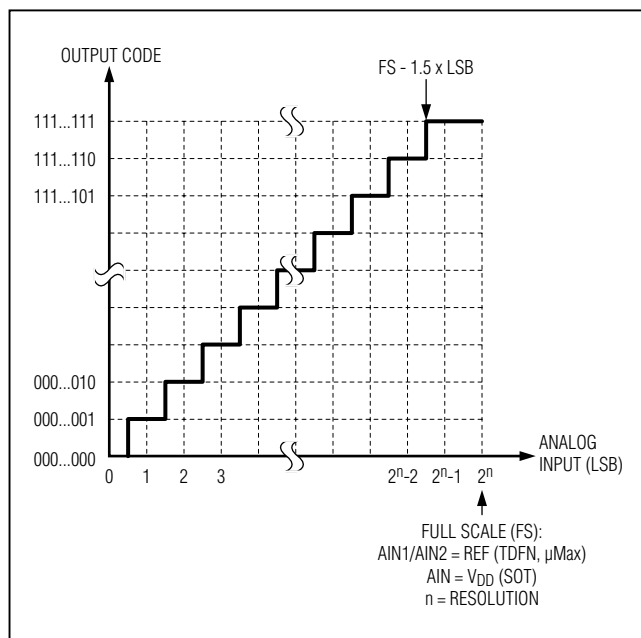


图10. ADC传递函数

进入关断模式

为进入关断模式，在第2个和第10个SCLK下降沿之间将 $\overline{CS}$ 驱动为高电平(见图8)。将 $\overline{CS}$ 拉高时，当前转换终止，DOUT进入高阻态。

退出关断模式

为退出关断模式，通过将 $\overline{CS}$ 驱动为低电平至少10个时钟周期，进行一次空转换(见图9)。空转换期间，DOUT数据无效。空转换周期之后的第一次转换即包含有效的转换结果。

上电时间等于空转换周期的持续时间，取决于时钟频率。3Msps工作时(48MHz SCLK)，上电时间为333ns。

供电电流和采样率的关系

对于吞吐率较低的应用，用户可将时钟频率(f_{SCLK})降低至较低采样率。如图11所示，典型供电电流(I_{VDD})是采样率的函数(f_S)。器件工作在常规模式，从不关断。

用户也可使用关断模式，在转换间隔期将ADC关断。如图12所示，当采样率降低时，器件保持在关断状态的时间较长，平均供电电流(I_{VDD})相应减小。

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、串行12位ADC

14周期转换模式

IC可工作在14周期/转换模式，图16所示为对应的时序图。注意，DOUT不进入高阻态模式。此外， t_{ACQ} 需要足够长，以保证模拟输入电压达到稳定。关于 t_{ACQ} 要求，请参见 *Electrical Characteristics* 表，模拟输入说明请参见模拟输入部分。

应用信息

布局、接地和旁路

为获得最佳性能，使用连续的大面积接地区域的PCB。确保数字和模拟信号线彼此保持隔离。勿将模拟和数字(尤其是时钟)线平行走线，不要在ADC封装下方走数字信号线。 V_{DD} 、 $OVDD$ 和 REF 中的噪声会影响ADC性能。利用0.1 μ F和10 μ F旁路电容将 V_{DD} 、 $OVDD$ 和 REF 旁路至地。将电容引线及走线长度减至最短，以获得最佳的电源噪声抑制。

选择输入放大器

输入放大器的建立时间与ADC的采集时间保持一致非常重要。当ADC采样输入信号的间隔大于最差工作条件下的输

入信号建立时间时，可获得精确的转换结果。根据定义，建立时间是从输入电压阶跃到输出信号达到并稳定在给定误差范围内(以放大器最终稳态输出电平为中心)的时间间隔。ADC输入耦合电容在采样周期内充电，称为采样周期。采样期间，建立时间受内部电阻和输入采样电容的影响。通过观察采样周期内输入电容、源阻抗构成的RC时间常数，可以估算这一误差。

图17所示为典型应用电路。MAX4430在16位分辨率下的建立时间为37ns，是此类应用的最佳选择。请参见典型工作特性部分的THD vs. Input Resistance曲线图。

选择基准

对于使用外部基准的器件，基准的选择决定ADC的输出精度。理想的电压基准可提供完美的初始精度，并保证基准电压不受负载电流、温度和时间变化的影响。选择基准时需要考虑以下参数：初始电压精度、温漂、电流源容量、流入电流源容量、静态电流以及噪声。图17所示为使用MAX6126提供基准电压的典型应用电路，MAX6033和MAX6043也是非常好的选择。

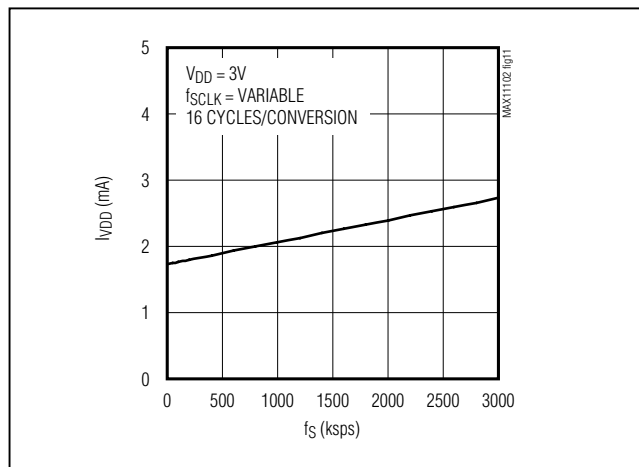


图11. 供电电流

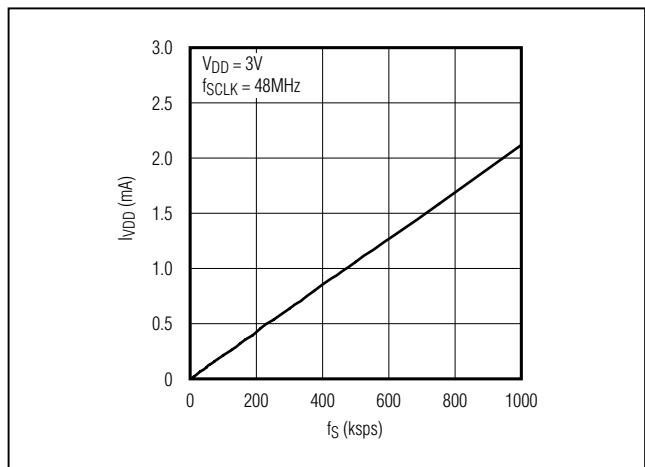


图12. 供电电流与采样率的关系(器件在转换间隔期间关断，3Msps器件)

MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、串行12位ADC

定义

积分非线性

积分非线性(INL)是实际传递函数与传递函数直线的偏差。对于这些器件，这条直线是消除了失调与增益误差后传递函数两个端点间的最佳直线拟合或连线。

微分非线性

微分非线性(DNL)是实际台阶宽度与1个LSB的理想值之差。 ± 1 LSB或更小的DNL误差能够保证不出现失码，并确保传递函数的单调性。

失调误差

第一级编码跳变(00...000)至(00...001)相对于理想值的偏差，即 $AGND + 0.5$ LSB。

增益误差

消除失调误差后，最后一级编码跳变(111...110)至(111...111)相对于理想值的偏差，即 $V_{REF} - 1.5$ LSB。

孔径抖动

孔径抖动(t_{AJ})是采样之间的间隔时间波动。

孔径延迟

孔径延迟(t_{AD})是从采样时钟下降沿至实际进行采样时刻之间的时间。

信噪比(SNR)

SNR是表示转换器噪声性能的动态指标。对于数字采样中完美重建的波形，理论上的最大SNR为满幅模拟输入(RMS值)与RMS量化误差(剩余误差)之比。理想情况下，理论上，模/数转换的最小噪声是量化误差，由ADC的分辨率(N位)确定：

$$SNR \text{ (dB) (MAX)} = (6.02 \times N + 1.76) \text{ (dB)}$$

实际应用中，除了量化噪声还有其它噪声源，包括热噪声、基准噪声和时钟抖动等。因此，采用RMS信号与RMS噪声之比计算SNR。RMS噪声包括奈奎斯特频率以下除基波、前五次谐波以及直流失调以外的所有频谱成分。

信号与噪声+失真比(SINAD)

SINAD是表示转换器噪声和失真性能的动态质量指数。采用RMS信号与RMS噪声+失真之比计算SINAD。RMS噪声+失真包括奈奎斯特频率以下除基波和直流失调以外的所有频谱成分。

$$SINAD(dB) = 20 \times \log \left[\frac{SIGNAL_{RMS}}{(NOISE + DISTORTION)_{RMS}} \right]$$

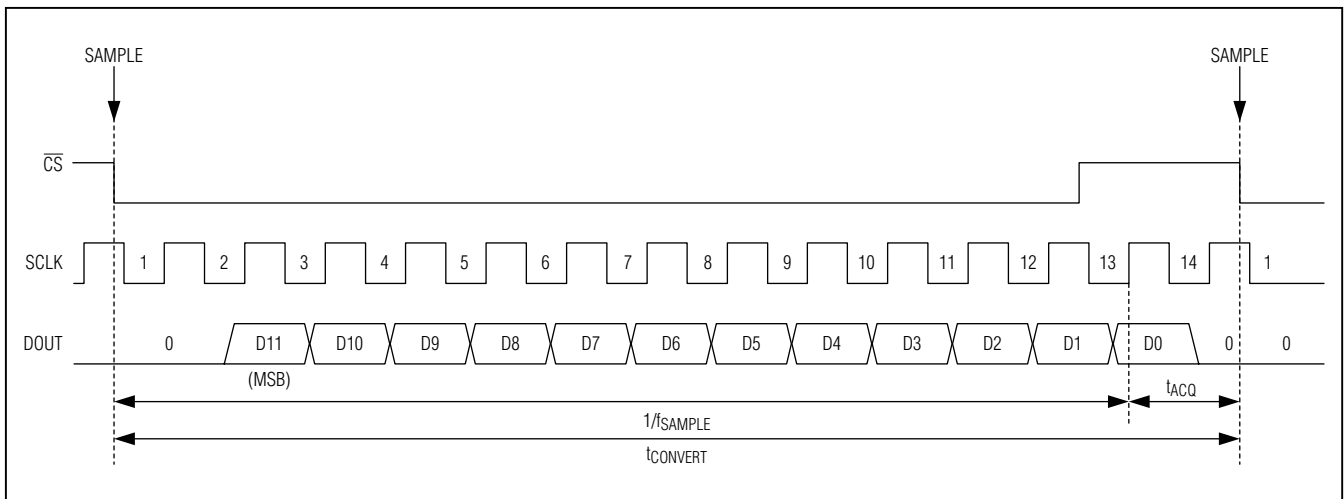


图13. 14时钟周期工作模式

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、
串行12位ADC

MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、
串行12位ADC

订购信息

器件	引脚-封装	位数	速率(Msps)	通道数量	顶标
MAX11108AVB+T	10 Ultra TQFN	12	3	1	+ABC

注：所有器件均可工作在-40°C至+125°C温度范围。

+表示无铅(Pb)/符合RoHS标准的封装。

T = 卷带包装。

芯片信息

PROCESS: CMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maximintegrated.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
10 Ultra TQFN	V101A2CN+1	21-0610	90-0386

MAX11108

小尺寸、2.1mm x 1.6mm、3Msps、低功耗、 串行12位ADC

修订历史

修订号	修订日期	说明	修改页
0	9/12	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。