

MAX9272

28位GMSL解串器用于同轴或STP电缆传输

概述

MAX9272结构紧凑的解串器设计用于50Ω同轴或100Ω屏蔽双绞线(STP)电缆驱动。器件与MAX9271和MAX9273串行器配对使用。

并行输出可配置成单路或双路输出。双输出配置在每个像素时钟输出并行字节的一半，可配合具有双输入功能的GMSL串行器工作。

器件具有嵌入式控制通道，在UART，或者是UART/I²C混合模式下工作在9.6kbps至1Mbps，I²C模式下工作速率高达400kbps。利用控制通道，微控制器(μC)能够随时设置串行器、解串器和任何外设寄存器，独立于视频时钟。器件包含两个GPIO端口，允许在显示器等类似应用中提供背光的上电和切换操作。连续的GPI输入采样支持触控中断请求。

对于更长的传输电缆，器件提供可编程均衡器。并行输出提供可编程扩频，串行输入满足ISO 10605和IEC 61000-4-2 ESD标准。核电源供电范围为1.7V至1.9V，I/O电源范围为1.7V至3.6V。器件采用48引脚(7mm x 7mm)、TQFN-EP封装，焊球间距为0.5mm，工作在-40°C至+105°C温度范围。

应用

车载摄像系统

[订购信息](#)在数据资料的最后给出。

[典型工作电路](#)在数据资料的最后给出。

相关型号以及配合该器件使用的推荐产品，请参见：china.maximintegrated.com/MAX9272.related。

优势和特性

- ◆ 理想用于摄像系统
 - ◇ 驱动低成本50Ω同轴电缆和FAKRA连接器或100ΩSTP
 - ◇ 误码检测/纠错
 - ◇ I²C-I²C模式下，提供9.6kbps至1Mbps控制通道，带时钟展宽
 - ◇ 业内最低功耗：90mA (最大)电源电流
 - ◇ 双速率时钟支持百万像素摄像头
 - ◇ 电缆均衡，全速工作时传输距离长达15m
 - ◇ 48引脚(7mm x 7mm)、TQFN-EP封装，焊球间距为0.5mm
- ◆ 高速解串转换数据，支持百万像素摄像头
 - ◇ 高达1.5Gbps的串行码率，单路或双路输出：6.25MHz至100MHz时钟
- ◆ 多种通道控制模式，提高系统灵活性
 - ◇ 9.6kbps至1Mbps控制通道，UART-UART或UART-I²C模式
- ◆ 降低EMI屏蔽要求
 - ◇ 输入可编程，满足100mV至500mV单端或50mV至400mV差分
 - ◇ 可编程并行数据输出的扩展频谱，降低EMI
 - ◇ 跟踪串行输入的扩展频谱
- ◆ 用于摄像头上电和验证的外设功能
 - ◇ 内置PRBS发生器，用于串行链路的BER测试
 - ◇ 2个GPIO端口
 - ◇ 专用“Up/Down” GPI，用于摄像头帧同步触发或其它功能
 - ◇ 远程/本地休眠模式唤醒
- ◆ 满足严格的汽车和工业要求
 - ◇ -40°C至+105°C工作温度范围
 - ◇ ±10kV接触放电ESD保护和±15kV IEC 61000-4-2气隙放电ESD保护
 - ◇ ±10kV接触放电ESD保护和±30kV ISO 10605气隙放电ESD保护

本文是英文数据资料的译文，文中可能存在翻译上的不准确或错误。如需进一步确认，请在您的设计中参考英文资料。

有关价格、供货及订购信息，请联络Maxim亚洲销售中心：10800 852 1249 (北中国区)，10800 152 1249 (南中国区)，或访问Maxim的中文网站：china.maximintegrated.com。

28位GMSL解串器用于同轴或STP电缆传输

目录

概述	1
应用	1
优势和特性	1
绝对最大额定参数	6
封装散热特性	6
直流电气特性	6
交流电气特性	8
典型工作特性	10
引脚配置	12
引脚说明	12
功能框图	14
详细说明	18
寄存器	18
位	18
串行链路信号和数据格式	24
反向控制通道	24
数据率选择	24
控制通道和寄存器编程	25
UART接口	25
仅使用命令字节通过UART连接I ² C器件	26
UART旁路模式	26
I ² C接口	26
START和STOP条件	28
位传输	28
应答	28
从地址	29
总线复位	29
写操作格式	29
读操作格式	29
与远端器件的I ² C通信	30
I ² C地址转换	30
控制通道广播模式	30
GPO/GPI 控制	30
PRBS测试	31

28位GMSL解串器用于同轴或STP电缆传输

目录(续)

线路均衡器.....	31
扩频.....	31
手动设置扩频分频器.....	31
附加误码检测和纠错.....	32
循环冗余码校验(CRC).....	32
汉明码.....	32
HS/VS编码和/或跟踪.....	32
串行输出.....	32
同轴模式分配器.....	32
电缆类型配置输入(CX/TP).....	33
休眠模式.....	33
关断模式.....	33
配置链路.....	33
链路启动过程.....	34
应用信息.....	36
误码检测.....	36
ERR输出.....	36
自动故障复位.....	36
双 μ C控制.....	36
更改时钟频率.....	36
快速检测同步丢失.....	36
提供帧同步(摄像头应用).....	37
软件设置器件地址.....	37
三电平配置输入.....	37
配置屏蔽.....	37
与其它GMSL器件的兼容性.....	37
GPIO.....	37
交错并行输出.....	37
本地控制通道使能(LCCEN).....	38
内部输入下拉.....	38
选择I ² C/UART上拉电阻.....	38
交流耦合.....	38
交流耦合电容的选择.....	38
电源电路和旁路.....	39

28位GMSL解串器用于同轴或STP电缆传输

目录(续)

电源表	39
电缆和连接器	39
电路板布局	39
ESD保护	39
典型应用电路	46
订购信息	46
芯片信息	46
封装信息	46
修订历史	47

图录

图1. 反向控制通道输出参数	15
图2. 差分输入测试电路	16
图4. 并行时钟输出高/低电平时间参数	16
图5. I ² C时序参数	16
图3. 最差码型输出	16
图6. 输出上升、下降时间	17
图7. 解串器延时	17
图8. GPI至GPO延时	17
图9. 锁存时间	18
图10. 上电延时	18
图11. 单输出波形(串行器采用单输入)	20
图12. 单输出波形(串行器采用双输入)	20
图13. 双输出波形(串行器采用单输入)	21
图14. 双输出波形(串行器采用双输入)	21
图15. 串行数据格式	24
图16. 基本模式下的GMSL UART协议	25
图17. 基本模式下的GMSL UART数据格式	26
图18. SYNC字节(0x79)	26
图19. ACK字节(0xC3)	26
图20. 带有寄存器地址(I ² CMETHOD = 0)时, GMSL UART和I ² C之间的格式转换	27
图21. 带有寄存器地址(I ² CMETHOD = 1)时, GMSL UART和I ² C之间的格式转换	27

28位GMSL解串器用于同轴或STP电缆传输

图录(续)

图22. START和STOP条件	28
图23. 位传输	28
图24. 应答	28
图25. 从地址	29
图26. I ² C写操作	29
图27. 多个寄存器写操作	29
图28. I ² C读操作	30
图29. 2:1同轴模式分配器连接图	33
图30. 同轴模式连接图	33
图31. 状态图, 远端微控制器应用	35
图32. 人体模式ESD测试电路	39
图33. IEC 61000-4-2接触放电ESD测试电路	40
图34. ISO 10605接触放电ESD测试电路	40

表

表1. 上电默认寄存器映射(见 表16)	19
表2. 输出映射	23
表3. 数据率选择表	24
表4. I ² C码率范围	30
表5. MAX9262电缆均衡器提升电平	31
表6. 并行输出扩频	31
表7. 调制系数和最大SDIV设置	31
表8. 配置输入映射	33
表9. 视频显示应用的启动过程	34
表10. 图像检测应用的启动过程	35
表11. MAX9272功能兼容性	37
表12. 交错输出延时	38
表13. 双功能配置	38
表14. 典型电源电流(采用最差输入码型)	39
表15. 推荐GMSL连接器和电缆	39
表16. 寄存器表(见 表1)	40

28位GMSL解串器用于同轴或STP电缆传输

ABSOLUTE MAXIMUM RATINGS*

AVDD to EP	-0.5V to +1.9V	Junction Temperature	+150°C
DVDD to EP	-0.5V to +1.9V	Operating Temperature Range	-40°C to +105°C
IOVDD to EP	-0.5V to +3.9V	Storage Temperature Range	-65°C to +150°C
IN+, IN- to EP	-0.5V to +1.9V	Lead Temperature (soldering, 10s)	+300°C
All other pins to EP	-0.5V to (V _{IOVDD} + 0.5V)	Soldering Temperature (reflow)	+260°C
IN+, IN- short circuit to ground or supply	Continuous		
Continuous Power Dissipation (T _A = +70°C)			
TQFN (derate 40mW/°C above +70°C)	3200mW	*EP is connected to PCB ground.	

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

TQFN

Junction-to-Ambient Thermal Resistance (θ_{JA}) 25°C/W Junction-to-Case Thermal Resistance (θ_{JC}) 1°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maximintegrated.com/thermal-tutorial.

DC ELECTRICAL CHARACTERISTICS

(V_{AVDD} = V_{DVDD} = 1.7V to 1.9V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS (I2CSEL, LCCEN, GPI, PWDN, MS/HVEN)							
High-Level Input Voltage	V _{IH1}			0.65 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL1}			0.35 x V _{IOVDD}			V
Input Current	I _{IN1}	V _{IN} = 0V to V _{IOVDD}		-10		+20	μA
THREE-LEVEL LOGIC INPUTS (CX/TP)							
High-Level Input Voltage	V _{IH}			0.7 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL}			0.3 x V _{IOVDD}			V
Mid-Level Input Current	I _{INM}	(Note 2)		-10		+10	μA
Input Current	I _{IN}			-150		+150	μA
SINGLE-ENDED OUTPUTS (DOUT_, PCLKOUT)							
High-Level Output Voltage	V _{OH1}	I _{OUT} = -2mA	DCS = 0	V _{IOVDD} - 0.3			V
			DCS = 1	V _{IOVDD} - 0.2			
Low-Level Output Voltage	V _{OL1}	I _{OUT} = 2mA	DCS = 0	0.3			V
			DCS = 1	0.2			

28位GMSL解串器用于同轴或STP电缆传输

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP	MAX	UNITS
Output Short-Circuit Current	I _{OS}	DOUT_	V _O = 0V, DCS = 0	V _{IOVDD} = 3.0V to 3.6V	15	25	39	mA
				V _{IOVDD} = 1.7V to 1.9V	3	7	13	
			V _O = 0V, DCS = 1	V _{IOVDD} = 3.0V to 3.6V	20	35	63	
				V _{IOVDD} = 1.7V to 1.9V	5	10	21	
		PCLKOUT	V _O = 0V, DCS = 0	V _{IOVDD} = 3.0V to 3.6V	15	33	50	
				V _{IOVDD} = 1.7V to 1.9V	5	10	17	
			V _O = 0V, DCS = 1	V _{IOVDD} = 3.0V to 3.6V	30	54	97	
				V _{IOVDD} = 1.7V to 1.9V	9	16	32	
OPEN-DRAIN INPUTS/OUTPUTS (GPIO0/DBL, GPIO1/BWS, RX/SDA/EDC, TX/SCL/ES, <u>ERR</u> , LOCK)								
High-Level Input Voltage	V _{IH2}				0.7 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL2}				0.3 x V _{IOVDD}			V
Input Current	I _{IN2}	(Note 3)	RX/SDA, TX/SCL		-110	+1		μA
			LOCK, <u>ERR</u> , GPIO_		-80	+1		
			DBL, BWS, EDC, ES		-10	+20		
Low-Level Output Voltage	V _{OL2}	I _{OUT} = 3mA	V _{IOVDD} = 1.7V to 1.9V		0.4		V	
			V _{IOVDD} = 3.0V to 3.6V		0.3			
OUTPUT FOR REVERSE CONTROL CHANNEL (IN+, IN-)								
Differential High Output Peak Voltage, (V _{IN+}) - (V _{IN-})	V _{ROH}	No high-speed data transmission (Figure 1)			30	60		mV
Differential Low Output Peak Voltage, (V _{IN+}) - (V _{IN-})	V _{ROL}	No high-speed data transmission (Figure 1)			-60	-30		mV
DIFFERENTIAL INPUTS (IN+, IN-)								
Differential High Input Threshold (Peak) Voltage, (V _{IN+}) - (V _{IN-})	V _{IDH(P)}	(Figure 2)	Activity detector, medium threshold (0x22 D[6:5] = 01)		60		mV	
			Activity detector, low threshold (0x22 D[6:5] = 00)		45			
Differential Low Input Threshold (Peak) Voltage, (V _{IN+}) - (V _{IN-})	V _{IDL(P)}	(Figure 2)	Activity detector, medium threshold (0x22 D[6:5] = 01)		-60		mV	
			Activity detector, medium threshold (0x22 D[6:5] = 00)		-45			
Input Common-Mode Voltage ((V _{IN+}) + (V _{IN-}))/2	V _{CMR}				1	1.3	1.6	V
Differential Input Resistance (Internal)	R _I				80	105	130	Ω

28位GMSL解串器用于同轴或STP电缆传输

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS (IN+, IN-)							
Single-Ended High Input Threshold (Peak) Voltage, (V _{IN+}) - (V _{IN-})	V _{IDH(P)}	Activity detector, medium threshold (0x22 D[6:5] = 01)		43		mV	
		Activity detector, low threshold (0x22 D[6:5] = 00)		33			
Single-Ended Low Input Threshold (Peak) Voltage, (V _{IN+}) - (V _{IN-})	V _{IDL(P)}	Activity detector, medium threshold (0x22 D[6:5] = 01)		-43		mV	
		Activity detector, medium threshold (0x22 D[6:5] = 00)		-33			
Input Resistance (Internal)	R _I			40	52.5	65	Ω
POWER SUPPLY							
Worst-Case Supply Current (Figure 3)	I _{WCS}	BWS = 0, single output, EQ off	f _{PCLKOUT} = 25MHz	42	65	mA	
			f _{PCLKOUT} = 50MHz	61	90		
		BWS = 0, double output, EQ off	f _{PCLKOUT} = 50MHz	42	70		
			f _{PCLKOUT} = 100MHz	62	90		
Sleep Mode Supply Current	I _{CCS}			40	100	μA	
Power-Down Current	I _{CCZ}	P _{WDN} = EP		5	70	μA	
ESD PROTECTION							
IN+, IN- (Note 4)	V _{ESD}	Human Body Model, R _D = 1.5kΩ, C _S = 100pF		±8		kV	
		IEC 61000-4-2, R _D = 330Ω, C _S = 150pF	Contact discharge	±10			
			Air discharge	±15			
		ISO 10605, R _D = 2kΩ, C _S = 330pF	Contact discharge	±10			
			Air discharge	±30			
All Other Pins (Note 5)	V _{ESD}	Human Body Model, R _D = 1.5kΩ, C _S = 100pF		±4		kV	

AC ELECTRICAL CHARACTERISTICS

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PARALLEL CLOCK OUTPUT (PCLKOUT)						
Clock Frequency	$f_{PCLKOUT}$	BWS = 0, DRS = 1	8.33		16.66	MHz
		BWS = 0, DRS = 0	16.66		50	
		BWS = 1, DRS = 1	6.25		12.5	
		BWS = 1, DRS = 0	12.5		37.5	
		BWS = 1, DRS = 0, 15-bit double input	25		75	
		BWS = 0, DRS = 0, 11-bit double input	33.33		100	
Clock Duty Cycle	DC	t_{HIGH}/t_T or t_{LOW}/t_T (Figure 4, Note 6)	40	50	60	%
Clock Jitter	t_J	Period jitter, RMS, spread off, 1.5Gbps, PRBS pattern, $UI = 1/f_{PCLKOUT}$ (Note 6)		0.05		UI

28位GMSL解串器用于同轴或STP电缆传输

AC ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
I ² C/UART PORT TIMING							
I ² C/UART Bit Rate				9.6		1000	kbps
Output Rise Time	t _R	30% to 70%, C _L = 10pF to 100pF, 1kΩ pullup to V _{IOVDD}		20		120	ns
Output Fall Time	t _F	70% to 30%, C _L = 10pF to 100pF, 1kΩ pullup to V _{IOVDD}		20		120	ns
Input Setup Time	t _{SET}	I ² C only (Figure 5, Note 6)		100			ns
Input Hold Time	t _{HOLD}	I ² C only (Figure 5, Note 6)		0			ns
SWITCHING CHARACTERISTICS							
PCLKOUT Rise-and-Fall Time	t _R , t _F	20% to 80%, V _{IOVDD} = 1.7V to 1.9V (Note 6)	DCS = 1, C _L = 10pf	0.4		2.2	ns
			DCS = 0, C _L = 5pF	0.5		2.8	
		20% to 80%, V _{IOVDD} = 3.0V to 3.6V (Note 6)	DCS = 1, C _L = 10pF	0.25		1.7	
			DCS = 0, C _L = 5pF	0.3		2.0	
Parallel Data Rise-and-Fall Time (Figure 6)	t _R , t _F	20% to 80%, V _{IOVDD} = 1.7V to 1.9V (Note 6)	DCS = 1, C _L = 10pf	0.5		3.1	ns
			DCS = 0, C _L = 5pF	0.6		3.8	
		20% to 80%, V _{IOVDD} = 3.0V to 3.6V (Note 6)	DCS = 1, C _L = 10pF	0.3		2.2	
			DCS = 0, C _L = 5pF	0.4		2.4	
Deserializer Delay	t _{SD}	(Figure 7, Notes 6, 7)	Spread spectrum enabled			6960	Bits
			Spread spectrum disabled			2160	
Reverse Control-Channel Output Rise Time	t _R	No forward-channel data transmission (Figure 1, Note 6)		180		400	ns
Reverse Control-Channel Output Fall Time	t _F	No forward-channel data transmission (Figure 1, Note 6)		180		400	ns
GPI-to-GPO Delay	t _{GPIO}	Deserializer GPI to serializer GPO (cable delay not included) (Figure 8)				350	μs
Lock Time	t _{LOCK}	(Figure 9, Note 6)	Spread spectrum enabled			1.5	ms
			Spread spectrum disabled			1	
Power-Up Time	t _{PU}	(Figure 10)				6	ms

Note 2: To provide a midlevel, leave the input open, or, if driven, put driver in high impedance. High-impedance leakage current must be less than $\pm 10\mu A$.

Note 3: I_{IN} min due to voltage drop across the internal pullup resistor.

Note 4: Specified pin to ground.

Note 5: Specified pin to all supply/ground.

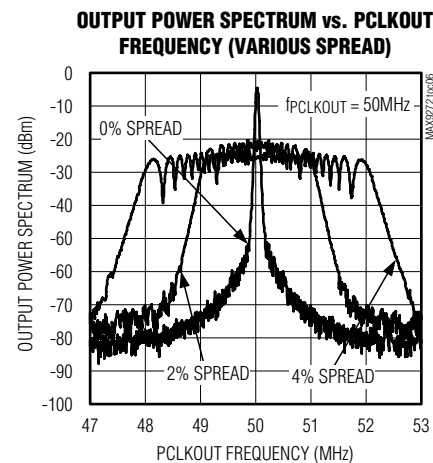
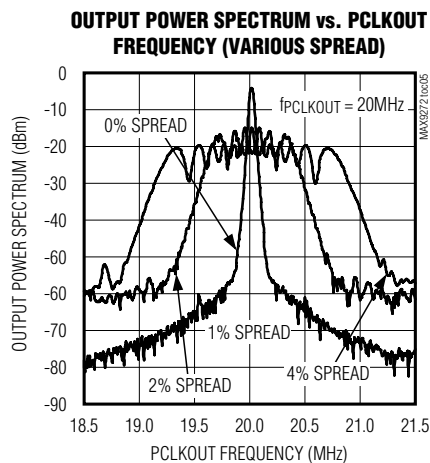
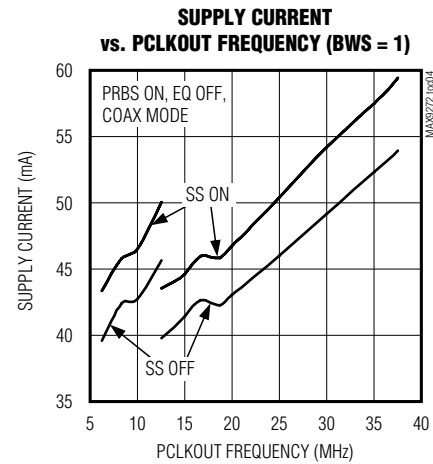
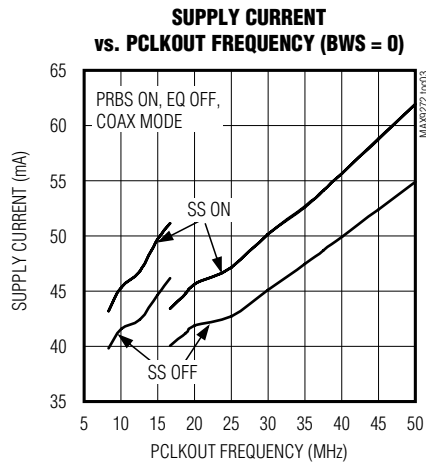
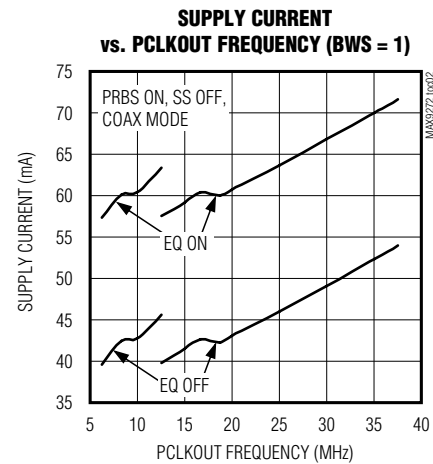
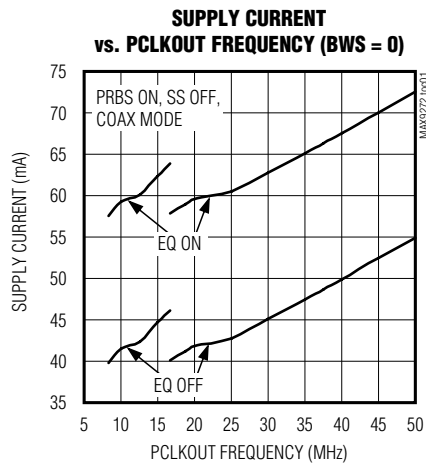
Note 6: Guaranteed by design and not production tested.

Note 7: Measured in serial link bit times. Bit time = $1/(30 \times f_{PCLKOUT})$ for BWS = GND. Bit time = $1/(40 \times f_{PCLKOUT})$ for BWS = 1.

28位GMSL解串器用于同轴或STP电缆传输

典型工作特性

($V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $DBL = low$, $T_A = +25^\circ C$, unless otherwise noted.)

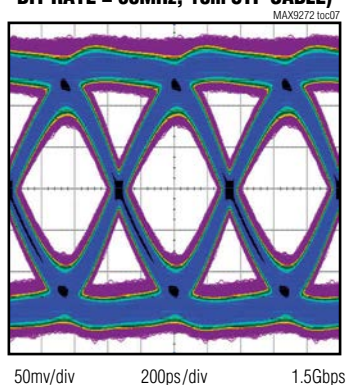


28位GMSL解串器用于同轴或STP电缆传输

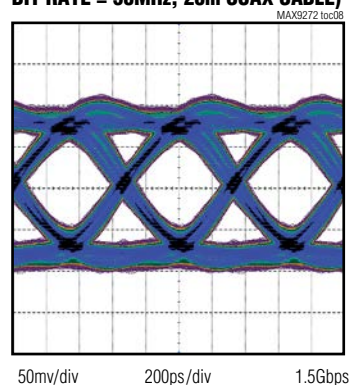
典型工作特性(续)

($V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $DBL = low$, $T_A = +25^\circ C$, unless otherwise noted.)

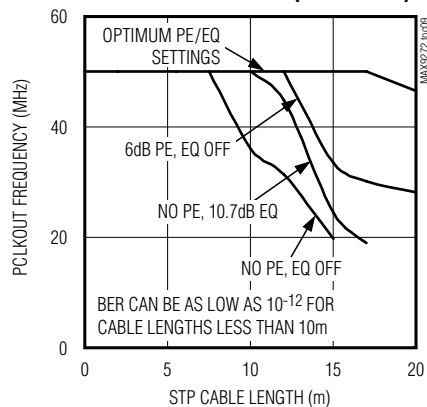
**SERIAL LINK SWITCHING PATTERN
WITH 6dB PREEMPHASIS (PARALLEL
BIT RATE = 50MHz, 10m STP CABLE)**



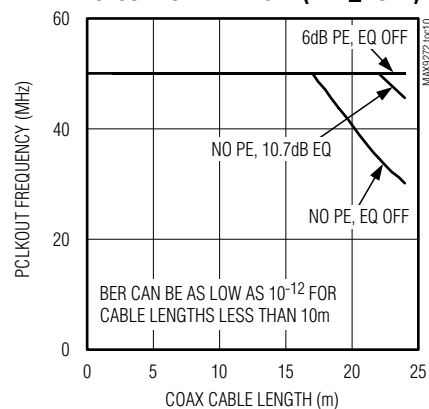
**SERIAL LINK SWITCHING PATTERN
WITH 6dB PREEMPHASIS (PARALLEL
BIT RATE = 50MHz, 20m COAX CABLE)**



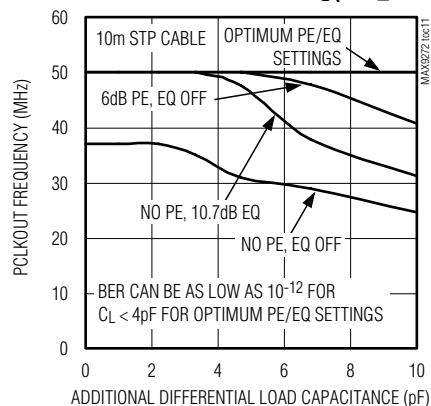
**MAXIMUM PCLKOUT FREQUENCY
vs. STP CABLE LENGTH (BER $\leq 10^{-10}$)**



**MAXIMUM PCLKOUT FREQUENCY
vs. COAX CABLE LENGTH (BER $\leq 10^{-10}$)**



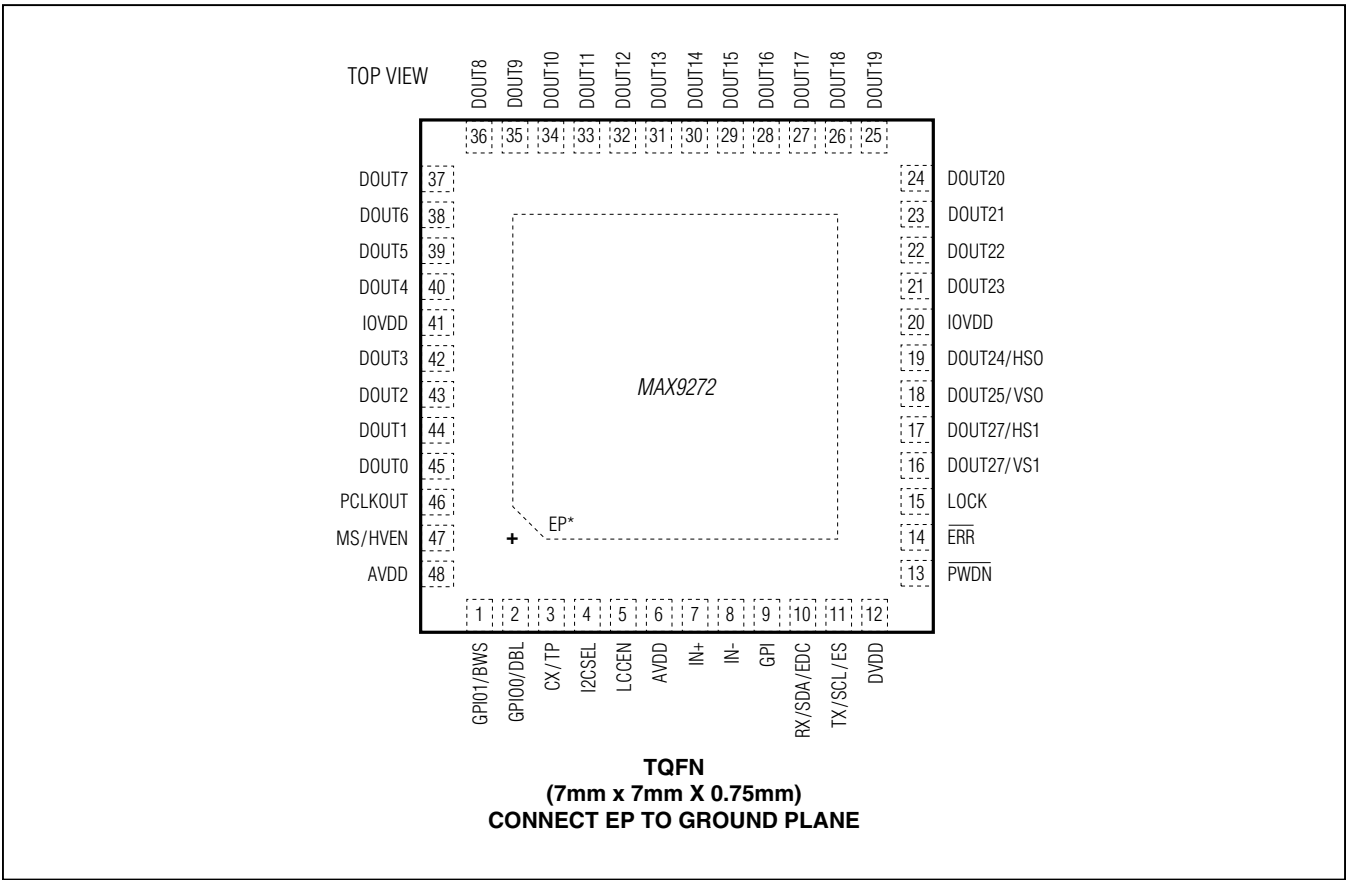
**MAXIMUM PCLKOUT FREQUENCY
vs. ADDITIONAL DIFFERENTIAL C_L (BER $\leq 10^{-10}$)**



MAX9272

28位GMSL解串器用于同轴或STP电缆传输

引脚配置



引脚说明

引脚	名称	功能
1	GPIO1/BWS	GPIO/总线宽度选择输入，功能由LCCEN的状态决定(表13)。 GPIO1 (LCCEN = 高电平): 开漏、通用输入/输出，内部通过60kΩ电阻上拉至IOVDD。 BWS (LCCEN = 低电平): 输入，内部下拉至EP。BWS = 低电平时，锁存22位输入。BWS = 高电平时，锁存30位输入。
2	GPIO0/DBL	GPIO/双模输入，功能由LCCEN的状态决定(表13)。 GPIO0 (LCCEN = 高电平): 开漏、通用输入/输出，内部通过60kΩ电阻上拉至IOVDD。 DBL (LCCEN = 低电平): 输入，内部下拉至EP。DBL = 高电平时，采用双输入模式；DBL = 低电平时，采用单输入模式。
3	CX/TP	同轴/双绞线对三电平配置输入(表8)。
4	I2CSEL	I2C选择，控制通道接口协议选择输入，内部下拉至EP。I2CSEL = 高电平时，选择从机接口；I2CSEL = 低电平时，选择UART接口。

28位GMSL解串器用于同轴或STP电缆传输

引脚说明(续)

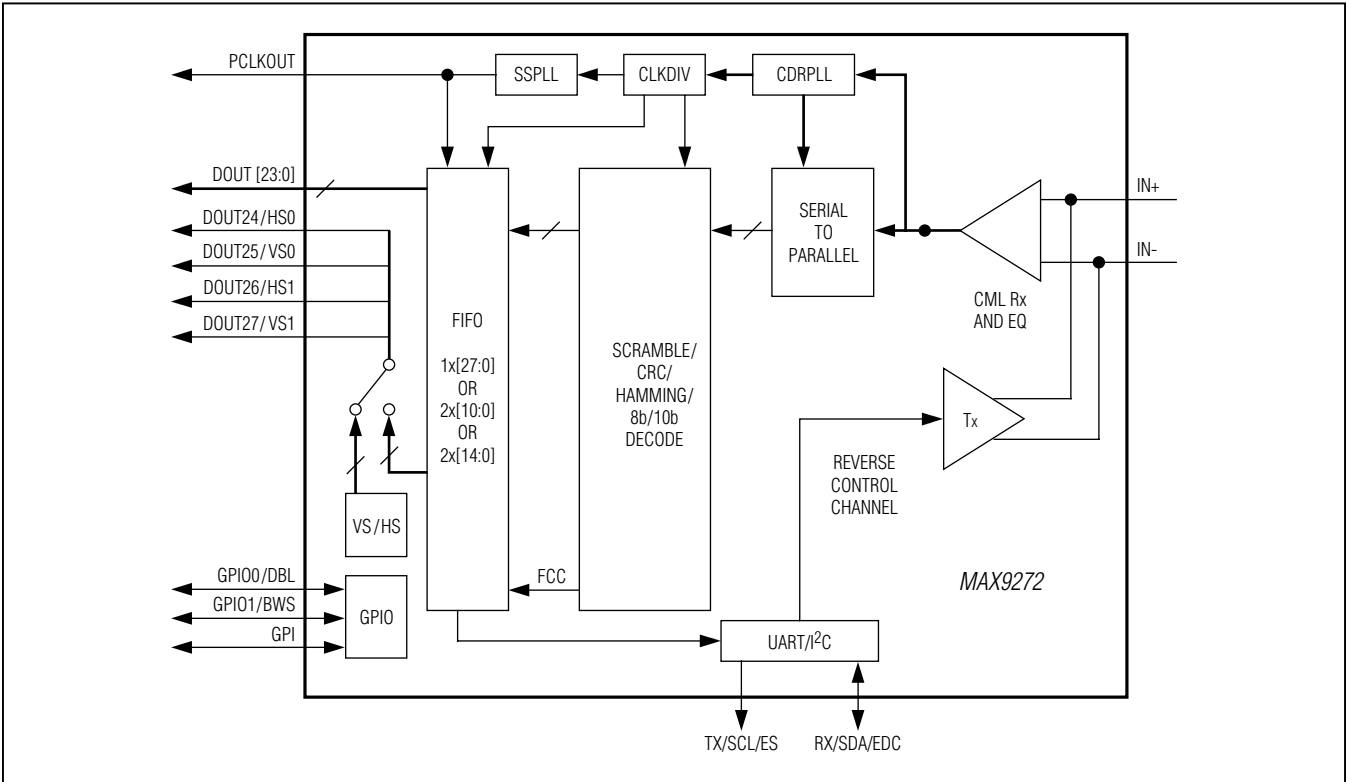
引脚	名称	功能
5	LCCEN	本地控制通道使能输入，内部下拉至EP。LCCEN = 高电平时，使能控制通道接口引脚；LCCEN = 低电平时，禁止控制通道接口引脚，选择专用引脚的替代功能(表13)。
6, 48	AVDD	1.8V模拟电源。利用0.1 μ F和0.001 μ F电容将AVDD旁路至EP，电容尽量靠近器件放置，小电容靠近AVDD。
7	IN+	同相同轴/双绞线串行输出。
8	IN-	反相同轴/双绞线串行输出。
9	GPI	通用输入，GPI跟随GMSL解串器的GPI (或INT)输入变化。
10	RX/SDA/EDC	接收/串行数据/误码检测/纠错，功能由LCCEN的状态决定(表13)。 RX/SDA (LCCEN = 高电平): 输入/输出，内部通过30k Ω 电阻上拉至IOVDD。UART模式下，RX/SDA为MAX9272 UART的Rx输入；I ² C模式下，RX/SDA为MAX9272 I ² C主/从器件的SDA输入/输出。RX/SDA具有开漏驱动器，需要上拉电阻。 EDC (LCCEN = 低电平): 输入，内部下拉至EP。EDC = 高电平时，使能误码检测功能；EDC = 低电平时，禁止纠错功能。
11	TX/SCL/ES	发送/串行时钟/沿选择，功能由LCCEN的状态决定(表13)。 TX/SCL (LCCEN = 高电平): 输入/输出，内部通过30k Ω 电阻上拉至IOVDD。UART模式下，TX/SCL为MAX9272 UART的Tx输出；I ² C模式下，TX/SCL为MAX9272 I ² C主从器件的SCL输入/输出。TX/SCL具有开漏驱动器，需要上拉电阻。 ES (LCCEN = 低电平): 输入，内部下拉至EP。当ES为高电平时，PCLKOUT指示在PCLKOUT的下降沿有效；当ES为低电平时，PCLKOUT指示在PCLKOUT的上升沿有效。不要在像素时钟运行期间改变ES输入。
12	DVDD	1.8V数字电源，利用0.1 μ F和0.001 μ F电容将DVDD旁路至EP，电容尽量靠近器件放置，小电容靠近DVDD。
13	$\overline{\text{PWDN}}$	低电平有效关断输入，内部下拉至EP。将 $\overline{\text{PWDN}}$ 置为低电平时，进入关断模式，以降低功耗。
14	$\overline{\text{ERR}}$	误码输出，误码检测和/或校验指示开漏输出，内部通过60k Ω 电阻上拉至IOVDD； $\overline{\text{ERR}}$ 为开漏驱动输出。
15	LOCK	漏极开路锁存输出，内部通过60k Ω 电阻上拉至IOVDD。LOCK = 高电平时，表示PLL正确地锁存到串行字边界并为之对齐；LOCK = 低电平时，表示PLL没有锁存，或者同步到错误的串行字边界。当配置链路有效，或者进行PRBS测试期间，LOCK保持低电平。 $\overline{\text{PWDN}}$ = 低电平时，LOCK为高阻。LOCK为开漏驱动输出。
16	DOUT27/VS1	并行数据/场同步1输出，上电后默认为并行数据输出。 禁用VS/HS编码时，为并行数据输出。 采用VS/HS编码时，为用于单输出上半字节的场同步(表2)。
17	DOUT26/HS1	并行数据/行同步1输出，上电后默认为并行数据输出。 禁用VS/HS编码时，为并行数据输出。 采用VS/HS编码时，为用于单输出上半字节的行同步(表2)。
18	DOUT25/VS0	并行数据/场同步0输出，上电后默认为并行数据输出。 禁用VS/HS编码时，为并行数据输出。 采用VS/HS编码时，为用于单输出下半字节的场同步(表2)。

28位GMSL解串器用于同轴或STP电缆传输

引脚说明(续)

引脚	名称	功能
19	DOUT24/HS0	并行数据/行同步0输出，上电后默认为并行数据输出。 禁用VS/HS编码时，为并行数据输出。 采用VS/HS编码时，为用于单输出下半字节的行同步(表2)。
20, 41	IOVDD	I/O电源，1.8V至3.3V逻辑I/O电源。利用0.1μF和0.001μF电容将IOVDD旁路至EP，电容尽量靠近器件放置，小电容靠近IOVDD。
21–40, 42–45	DOUT23–DOUT0	并行数据输出。
46	PCLKOUT	并行时钟输出，将并行数据锁存到另一器件的输入。
47	MS/HVEN	模式选择/HS和VS编码使能，内部下拉至EP。功能由LCCEN的状态决定(表13)。 MS (LCCEN = 高电平)：MS = 低电平时，选择基本模式。MS = 高电平时，选择旁路模式。 HVEN (LCCEN = 低电平)：HVEN = 高电平时，使能DOUT_HS_和DOUT_VS_的HS/Vs编码；HVEN = 低电平时，DOUT_HS_和DOUT_VS_用作并行数据输出。
—	EP	裸焊盘，EP内部连接至器件地。必须通过过孔阵列将EP连接至PCB接地区域，以改善散热，保证器件的电气性能。

功能框图



28位GMSL解串器用于同轴或STP电缆传输

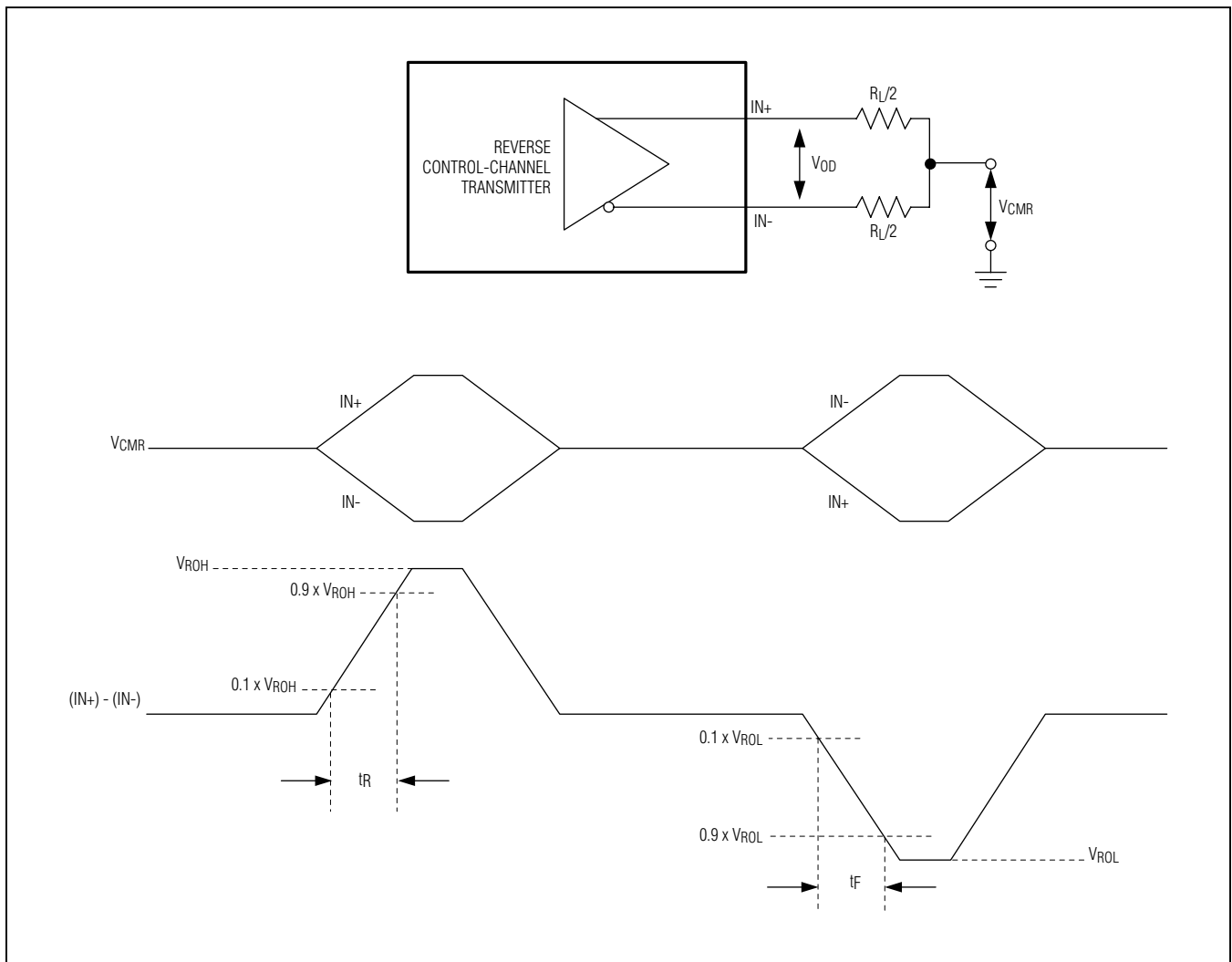


图1. 反向控制通道输出参数

28位GMSL解串器用于同轴或STP电缆传输

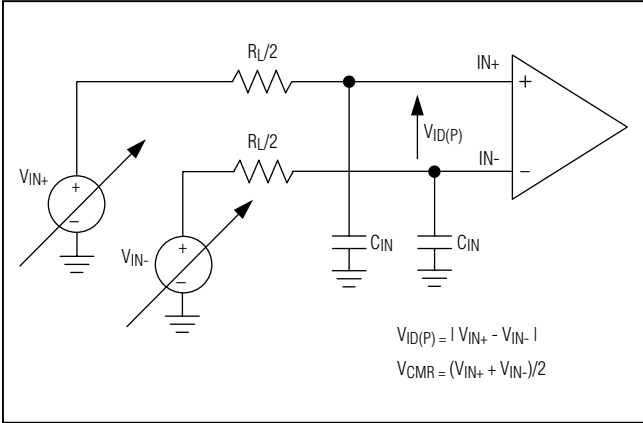


图2. 差分输入测试电路

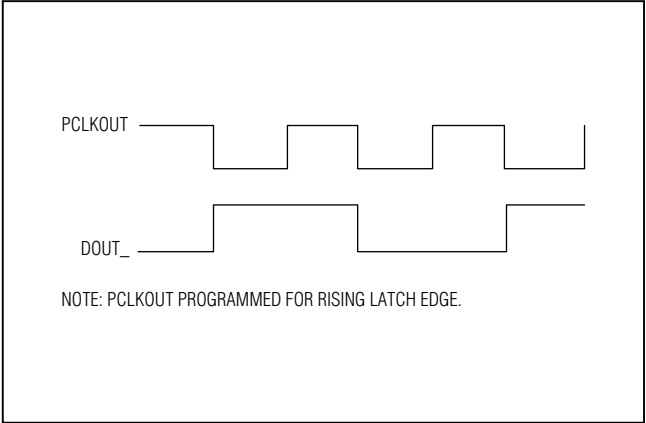


图3. 最差码型输出

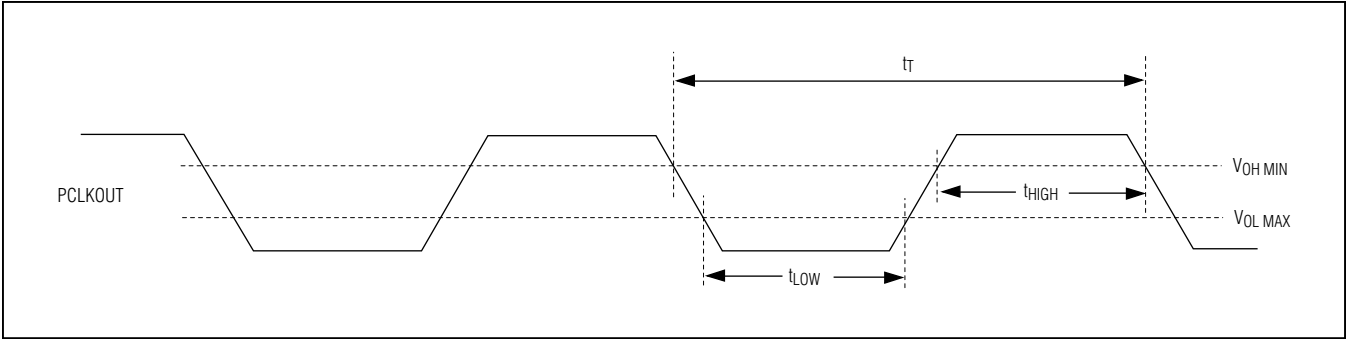


图4. 并行时钟输出高/低电平时间参数

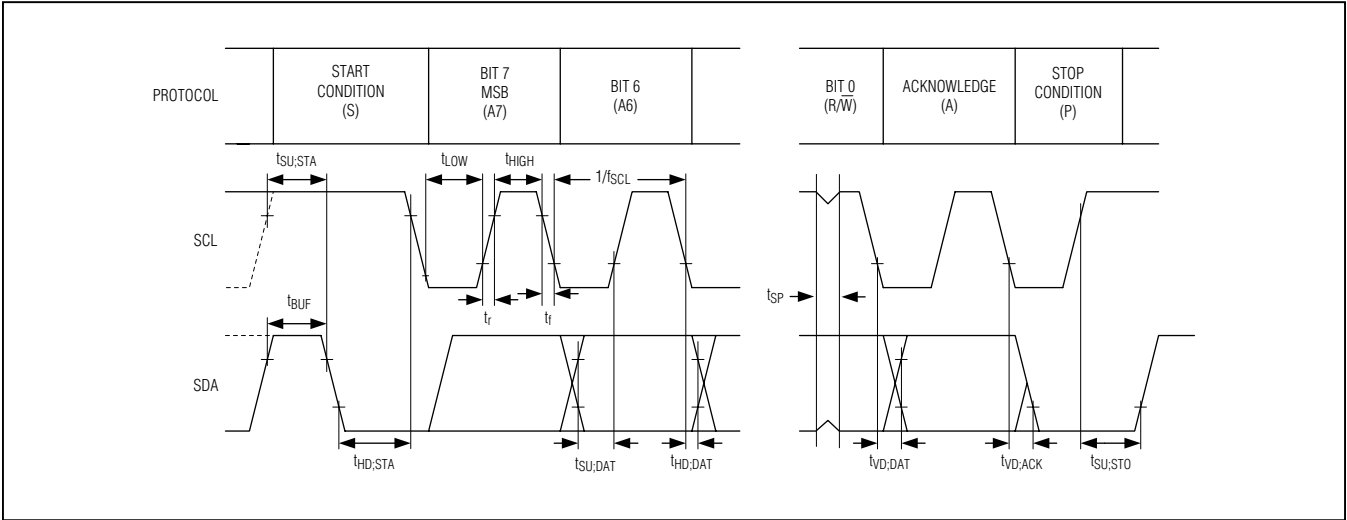


图5. I²C时序参数

28位GMSL解串器用于同轴或STP电缆传输

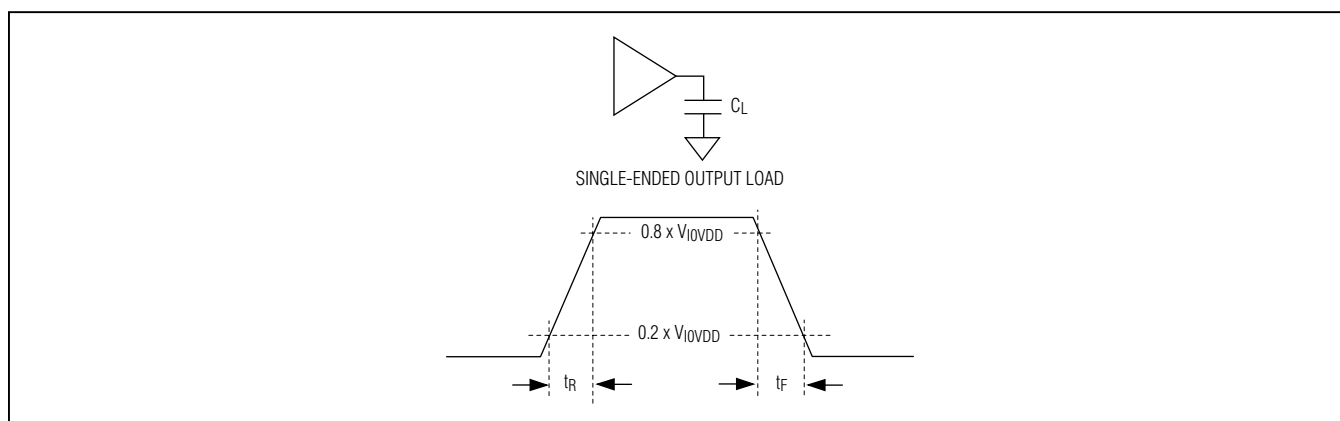


图6. 输出上升、下降时间

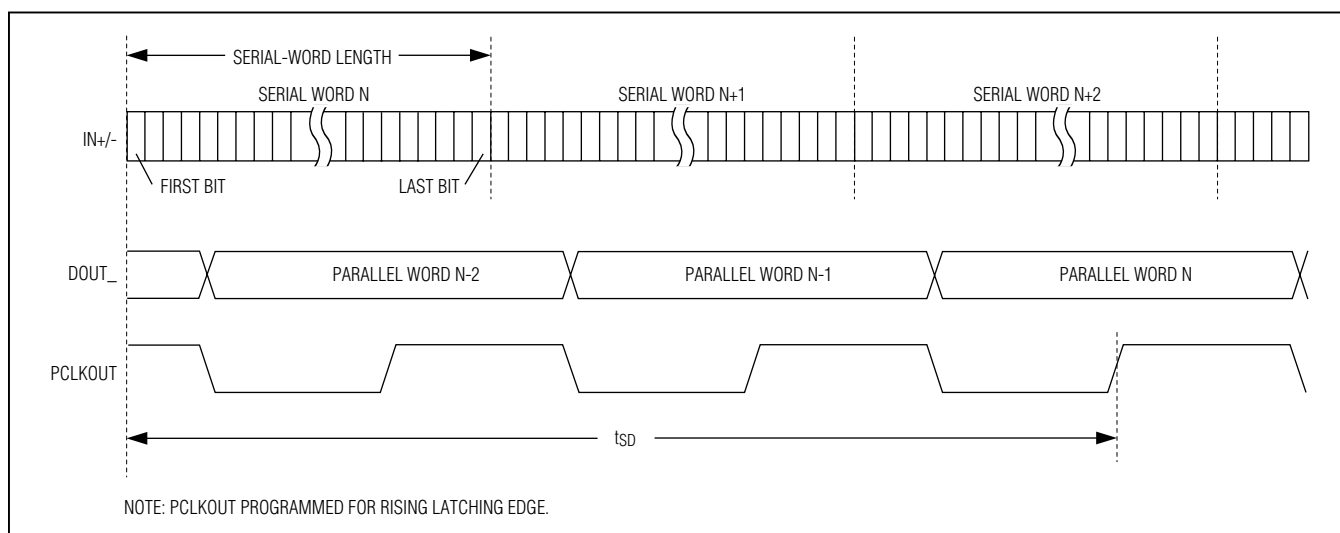


图7. 解串器延时

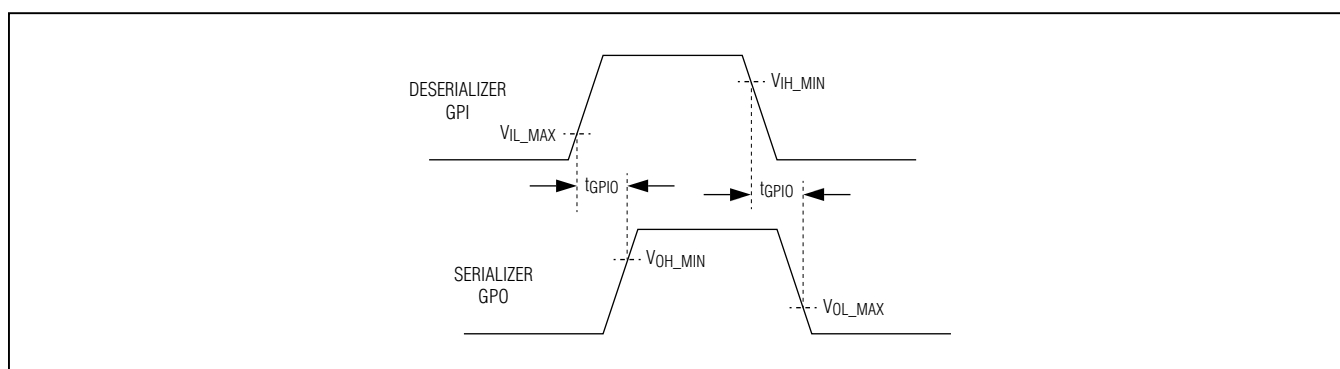


图8. GPI至GPO延时

28位GMSL解串器用于同轴或STP电缆传输

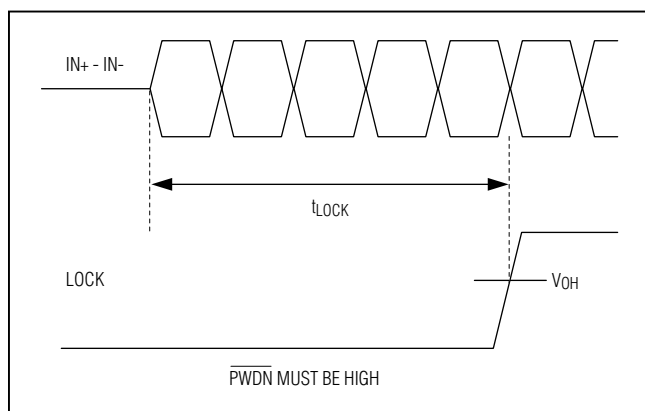


图9. 锁存时间

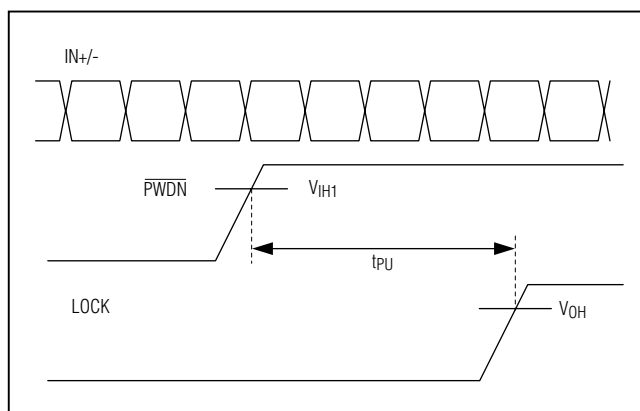


图10. 上电延时

详细说明

MAX9272解串器与MAX9271或MX9273串行器配对使用，构成完备的链路传输功能；与其它GMSL串行器配对使用时，可提供基本的链路传输功能。

驱动15m或更长的电缆时，解串器的最大串行传输码率为1.5Gbps。在28位、单输出模式下，最大输出时钟为50MHz；在15位/11位、双输出模式下，器件所支持的码率及输出灵活性能够适应各种显示应用，从QVGA (320 × 240)到WVGA (800 × 480)，甚至更高清晰度(18位彩色)、百万像素的图像传感器。输入均衡器配合GMSL串行器的预加重/去加重电路，可有效延长电缆传输距离，提高链路可靠性。

μC利用控制通道配置串行器和解串器寄存器，并可设置外设寄存器。控制通道还可用于配置、访问GPIO。μC可位于链路的任意一端或当使用两个μC时位于链路两侧。控制通道具有两种工作模式，基本模式使用I²C或GMSL UART协议，旁路模式使用用户定义的UART协议。UART协议支持全双工通信，而I²C提供半双工通信。

器件具有扩频功能，降低并行输出的EMI。串行输入满足ISO 10605和IEC 61000-4-2 ESD保护标准。

寄存器映射

寄存器用于设置解串器的工作条件，在基本模式下通过控制通道配置。解串器保存其器件地址及其配对工作的串行器器件地址。同样，串行器也将保存自身的器件地址以及相配合的解串器地址。任一器件地址改变时，应将新地址写入两个器件。解串器的默认器件地址由CX/TP输入设置，GMSL串行器的默认器件地址为0x80 (参见表1和表8)。两个器件的寄存器0x00和0x01用于保存器件地址。

位映射

并行输出功能及位宽取决于双/单路输出模式(DBL)、HS/VS编码(HVEN)、纠错(EDC)及总线宽度(BWS)引脚的设置。表2所列控制引脚设置的位映射，未使用的输出位拉低。

并行输出具有两种模式：单和双输出模式。单输出模式下，解串器并行数据按照PCLKOUT逐时钟移出。器件支持6.25MHz至50MHz像素时钟(图11和图12)。

双输出模式下，器件将解串器数据拆分成两个半字节，以两倍的串行字码率(图13和图14)输出。串行器/解串器可以采用33.3MHz至100MHz的像素时钟支持11位、双输出模式，也可采用25MHz至75MHz的像素时钟支持15位、双输出模式。

28位GMSL解串器用于同轴或STP电缆传输

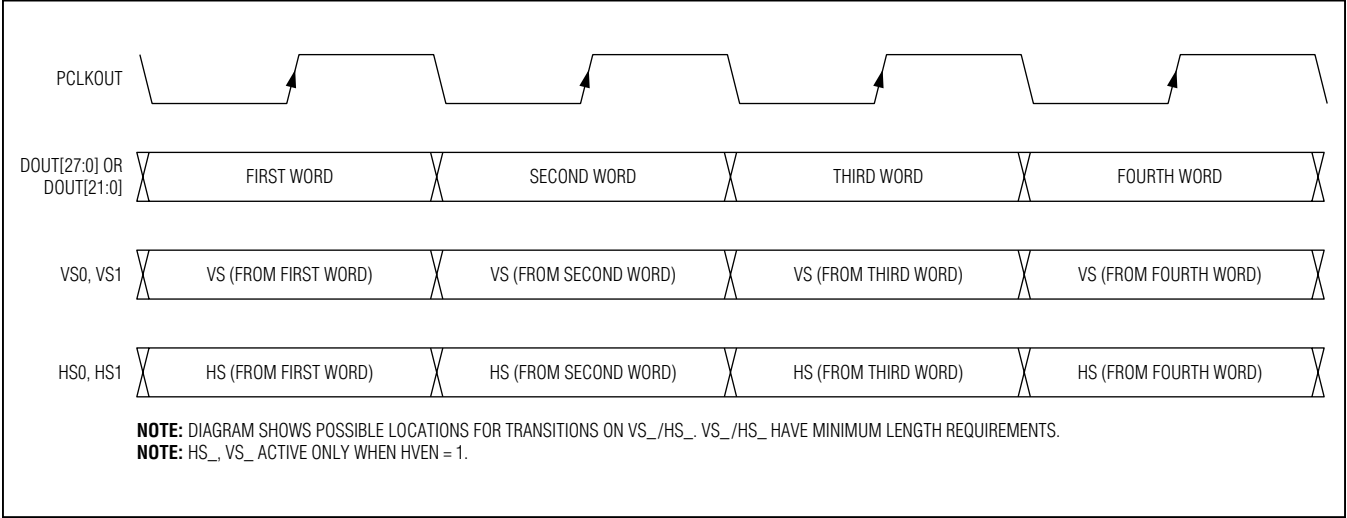


图11. 单输出波形(串行器采用单输入)

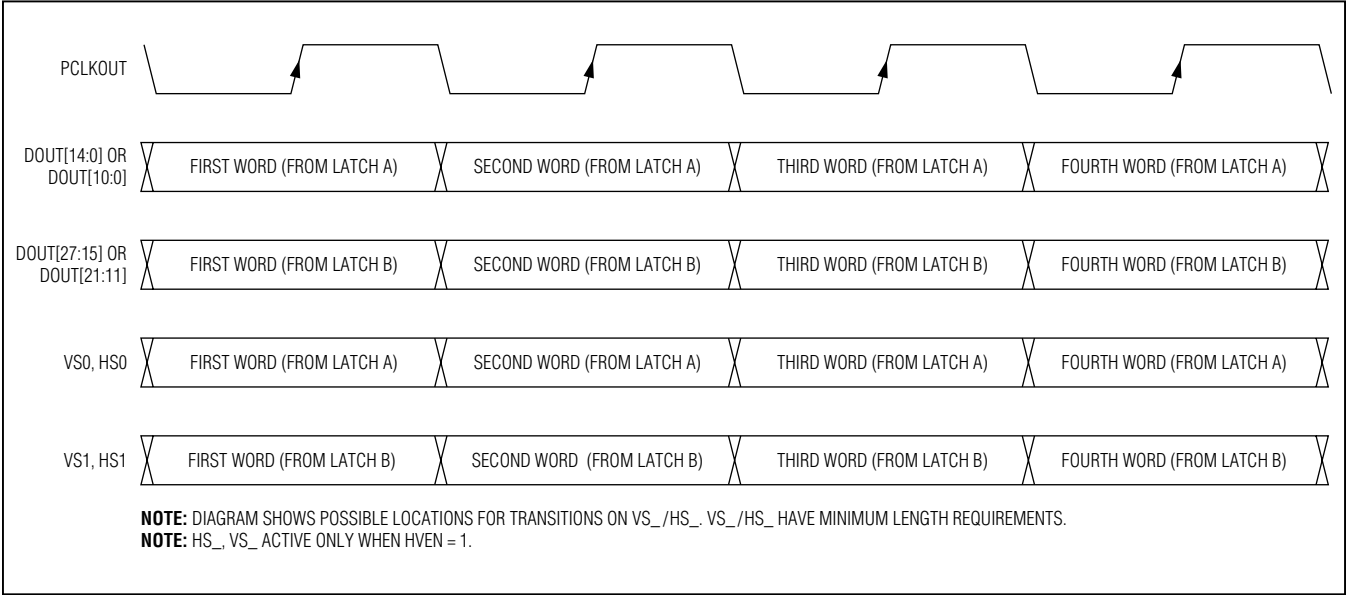


图12. 单输出波形(串行器采用双输入)

28位GMSL解串器用于同轴或STP电缆传输

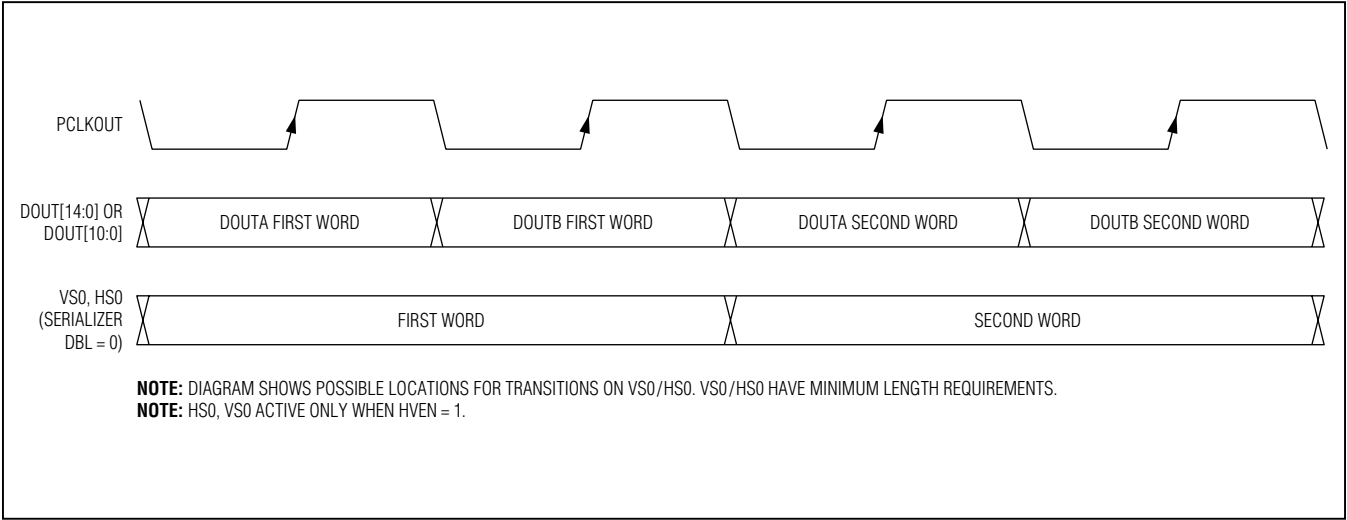


图13. 双输出波形(串行器采用单输入)

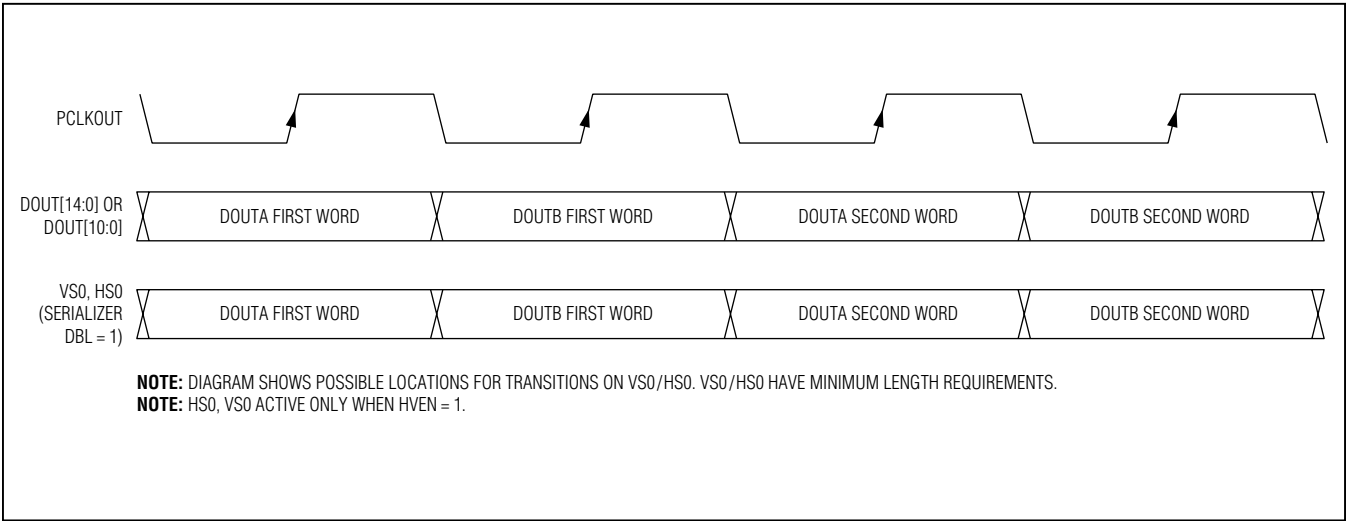


图14. 双输出波形(串行器采用双输入)

28位GMSL解串器用于同轴或STP电缆传输

表1. 寄存器默认上电设置(见表16)

寄存器地址 (十六进制)	上电默认值 (十六进制)	上电默认设置(最高有效位在前)
0x00	0x80	SERID = 1000000, 串行器器件地址 保留 = 0
0x01	0x90 or 0x92	DESID = 1001000 (CX/TP = 高电平或低电平), DESID = 1001001 (CX/TP = 中等电平), 解串器器件地址由CX/TP输入上电时的状态决定。 CFGBLOCK = 0, 读/写寄存器0x00至0x1F
0x02	0x1F	SS = 00, 不扩频 保留 = 1 PRNG = 11, 自动检测像素时钟范围 SRNG = 11, 自动检测串行数据率
0x03	0x00	AUTOFM = 00, 仅在锁定后校准一次扩频调制率 保留 = 0 SDIV = 000000, 自动校准锯齿分频器
0x04	0x07	LOCKED = 0, LOCK输出为低电平(只读) OUTENB = 0, 输出使能 PRBSEN = 0, 禁止PRBS测试 SLEEP = 0, 禁止休眠模式(见链路启动过程部分) INTTYPE = 01, 基本模式使用UART REVCCEN = 1, 反向控制通道有效(接收) FWDCEN = 1, 正向控制通道有效(发送)
0x05	0x24	I2CMETHOD = 0, I ² C主机发送寄存器地址 DCS = 0, 标称并行输出驱动电流 HVTRMODE = 1, 全周期跟踪HS/VS ENEQ = 0, 关闭均衡器 EQTUNE = 1001, 10.7dB均衡
0x06	0x02 or 0x22	保留 = 00X00010
0x07	0xXX	DBL = 0或1, 单/双输入模式设置, 由LCCEN和GPIO0/DBL启动时的状态决定 DRS = 0, 高数据率模式 BWS = 0或1, 位宽设置, 由LCCEN和GPIO1/BWS启动时的状态决定 ES = 0或1, 沿选择输入设置, 由LCCEN和TX/SCL/ES启动时的状态决定 HVTRACK = 0或1, HS/VS跟踪设置, 由LCCEN和MS/HVEN启动时的状态决定 HVEN = 0或1, HS/VS跟踪编码设置, 由LCCEN和MS/HVEN启动时的状态决定 EDC = 00或10, 误码检测/纠错设置, 由LCCEN和RX/SDA/EDC启动时的状态决定

28位GMSL解串器用于同轴或STP电缆传输

表1. 寄存器默认上电设置(见表16)续

寄存器地址 (十六进制)	上电默认值 (十六进制)	上电默认设置(最高有效位在前)
0x08	0x00	INVVS = 0, 解串器不反相VSYNC INVHS = 0, 解串器不反相HSYNC 保留 = 000000 UNEQDBL = 0, 串行器DBL与解串器不同 DISSTAG = 0, 输出不交错 AUTORST = 0, 误码寄存器/关闭输出自动复位 ERRSEL = 00, 检测到误码触发ERR
0x09	0x00	I2CSRCA = 00000000, I ² C地址转换器源A, 为0x00 保留 = 0
0x0A	0x00	I2CDSTA = 00000000, I ² C地址转换器目标A, 为0x00 保留 = 0
0x0B	0x00	I2CSRCA = 00000000, I ² C地址转换器源B, 为0x00 保留 = 0
0x0C	0x00	I2CDSTB = 00000000, I ² C地址转换器目标B, 为0x00 保留 = 0
0x0D	0x36	I2CLOCKACK = 0, 正向通道不可用时不产生应答 I2CSLVSH = 01, 469ns/234ns I ² C建立/保持时间 I2CMSTBT = 101, 339kbps (典型值) I ² C至I ² C主机码率设置 I2CSLVTO = 10, 1024μs (典型值) I ² C至I ² C从机远端超时
0x0E	0x6A	RESERVED = 01 GPIEN = 1, 使能GPI至GPO信号传送到串行器 GPIIN = 0, GPI输入为低电平(只读) GPIO1OUT = 1, GPIO1置为高电平 GPIO1IN = 0, GPIO1输入为低电平(只读) GPIO0OUT = 1, 将GPIO0置高 GPIO0IN = 0, GPIO0输入为低电平(只读)
0x0F	0x00	DETHR = 00000000, 检测误码的门限置为零
0x10	0x00 (read only)	DETERR = 00000000, 检测到零个误码
0x11	0x00	CORRTHR = 00000000, 修正误码的门限置为零
0x12	0x00 (read only)	CORRERR = 00000000, 检测到零个误码
0x13	0x00 (read only)	PRBSERR = 00000000, 检测到零个PRBS误码
0x14	0x00 (read only)	PRBSOK = 0, PRBS测试没有完成 RESERVED = 00000000
0x15	0x2X	保留 = 00100XXX
0x16	0x30	保留 = 00110000
0x17	0x54	保留 = 01010100
0x18	0x30	保留 = 00110000

28位GMSL解串器用于同轴或STP电缆传输

表1. 寄存器默认上电设置(见表16)续

寄存器地址 (十六进制)	上电默认值 (十六进制)	上电默认设置(最高有效位在前)
0x19	0xC8	保留 = 11001000
0x1A	0xFF (只读)	保留 = XXXXXXXX
0x1B	0xFF (read only)	保留 = XXXXXXXX
0x1C	0xFF (只读)	保留 = XXXXXXXX
0x1D	0x0X (只读)	CXTP = 0, 双绞线对输入 CXSEL = 0, 同相输入 I2CSEL = 0, UART输入 LCCEN = 0, 关闭本地控制通道 RESERVED = XXXX
0x1E	0x0A (只读)	ID = 00001010, 器件ID为0x0A
0x1F	0x0X (只读)	RESERVED = 000 CAPS = 0, 不支持HDCP REVISION = XXXX

X = 不确定。

表2. 输出映射

EDC	BWS	DBL	HVEN	DOUTA	DOUTB*	SERIAL LINK WORD BITS
0	0	0	0	0:21	—	0:21
0	0	0	1	0:17, 20:21, HS, VS	—	0:17, 20:21
0	0	1	0	0:10	0:10	0:21
0	0	1	1	0:10, HS, VS	0:10, HS, VS	0:21
0	1	0	0	0:21	—	0:21
0	1	0	1	0:17, 20:21, HS, VS	—	0:17, 20:21
0	1	1	0	0:14	0:14	0:29
0	1	1	1	0:14, HS, VS	0:14, HS, VS	0:29
1	0	0	0	0:15	—	0:15
1	0	0	1	0:15, HS, VS	—	0:15
1	0	1	0	0:7	0:7	0:15
1	0	1	1	0:7, HS, VS	0:7, HS, VS	0:15
1	1	0	0	0:21	—	0:21
1	1	0	1	0:17, 20:21, HS, VS	—	0:17, 20:21
1	1	1	0	0:11	0:11, HS, VS	0:23
1	1	1	1	0:11, HS, VS	0:11, HS, VS	0:23

* 双输出模式(DBL = 1)下, 在PCLKOUT的第一个周期输出DOUTA, 在PCLKOUT的第二个周期输出DOUTB。

28位GMSL解串器用于同轴或STP电缆传输

串行链路信号和数据格式

串行器使用差分CML信号驱动双绞线电缆，使用单端CML驱动同轴电缆，可编程预加重/去加重，交流耦合；解串器采用交流耦合，提供可编程通道均衡。

对输入数据加入扰码，然后进行8b/10b编码。解串器恢复嵌入的串行时钟，然后对数据进行采样、解码和解串。24位或32位模式下，22或30位包含视频数据和/或纠错位(若使用)。第23或31位为正向控制通道数据，最后一位为前23或31位的校验位(图15)。

反向控制通道

串行器使用反向控制通道接收来自解串器的I²C/UART和GPO信号，与视频流方向相反。反向控制通道和正向视频

数据共存于同一对串行电缆，形成双向链路。反向控制通道与正向控制通道的工作相互独立。上电后2ms，可以使用反向控制通道。启动/停止正向串行链路后，串行器将反向控制通道临时关闭350μs。

数据率选择

串行器/解串器使用DRS、DBL和BWS设置PCLKOUT的频率范围(表3)。DRS = 1时，PCLKOUT的频率范围为6.25MHz至12.5MHz (32位、单输出模式)或8.33MHz至16.66MHz (24位、单输出模式);DRS = 0时，为常规工作模式。DRS = 1时，不建议使用双输出模式。

表3. 数据率选择表

DRS SETTING	DBL SETTING	BWS SETTING	PCLKOUT RANGE (MHz)
0	0 (single input)	0 (24-bit mode)	16.66 to 50
0	0	1 (32-bit mode)	12.5 to 35
0	1 (double input)	0	33.3 to 100
0	1	1	25 to 75
1	0	0	8.33 to 16.66
1	0	1	6.25 to 12.5
1	1	0	Do Not Use
1	1	1	Do Not Use

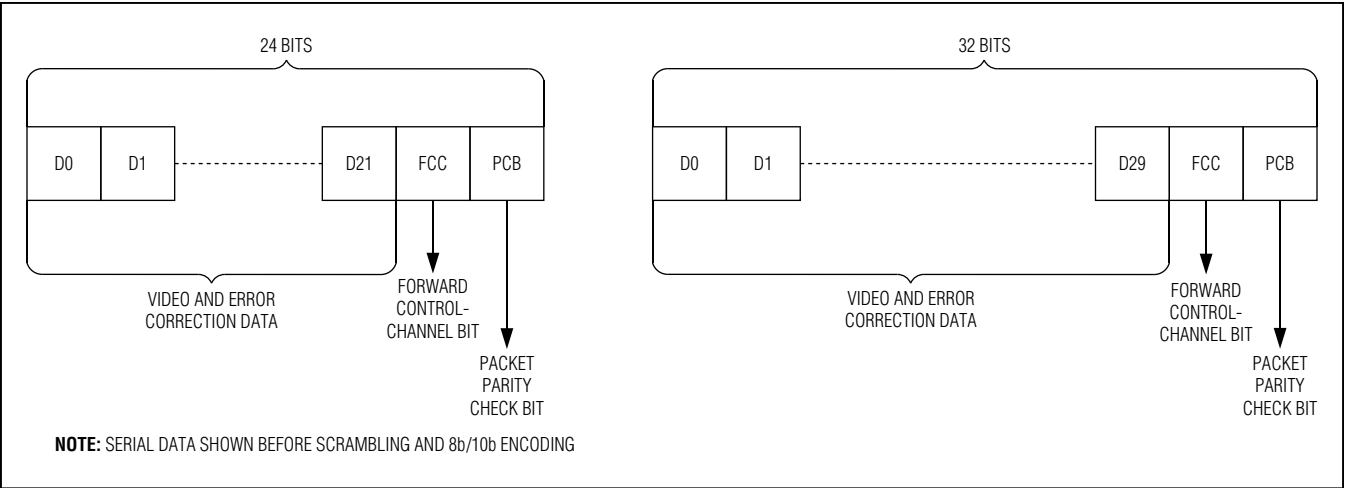


图15. 串行数据格式

28位GMSL解串器用于同轴或STP电缆传输

控制通道和寄存器编程

提供控制通道，使μC能够通过串行链路与高速数据一起发送、接收控制数据。μC从串行器或解串器一侧控制链路，支持视频显示或图像传感器应用。μC和串行器或解串器之间的控制通道工作在基本模式或旁路模式，取决于μC连接器件的模式选择(MS/HVEN)输入。基本模式为半双工控制通道，旁路模式为全双工控制通道。

UART接口

基本模式下，μC为主机，可从链路的任一侧使用GMSL UART协议存取串行器和解串器的寄存器。μC也可通过向串行器或解串器发送UART包设置远端外设，UART包由链路远端侧的器件转换为I²C。μC在基本模式下与UART外设通信(通过INTTYPE寄存器设置)，采用串行器/解串器的半双工、默认GMSL UART协议。可编程串行器/解串器在基本模式下的器件地址，串行器的默认值为0x80，解串器的默认值取决于CX/TP输入(表8)。

外设接口为I²C时，串行器/解串器将UART包转换为I²C，器件地址不同于串行器或解串器地址。转换得到的I²C码率与原始UART码率相同。

解串器采用差分线编码，通过反向通道将信号传送到串行器。控制通道在两个方向的传输码率均为9.6kbps至

1Mbps。基本模式下，串行器/解串器自动检测控制通道码率。可根据步长调整数据包码率，使其高于或低于原码率3.5倍。关于改变控制通道码率的更多信息，请参考[更改时钟频率](#)部分。

图16所示为基本模式下，μC和串行器/解串器之间进行读、写操作的UART协议。

图17所示为UART数据格式，图18和图19所示为SYNC字节(0x79)和ACK字节(0xC3)格式。μC与所连接的从机器件分别产生SYNC字节和ACK字节。μC将忽略控制通道产生的器件唤醒、GPI等事件跳变。写入串行器/解串器的数据在发送ACK字节后才生效，使得μC能够验证成功接收到的写命令，即使写命令的结果直接影响串行链路。从机利用SYNC字节与主机的UART数据率同步。通过控制通道传输信息时，如果串行器的GPI或MS/HVEN输入发生切换，或者如果发生行错误，将终止控制通道通信。应答数据丢失或延迟(约1ms，由于控制通道超时)时，μC应判断从器件接收数据包时发生错误，或者从器件响应期间发生错误。基本模式下，μC必须将UART Tx/Rx线保持为高电平达16位时间，然后才能开始发送新数据包。

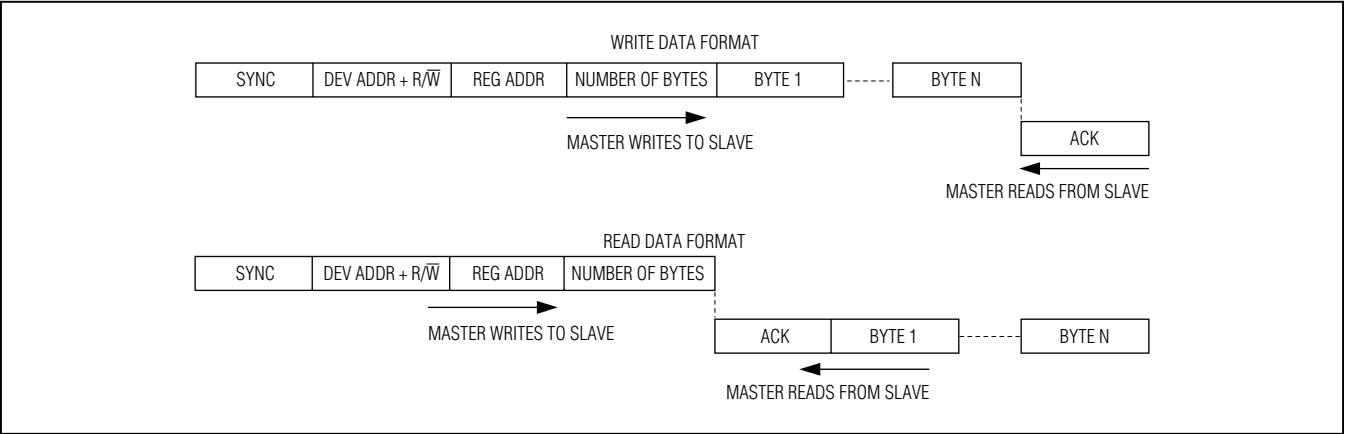


图16. 基本模式下的GMSL UART协议

28位GMSL解串器用于同轴或STP电缆传输

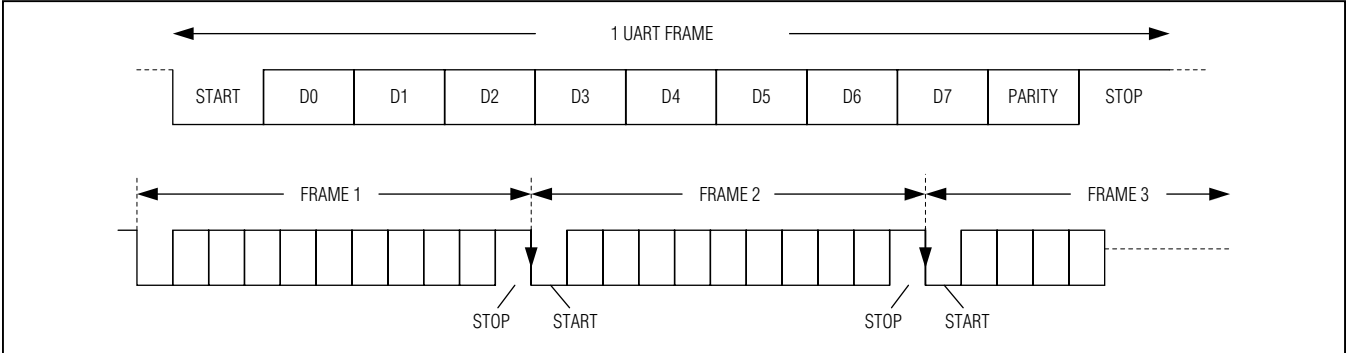


图17. 基本模式下的GMSL UART数据格式

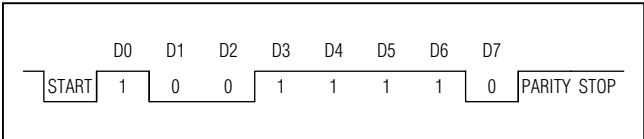


图18. SYNC字节(0x79)

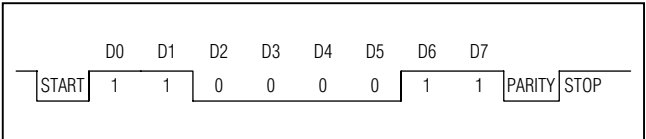


图19. ACK字节(0xC3)

如图20所示，远端器件将发送给外设/来自外设的数据包从UART格式转换成I²C格式，反之亦然。远端器件删除字节数字段，添加或接收I²C数据字节之间的ACK。I²C码率与原UART码率相同。

仅使用命令字节通过UART连接I²C器件
串行器/解串器的UART-I²C转换器可以连接不需要寄存器地址的器件，例如MAX7324 GPIO扩展器。该模式下，I²C主机忽略寄存器地址字节，直接读/写后续的数据字节(图21)。使用I2CMETHOD位改变I²C主机的通信方式。I2CMETHOD = 1时，设置为命令字节模式；I2CMETHOD = 0时，设置为常规模式，数据流的第一个字节为寄存器地址。

UART旁路模式
旁路模式下，串行器/解串器忽略来自μC的UART命令，μC按照其默认的UART协议直接与外设通信。该模式下，μC不能读/写串行器/解串器的寄存器。由于UART信号通过PCLKOUT进行异步采样，采用UART接口通过正向控制通道读/写外设时，需要处理至少一个PCLKOUT周期±10ns抖动。MS/HVEN = 高电平时，将控制通道置于旁路模式。对于μC连接至解串器的应用，从MS/HVEN置为高电平到

旁路控制通道有效需要1ms的等待时间；如果μC连接至串行器，切换至旁路模式时没有延时。不要发送长于100μs的逻辑低电平，以确保GPO正常工作。旁路模式下，任何方向均可接受最低10kbps的码率。关于GPI功能限制的详细信息，请参考GPO/GPI控制部分。如果使用GPI控制，控制通道数据码型保持为低电平的时间不应长于100μs。

I²C接口
I²C-I²C模式下，解串器的控制通道接口通过I²C兼容的2线接口发送、接收数据。该接口使用串行数据线(SDA)和串行时钟线(SCL)实现主机与从机之间的双向通信。μC主机启动与器件之间的所有数据传输，并生成用来同步数据传输的SCL时钟。本地器件的控制通道端口启动I²C传输时，远端器件的控制通道端口变为I²C主机，连接远端I²C外设。I²C主机必须接受解串器展宽的时钟(保持SCL为低电平)。SDA和SCL既是输入又是开漏输出，在SDA和SCL端需要接上拉电阻。每次传输包含一个主机发送的START条件(图5)，随后为器件的7位从地址、R/W位、寄存器地址字节、一个或多个数据字节，最后是STOP条件。

28位GMSL解串器用于同轴或STP电缆传输

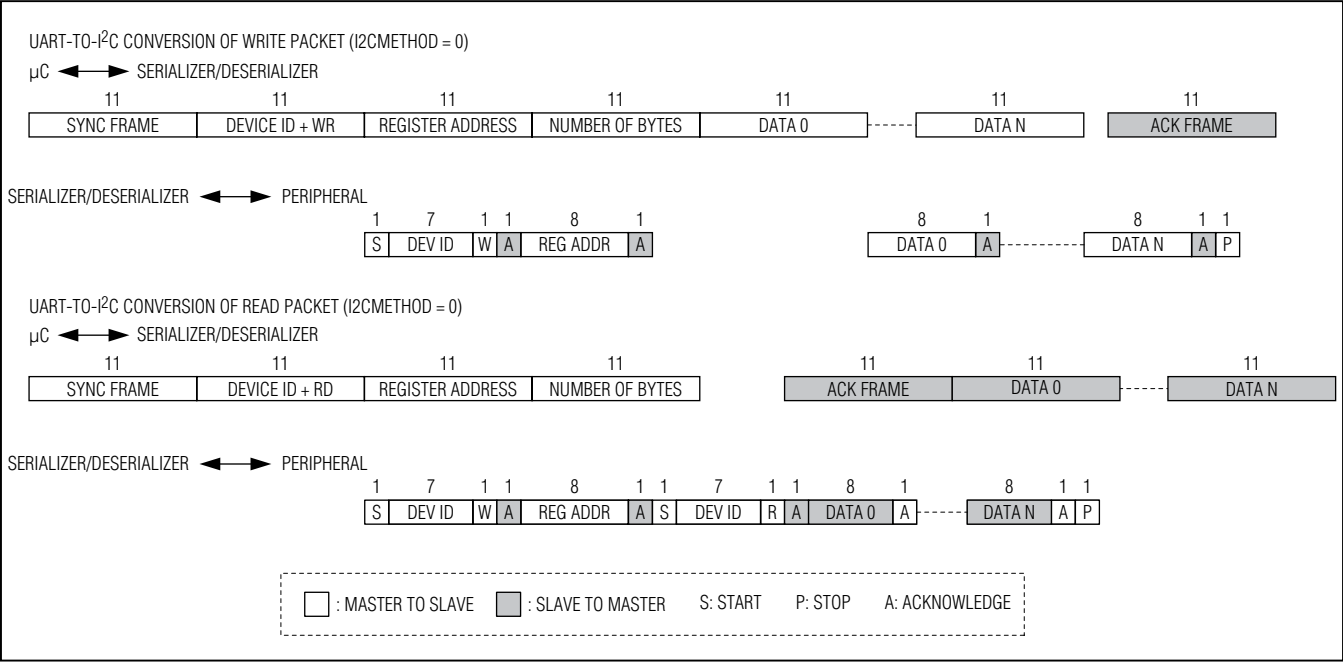


图20. 带有寄存器地址(I2CMETHOD = 0)时, GMSL UART和I²C 之间的格式转换

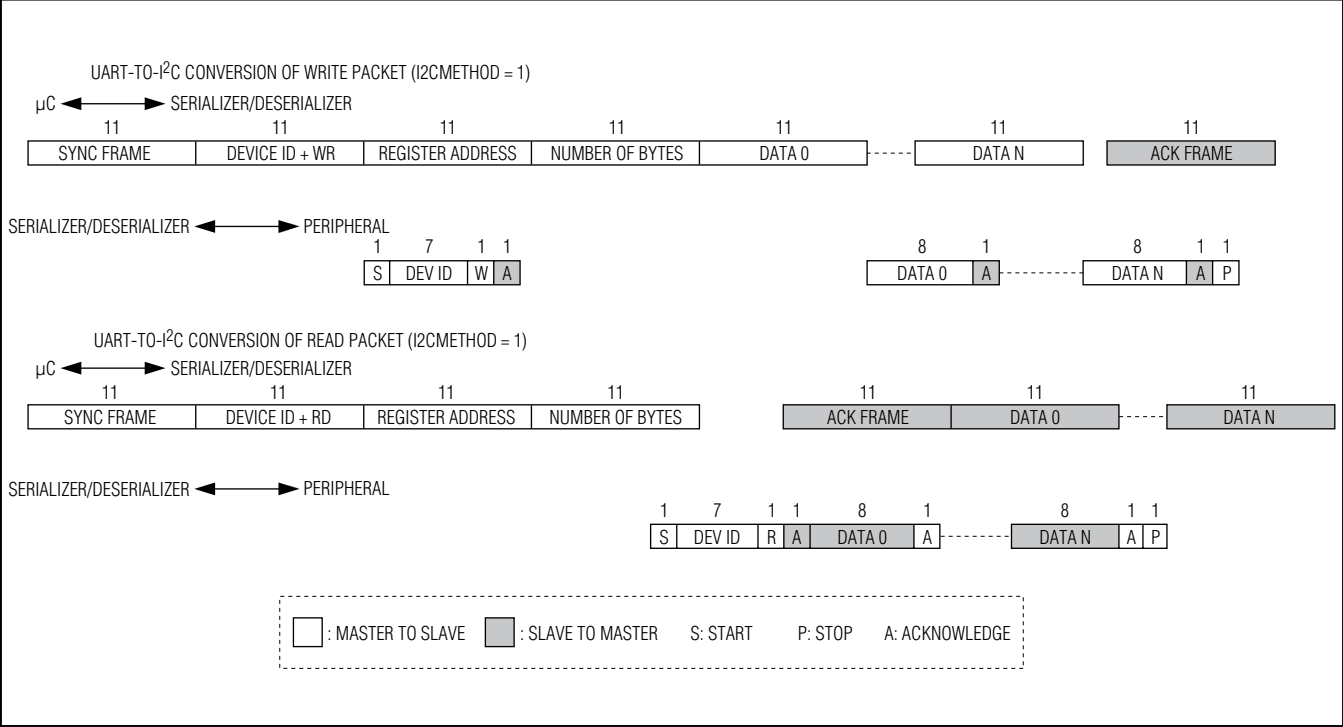


图21. 带有寄存器地址(I2CMETHOD = 1)时, GMSL UART和I²C 之间的格式转换

28位GMSL解串器用于同轴或STP电缆传输

START和STOP条件

接口空闲时SCL和SDA均为高。当SCL为高电平时，主机通过将SDA从逻辑高拉至逻辑低电平产生SRART(S)条件，表示传输开始信号。当主机完成与从机通信后，主机在SCL为高电平时驱动SDA由低电平跳变到高电平(图22)，发出一个STOP (P)条件。此时，总线就绪，可进行下一次传输。

位传输

每个时钟脉冲传输一个数据位(图23)，当SCL为高电平时，SDA上的数据必须保持稳定。

应答

应答位是第9位数据，由接收方作为每个接收数据字节的握手信号(图24)。因此，每个字节的有效传输需要9位。主机产生第9个时钟脉冲，接收方在应答时钟脉冲期间将SDA拉低。在时钟脉冲为高电平期间，SDA稳定地保持在低电平。主机向从器件发送数据时，由于从器件为接收方，将由从器件产生应答位。从器件向主机发送数据时，由于主机为接收方，将由主机产生应答位。即使正向控制通道没有数据传输(为锁定状态)，器件也同样产生应答。为了防止正向控制通道没有数据传输时产生应答，须置位I2CLOCKACK。

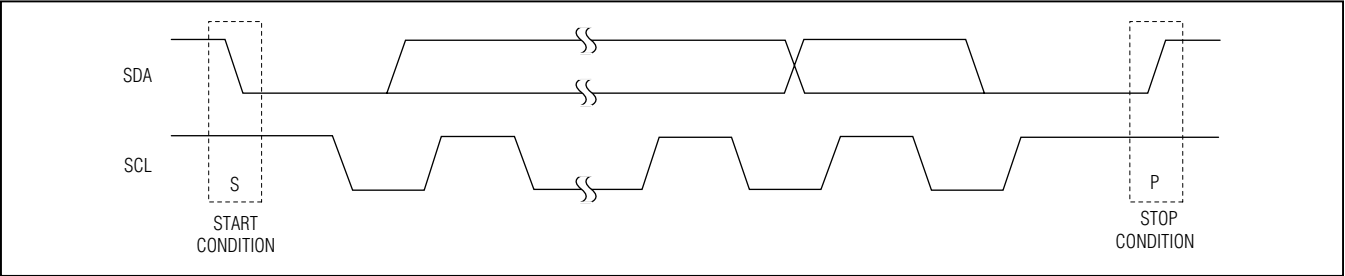


图22. START和STOP条件

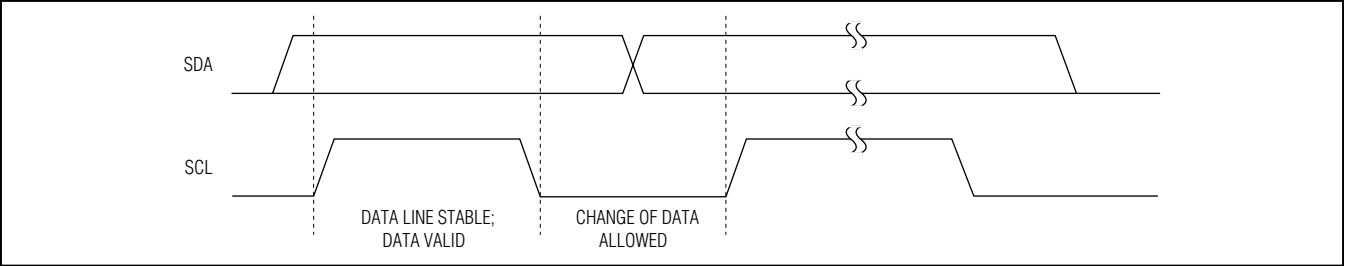


图23. 位传输

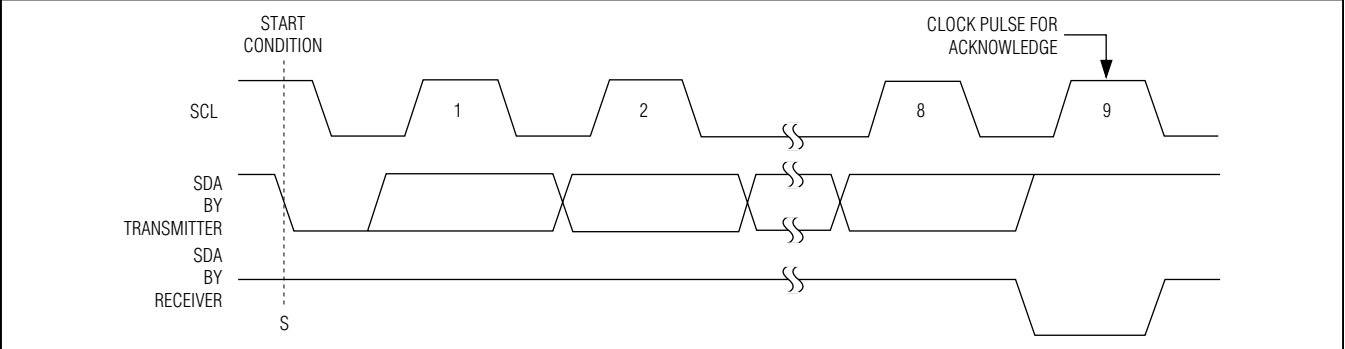


图24. 应答

28位GMSL解串器用于同轴或STP电缆传输

从地址
串行器/解串器具有7位从地址，紧随7位从地址的是R/W位(第8位)，R/W位置低表示写操作，置高表示读操作。读操作时的从地址为100100X1，写操作时为100100X0，参见图25。

总线复位
器件通过读取I²C START条件复位总线。R/W位置1时，串行器/解串器向主机发送数据，主机从器件读取数据。

写操作格式
向串行器/解串器写数据时，首先发送器件的从地址，并将R/W位置0，随后至少发送一个字节的信息。信息的第一字节为寄存器地址或命令字节。寄存器地址决定下个字节(如果收到的话)写入器件的哪个寄存器。如果在收到寄存器地址后检测到STOP (P)条件，器件除了储存寄存器地址

外不采取其它动作(图26)。寄存器地址字节之后接收的是数据字节。第一个数据字节存储至寄存器地址所选的寄存器，随后的数据字节分别存储在后续的寄存器(图27)。如果在STOP条件之前收到了多个数据字节，这些字节将存储到后续的寄存器，寄存器地址自动递增。

读操作格式
读串行器/解串器时，内部存储的寄存器地址作为地址指针，按照写操作相同的方式存储寄存器地址、获取地址指针。读取每个数据字节后，指针自动递增，规则和写数据一样。首先通过执行写操作配置寄存器地址，启动读操作(图28)。主机即可从器件连续读取字节，从写入的寄存器地址所指向的寄存器读取第一个数据字节。一旦主机发送NACK，器件将停止发送数据。

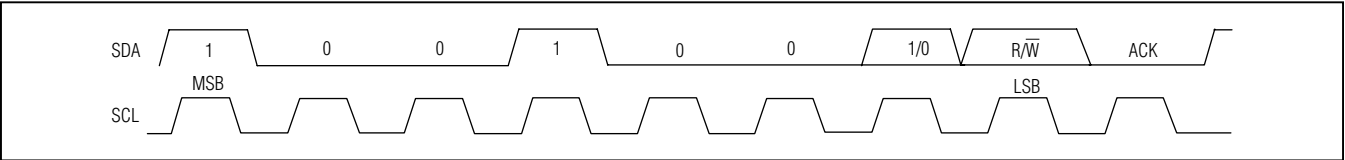


图25. 从地址



图26. I²C写操作格式

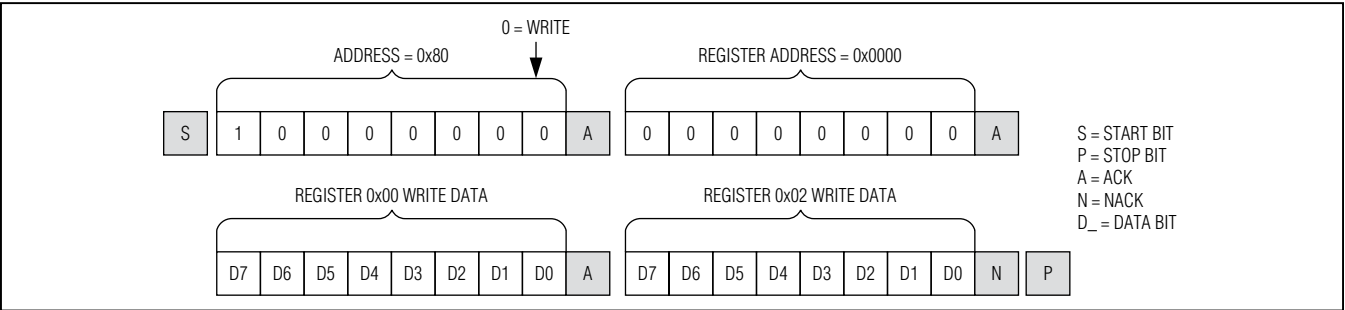


图27. 写多个寄存器的格式

28位GMSL解串器用于同轴或STP电缆传输

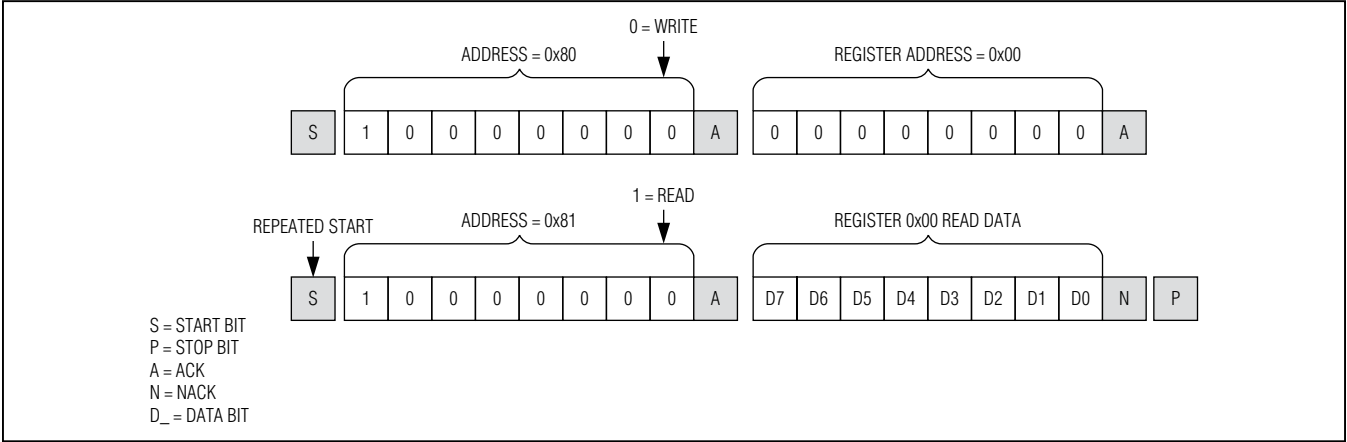


图28. I2C读操作的格式

表4. I2C码率范围

LOCAL BIT RATE	REMOTE BIT-RATE RANGE	I2CMSTBT SETTING
f > 50kbps	Up to 1Mbps	Any
20kbps > f > 50kbps	Up to 400kbps	Up to 110
f < 20kbps	Up to 10kbps	000

与远端器件的I2C通信

解串器支持采用SCL时钟展宽与通信链路上远端的外设进行I2C通信。虽然通信链路的任一端均可有多个主机，但不提供仲裁。连接的主机需要支持SCL时钟展宽。远端I2C码率范围必须根据本地I2C码率进行设置。支持的远端码率请参见表4。通过设置I2CMSTBT (寄存器0x0D)设置远端I2C码率。如果使用400kbps之外的其它码率，应通过设置两端的SLV_SH寄存器设置来调整本地和远端的I2C建立和保持时间。

I2C地址转换

解串器支持多达两个器件地址的I2C地址转换。通过地址转换，利用有限的I2C地址为外设分配唯一的器件地址。源地址(被转换的地址)储存在寄存器0x09和0x0B，目标地址(转换结果地址)储存在寄存器0x0A和0x0C。

控制通道广播模式

解串器支持控制多个外设器件的广播命令。选择一个未使用的器件地址作为广播器件地址。通过设置远端GMSL器

件将广播器件地址(源地址储存在寄存器0x09、0x0B)转换为外设器件地址(目标地址储存在寄存器0x0A、0x0C)。发送至广播地址的任何命令都送至全部指定外设，而发送至外设唯一器件地址的命令仅被送至特定的器件。

GPO/GPI 控制

串行器上的GPO跟随解串器上的GPI跳变。这种GPO/GPI功能可用于环视摄像系统的帧同步信号，GPI至GPO延时为0.35ms (最大值)。须保证GPI两次跳变之间的时间至少为0.35ms, 包括来自同轴电缆分配器中其它解串器的跳变。解串器内寄存器0x0E的D4位用于储存GPI输入状态，GPO在上电后为低电平。μC可通过写串行器SET_GPO寄存器位设置GPO。无论工作在基本模式还是旁路模式，不要在解串器RX/SDA输入(UART模式)发送长于100μs的逻辑低电平信号，以确保GPO/GPI工作正常。

28位GMSL解串器用于同轴或STP电缆传输

PRBS测试

串行器包括PRBS码型发生器，配合解串器中的误码验证操作。为运行PRBS测试，在解串器中设置PRBSEN = 1 (0x04, D5)，然后在串行器进行相应设置。为退出PRBS测试，在串行器中设置PRBSEN = 0 (0x04, D5)。

线路均衡器

解串器包含一路可调整的线路均衡器，进一步补偿高频电缆衰减。电缆均衡器提供2.1dB至13dB 11级补偿等级选择(表5)。器件上电时，均衡器为禁止状态。如需选择其它均衡补偿电平，可设置解串器相应的寄存器位(0x05 D[3:0])。在解串器中使用均衡，配合串行器的预加重功能，可以构建最可靠的电缆通信链路。

扩频

为降低信号跳变产生的EMI，可以配置解串器扩频输出。如果串行器驱动的解串器具有可编程扩频功能，不要同时使能两者的扩频，否则将相互抵消频谱扩展的效果。可编程扩频范围为：±2%和±4% (表6)。

解串器包括锯齿分频器，以控制扩频调制率。自动检测PCLKOUT工作范围，确保扩频调制频率在20kHz至40kHz。

此外，手动配置锯齿分频器(SDIV: 0x03, D[5:0])允许用户根据PCLKOUT频率设置调制频率。手动选择范围时，将SDIV设置在20kHz左右的固定调制频率。

手动设置扩频分频器

解串器调制率与PCLKOUT频率的关系如下：

$$f_M = (1 + DRS) \frac{f_{PCLKOUT}}{MOD \times SDIV}$$

式中：

f_M = 调制频率

DRS = DRS值(0或1)

$f_{PCLKOUT}$ = PCLKOUT频率

MOD = 表7中的调制系数

SDIV = 5位SDIV设置，由μC手动设置

为了编程SDIV设置，首先根据所需总线宽度和扩频设置查找调制系数。利用相应的像素时钟和调制频率，解上式中的SDIV。如果计算得到的SDIV值大于表7中允许的最大SDIV值，将SDIV设置为最大值。

Table 5. Cable Equalizer Boost Levels

BOOST SETTING (0x05 D[3:0])	TYPICAL BOOST GAIN (dB)
0000	2.1
0001	2.8
0010	3.4
0011	4.2
0100	5.2
0101	6.2
0110	7
0111	8.2
1000	9.4
1001	10.7 Default*
1010	11.7
1011	13

* 均衡器的上电默认状态为禁止。

Table 6. Parallel Output Spread

SS	扩频(%)
00	没有扩频，上电默认值。
01	±2%扩频。
10	无扩频。
11	±4%扩频。

表7. 调制系数和最大SDIV设置

SPREAD-SPECTRUM SETTING (%)	MODULATION COEFFICIENT (dec)	SDIV UPPER LIMIT (dec)
4	208	15
2	208	30

28位GMSL解串器用于同轴或STP电缆传输

附加误码检测和纠错

默认模式下(禁止附加误码检测和纠错), 数据编码/解码与之前GMSL串行器/解串器相同(只有奇偶校验)。在串行器侧, 对并行输入字加入扰码并增加奇偶校验位。将加入扰码后的字分为3或4个字节(取决于BWS设置), 进行8b/10b编码, 然后串行发送输出。在解串器侧, 以相反顺序执行相同操作。解串器利用奇偶校验位查找字的边界并进行误码检测。误码计数器寄存器对误码进行计数, 通过误码指示引脚产生报警信号。

解串器可使用两种附加的误码检测/纠错方法中的一种(由寄存器配置):

- 1) 6位循环冗余码校验
- 2) 6位汉明码, 带16字交织编码

循环冗余码校验(CRC)

使能CRC时, 串行器在输入数据中增加6位CRC。相对于没有CRC的情况, 使得输入数据字中的有用位数减少了6位(详细信息参见表2)。例如, BWS = 0时, 输入数据中有16位可用, 而不是22位; BWS = 1时, 24位可用, 而不是30位。

CRC生成多项式为 $x^6 + x + 1$ (ITU-T G704电信标准所采纳)。

因为校验位用于字边界检测, 所以使能CRC时, 仍然增加校验位。使能CRC时, 对每个数据字加扰码, 然后在进行8b/10b编码时增加6位CRC和1位校验位。

在解串器侧, 重新计算CRC码。如果重新计算的CRC码与接收到的CRC码不一致, 说明出现误码。该CRC误码被通报到误码计数器。

汉明码

汉明码是一种简单而有效的纠错码, 用以误码检测和/或纠错。MAX9272解串器(配合MAX9271/MAX9273 GMSL串行器使用时)采用每像素单次纠错、两次检错汉明码的方式。对于突发性误码容错能力, 串行器采用数据交织编码。可纠正串行链路上长达11位的连续突发性误码, 可检测长达31位的连续突发误码。

汉明码增加了类似于CRC的开销, 关于可用输入字大小的详细信息, 请参考表2。

HS/VS编码和/或跟踪

GMSL串行器的HS/VS编码允许发送行同步和场同步信号, 并有助于节省像素数据带宽。采用HS/VS编码时, 可以最

高100MHz的时钟传输10比特的像素数据, 每一次HS/VS跳变传送一个视频像素; 不采用HS/VS编码时, 则以最高100MHz的时钟传输8比特数据。解串器执行HS/VS解码, 跟踪HS/VS信号的周期, 利用表决法滤除HS/VS误码。使用HS/VS编码时, 如果解串器的DBL = 0, HS/VS的低脉冲持续时间至少为2个PCLKOUT周期; DBL = 1时, 最小HS/VS低脉冲持续时间为5个PCLKOUT周期, 最小高脉冲持续时间为2个PCLKOUT周期。使用带HS/VS编码的汉明码时, 每16个PCLKOUT周期发送的跳变不要超过2次。

串行器使用双输入模式时(DBL = 1), 有效持续时间加上HS或VS信号的消隐时间应为偶数个PCLKOUT周期。当串行器的DBL = 1, 解串器的DBL = 0时, 串行器HS/VS的两个像素时钟在每个周期输出到HS0/VS0和HS1/VS1。HS/VS的第一个周期在HS0/VS0之后输出, 第二个周期在HS1/VS1之后提供。HVEN = 0时, 不使用HS1和VS1。

如果使用HS/VS跟踪, 而不采用HS/VS编码, DOUT0用于HSYNC, DOUT1用于VSYNC。这种情况下, 如果串行器和解串器的DBL值不同, 则将解串器的UNEQDBL位置1。如果串行器和解串器的DBL设置不同且HVEN = 0, 则HS/VS反相, 只能用于DBL = 1的一侧。HSYNC或VSYNC为低电平时, HS/VS编码发送数据包, 如果输入HSYNC和VSYNC信号在像素时钟无效的周期内采用低电平有效协议发送数据包, 则使用HS/VS倒置寄存器位。

串行输入

器件可以从两类电缆接收数据: 100Ω双绞线和50Ω同轴电缆(如需驱动75Ω电缆的串行器, 请联系厂商)。

同轴模式分配器

同轴模式下, 串行器的OUT+和OUT-有效, 并可用作1:2分配器(图29)。同轴模式下, 将OUT+连接到解串器的IN+, 将OUT-连接到第二个解串器的IN-。控制通道数据从串行器发送到两个解串器及其连接的外设。分配一个唯一的器件地址, 可以向其中一个解串器发送控制数据。使所有未使用的IN_引脚浮空, 或通过50Ω电阻和一个电容将其连接至地, 以提高电源抑制比。如果不使用OUT-, 通过50Ω电阻将OUT-连接至AVDD (图30)。当串行器以及每个解串器的位置都配有μC时, 某一时刻只能有一个μC进行通信, 关闭一个分配器控制通道以防冲突。使用DIS_REV_P或DIS_REV_N寄存器位禁止控制通道的链路。

28位GMSL解串器用于同轴或STP电缆传输

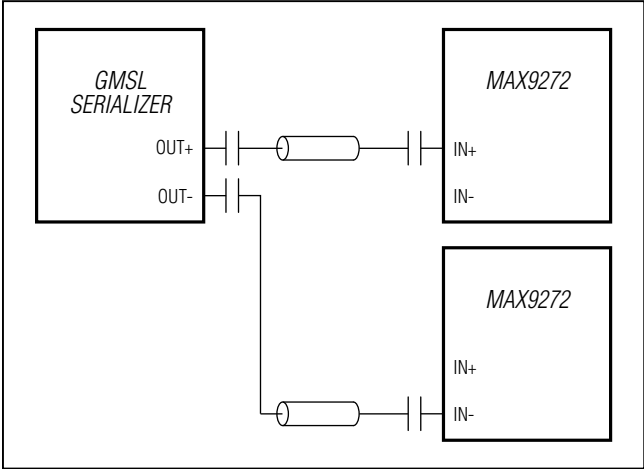


图29. 1:2同轴模式分配器连接图

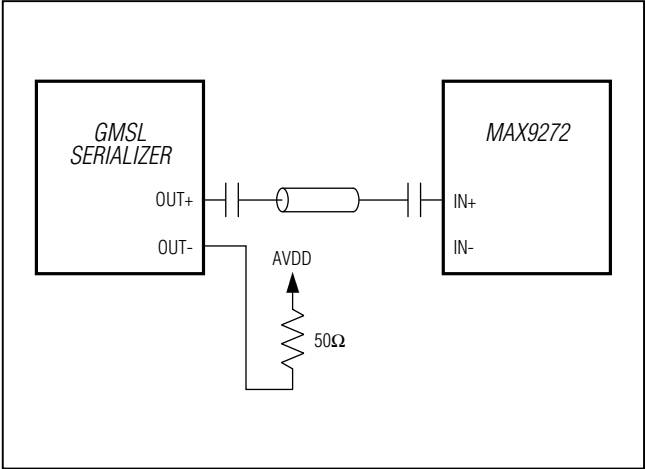


图30. 同轴模式连接图

电缆类型配置输入(CX/TP)

CX/TP确定串行输入的上电状态，采用同轴电缆模式时，CXTTP还结合默认的器件地址确定哪条输入电缆有效(表8)。上电后，通过写入相应的寄存器位更改上述功能。

休眠模式

解串器具有休眠模式，以降低功耗。本地或远端μC可使用控制通道发送命令，使器件进入或退出休眠状态，将SLEEP位置1将进入休眠模式。设置串行器的SLEEP = 1，串行器将立即进入休眠模式。

串行链路没有有效数据，或者是设置SLEEP = 1.8ms (无论出现那个条件)后，解串器将进入休眠模式。从本地唤醒器件时，可以向解串器发送任意控制通道命令，等待5ms使器件恢复上电，然后向SLEEP寄存器位写0，将永久唤醒器件。从远端唤醒器件时，使能串行器。当解串器从串行链路检测到有效信号时，一旦锁存到有效信号，将自动清零SLEEP寄存器位。

关断模式

解串器具有关断模式，相对于休眠模式，具有更低功耗。将PWRDN置为低电平，则进入关断模式。关断模式下，器

表8. 配置输入映射

CX/TP	FUNCTION
High	Coax+ input. Device address 0x90.
Mid	Coax- input. Device address 0x92.
Low	Twisted-pair input. Device address 0x90.

件输出保持在高阻。进入关断模式时，器件将复位寄存器；退出关断模式时，锁存外部引脚GPIO1/BWS、GPIO0/DBL、CX/TP、I2CSEL、LCCEN、RX/SDA/EDC、TX/SCL/ES和MS/HVEN的状态。

配置链路

在没有时钟输入的情况下，控制通道可工作在称为配置链路的低速模式，从而允许微处理器在启动视频链路之前设置配置寄存器。内部振荡器为配置链路提供时钟，在串行器上设置CLINKEN = 1使能配置链路。配置链路保持有效，直到使能视频链路。SEREN = 1时，视频链路优先级高于配置链路，并尝试锁定。

28位GMSL解串器用于同轴或STP电缆传输

链路启动过程

表9所示为视频显示的启动过程，表10所示为图像检测的启动过程。建立视频链路或配置链路后，可以使用控制通

道。如果解串器在串行器之后启动，控制通道则不可用，需要等待2ms启动时间。

表9. 视频显示的启动过程

编号	μC	串行器	解串器
—	μC连接至串行器。	设置所有配置输入，如果链路一端的任何配置输入可用，而另一端不可用，则将配置输入连接至低电平。	设置所有配置输入，如果链路一端的任何配置输入可用，而另一端不可用，则将该配置输入连接至低电平。
1	上电。	上电并装载默认设置。	上电并装载默认设置。
2	通过设置CLINKEN = 1 (如果为自动使能)使能配置链路并接收应答，等待链路建立(约3ms)。	建立配置链路。	锁定至配置链路信号。
3	写解串器的链路配置位(DRS、BWS或EDC)，并接收应答。	—	从默认设置更改配置(如果BWS或EDC变化，则发生失锁)。
4	写相应的串行器链路配置位，接收应答。	从默认设置更改配置。	重新锁定至配置链路信号。
5	等待链路建立(约3ms)，然后重复步骤3至4，直到配置完全部串行链路位。	—	—
6	写串行器/解串器的其余配置位，接收应答。	从默认设置更改配置。	从默认设置更改配置。
7	通过设置SEREN = 1使能视频链路，接收应答。等待链路建立(约3ms)。	开始串行转换数据。	锁定至串行链路信号，开始解串数据。

28位GMSL解串器用于同轴或STP电缆传输

表10. 图像检测的启动过程

编号	μC	串行器	解串器
—	μC连接至解串器。	设置所有配置输入。如果链路一端的任意配置输入可用，而另一端不可用，则将该配置输入连接至低电平。	设置所有配置输入。如果链路一端的任意配置输入可用，而另一端不可用，则将该配置输入连接至低电平。
1	上电。	上电并装载默认设置，建立串行链路。	上电并装载默认设置，锁定至串行链路信号。
3	写解串器配置位，接收应答。	—	从默认设置更改配置(可能发生失锁)。
4	写串行器配置位。如果发生失锁，接收不到应答(或接收虚拟应答)。	从默认设置更改配置。	重新锁定至串行链路信号。
5	通过设置SEREN = 1 (如果未自动使能)，使能视频链路。如果发生失锁，接收不到应答(或接收虚拟应答)。等待链路建立(约3ms)。	开始串行转换数据。	锁定至串行链路信号，开始解串数据。

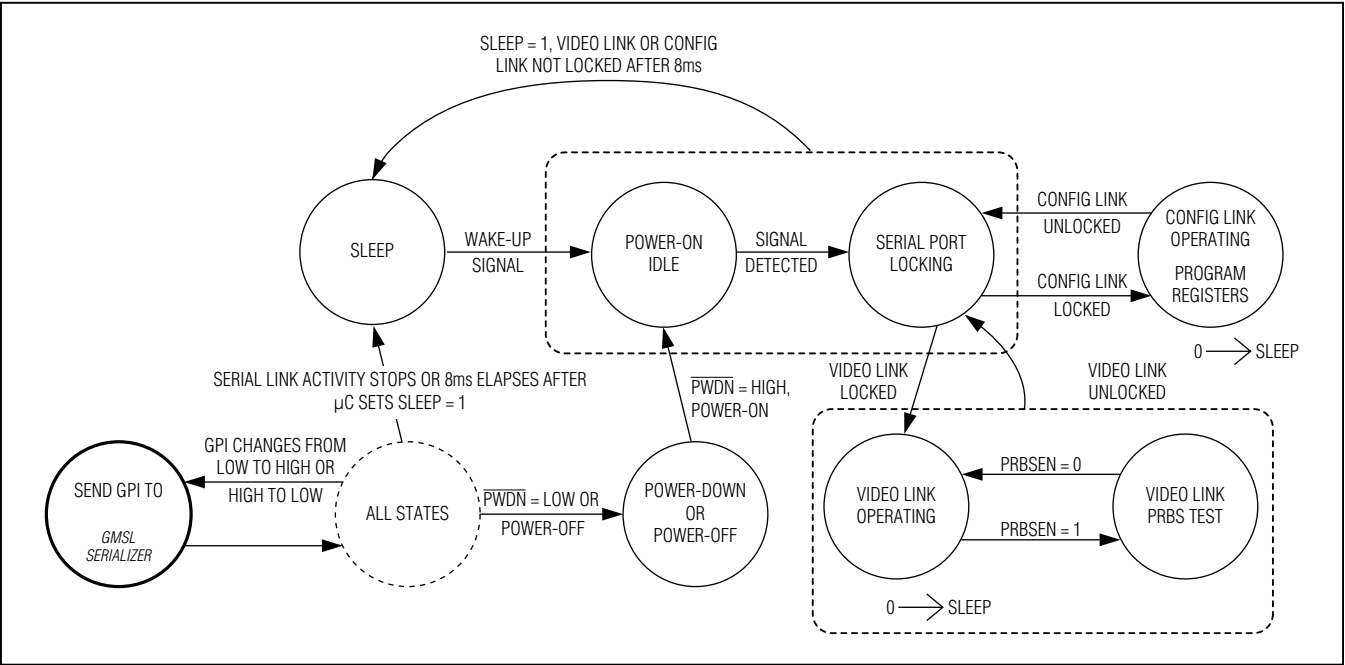


图31. 状态图，远端微控制器应用

28位GMSL解串器用于同轴或STP电缆传输

应用信息

误码检测

解串器监测串行链路的误码，并在8位寄存器DETERR (0x10)和CORRERR (0x12)内记录检测到的误码数量和修正的误码数量。如果在一个较短的时间内检测到大量的8b/10b误码(误码率 $\geq 1/4$)，解串器将失锁，并停止误码计数。之后，解串器将尝试重新锁存串行数据。在成功同步到视频链路，成功读取相应的寄存器(通过 μC)，或者是触发自动故障复位后，DETERR和CORRERR将会复位。进行内部PRBS测试时，解串器使用独立的PRBS寄存器，DETERR和CORRERR复位到0x00。

ERR输出

解串器提供ERR开漏输出，正常工作时，只要检测/修正的误码数量超出其相应的误码门限，或者是在PRBS测试中检测到至少一次PRBS误码，将即刻触发该输出报警。如果是由于读取DETERR/CORRERR，锁存视频链路，或者是自动故障复位，使得DETERR和CORRERR复位，ERR将恢复到高电平。

自动故障复位

复位误码故障的默认方法是读取解串器中相应的误码寄存器(0x10、0x12和0x13)。在ERR置低大约1 μs 后，自动故障复位可清除误码计数DETERR/CORRERR和ERR输出。上电时，默认关闭自动故障复位。通过AUTORST (0x08, D2)使能自动故障复位，器件在PRBS测试模式下不执行自动故障复位。

双 μC 控制

系统通常有一个 μC 操作控制通道，视频显示应用中，处理器位于串行器侧；图像检测应用中，处理器位于解串器侧。也可以在每个侧同时放置一个 μC ，交替操作控制通道。这种情况下，每个 μC 都可以与串行器、解串器及任意外设进行通信。

如果两个 μC 试图同时占用控制通道，则会发生冲突，用户应利用高层协议避免发生这种冲突。此外，控制通道不提供链路两侧I²C主机之间的仲裁。由于冲突导致通信失败时，不产生应答帧。如果不需要通过串行链路通信，可使用串行器/解串器中的FWDCCEN和REVCCEN位(0x04, D[1:0])禁止正向和反向控制通道，停止串行链路的通信，避免发生 μC 之间的冲突。

以图像检测应用中使用双 μC 为例，串行器可处于休眠模式，等待解串器侧的 μC 将其唤醒。唤醒后，串行器侧 μC 假设主机控制串行器的寄存器。

更改时钟频率

建议在视频时钟(fPCLKOUT)和控制通道时钟(fUART/fI²C)稳定后使能串行链路。更改时钟频率时，关闭视频时钟5 μs ，然后施加新的时钟频率，重新启动串行链路或切换SEREN。如果新的时钟频率立即建立且没有尖峰脉冲，则有可能即刻更改时钟频率。串行链路启动或关闭的350 μs 内，反向控制通道不可用。使用UART接口时，将fUART的每次变化系数限制在3.5以内，确保器件能够识别UART同步码型。例如，将UART频率从1Mbps降低至100kbps时，首先以333kbps发送数据，然后再以100kbps发送数据，即降速比分别为3和3.333。

快速检测同步丢失

链路传输质量评估的是同步丢失时的恢复时间。将解串器的LOCK输出连接到GPI输入，可以在发生同步丢失时快速通报主机。如果其它数据源同样需要使用GPI输入，可利用FC控制切换，区分失锁中断与其他常规中断。反向控制通道的通信不需要有效工作的前向链路，可始终监测GMSL链路的LOCK状态。触发LOCK用于同步视频链路，而非配置链路。

28位GMSL解串器用于同轴或STP电缆传输

提供帧同步(摄像头应用)

GPI/GPO为需要ECU提供帧同步信号的摄像头(例如, 环视摄像系统)提供了一个简单方案。将ECU帧同步信号连接至GPI输入, 将GPO输出连接至摄像头帧同步输入。GPI/GPO的延迟典型值为275μs, 多个GPI/GPO通道之间的延迟为115μs (最大)。如果需要较低延迟的信号, 可以将摄像头的帧同步输入连接至GMSL解串器的一路GPIO, 使用I²C广播写命令更改GPIO输出状态。这样, 最大延迟可以控制在1.5μs。

用软件设置器件地址

串行器和解串器均带有可编程器件地址, 从而允许同一控制通道连接多个GMSL器件, 以及I²C外设。串行器地址位于每个器件的寄存器0x00, 解串器地址位于每个器件的寄存器0x01。为更改器件地址, 首先写入需要更改地址的器件(对于串行器地址更改, 写串行器的寄存器0x00; 对于解串器地址更改, 写解串器的寄存器0x01)。然后将相同地址写入另一器件对应的寄存器(对于串行器地址更改, 写解串器的寄存器0x00; 对于解串器地址更改, 写串行器的寄存器0x01)。

三电平配置输入

CX/TP为三电平输入, 控制串行接口配置和上电默认值。通过上拉电阻将CX/TP连接至IOVDD, 设置为高电平; 通过下拉电阻连接至GND, 设置为低电平; 连接至IOVDD/2或开路, 则为中间电平。对于数字控制, 使用三态逻辑驱动三电平逻辑输入。

屏蔽配置

解串器可屏蔽对寄存器的更改, 将CFGBLOCK置1, 使所有寄存器处于只读状态。一旦置于该状态, 寄存器将保持屏蔽, 直到断开电源或P_WDN为低电平。

与其它GMSL器件的兼容性

MAX9272/MAX9273与MAX9271/MAX9273串行器配对使用, 但也可以与其他GMSL串行器配合使用, [表11](#)列出了一些工作限制。

GPIO

不作为数据或配置输入时, 解串器提供2路开漏GPIO。通过GPIO1OUT和GPIO0OUT (0x0E, D3、D1)设置GPIO的输出状态。将GPIO输出位置0, 则拉低输出; 将输出位置1时, 不驱动输出, 通过内部/外部上拉电阻拉高。GPIO输入缓冲器始终使能, 输入状态储存在寄存器GPIO1和GPIO0 (0x0E, D2、D0)。将GPIO1/GPIO0用作输入时, 将GPIO1OUT/GPIO0OUT置1。

交错并行输出

解串器交错输出并行数据, 降低EMI和噪声。交错输出还有助于降低对供电电源瞬态需求, 默认条件下, 解串器按照[表12](#)工作在交错输出状态。通过DISSTAG位(0x08, D3)关闭交错输出。

表11. MAX9272功能兼容性

MAX9272功能	GMSL解串器
HSYNC/VSYNC编码	如果串行器不支持该功能, 必须在解串器关闭该功能。
汉明码纠错	如果串行器不支持该功能, 必须在解串器关闭该功能。
I ² C-I ² C	如果串行器不支持该功能, 必须使用UART-I ² C或UART-UART功能。
CRC误码检测	如果串行器不支持该功能, 必须在解串器关闭该功能。
双输出	如果解串器不支持该功能, 以1/2的输出频率将数据作为单字输入。
同轴	如果解串器不支持该功能, 必须通过串联的200nF电容和50Ω电阻将未使用的串行输出连接至AVDD, 将反向控制通道幅值设置为100mV。
I ² S编码	如果串行器支持该功能, 必须禁止串行器中的I ² S。

28位GMSL解串器用于同轴或STP电缆传输

表12. 交错输出延时

OUTPUT	OUTPUT DELAY RELATIVE TO DOUT0 (ns)	
	DISSTAG = 0	DISSTAG = 1
DOUT0–DOUT5, DOUT21, DOUT22	0	0
DOUT6–DOUT10, DOUT23, DOUT24	0.5	0
DOUT11–DOUT15, DOUT25, DOUT26	1	0
DOUT16–DOUT20, DOUT27, DOUT28	1.5	0
PCLKOUT	0.75	0

表13. 双功能配置

LCCEN	GPIO0/DBL FUNCTION	GPIO1/BWS FUNCTION	MS/HVEN FUNCTION	RX/SDA/EDC FUNCTION	TX/SCL/ES FUNCTION
High	Functions as GPIO	Functions as GPIO	MS input (low = base mode, high = bypass mode)	UART/I ² C input/ output	UART/I ² C input/ output
Low	DBL input (low = single input, high = double input)	BWS input (low = 24-bit mode, high = 32-bit mode)	HVEN input (low = HS/VS encoding disabled, high = HS/VS encoding enabled)	EDC input (low = error detection/correction disabled, high = error detection/correction enabled)	ES input (low = valid DOUT_ on rising edge of PCLKOUT, high = valid DOUT_ on falling edge of PCLKOUT)

本地控制通道使能(LCCEN)

未连接 μ C时,解串器为器件的有限配置提供输入。上电时,将LCCEN连接至低电平,以禁止本地控制通道,使能双功能配置输入(表13)。上电时锁存全部输入配置状态。

内部输入下拉

控制和配置输入,三电平输入除外,具有连接至GND的下拉电阻,无需外部下拉电阻。

选择I²C/UART上拉电阻

I²C和UART开漏线需要上拉电阻提供逻辑高电平。在选择上拉电阻值时,需要在功耗和速率之间进行平衡。即使器件不工作,连接至总线的每个器件都会产生一定的电容。I²C规定快速模式下的上升时间为300ns (30%至70%),适用于400kbps以下数据速率(详细信息见交流电气特性表中的I²C技术指标)。为满足快速模式对上升时间的要求,选择上拉电阻使上升时间 $t_R = 0.85 \times R_{PULLUP} \times C_{BUS} < 300\text{ns}$ 。如果跳变时间非常慢,则不能识别波形。解串器支持高达1Mbps (UART至I²C模式)和400kbps (I²C至I²C模式)的I²C/UART速率。

交流耦合

交流耦合将接收器与直流电压相隔离,直流电压最高可以达到电容的额定电压。为使链路正常工作,并在电缆任一

端与电池短路时提供保护,串行器输出和解串器输入需要安装电容。交流耦合可以隔离低频地电位偏移和低频共模噪声。

交流耦合电容的选择

电压降与传输符号的数字和的变化(DSV)会造成信号从不同的电压跳变。由于跳变时间固定,如果信号从不同电压开始跳变的话,将会造成时间抖动。需要合理选择交流耦合链路的时间常数,将压降和抖动降至可接受的水平。交流耦合链路的RC网络由CML/同轴接收器匹配电阻(R_{TR})、CML/同轴驱动器匹配电阻(R_{TD})及串联交流耦合电容(C)组成。四个等值串联电阻的RC时间常数为 $(C \times (R_{TD} + R_{TR}))/4$ 。 R_{TD} 和 R_{TR} 需要匹配传输线阻抗(通常差分为100 Ω 和单端为50 Ω)。由此,可通过选择电容来改变系统的时间常数。使用0.2 μ F或更大的高频表贴陶瓷电容,且额定电压足以承受电池短路故障,传输较低速率的反向控制通道信号。使用外壳尺寸小于3.2mm x 1.6mm的电容,对于高速信号具有较低的寄生效应。

28位GMSL解串器用于同轴或STP电缆传输

供电电路和旁路

解串器采用1.7V至1.9V的AVDD和DVDD供电，除串行输入以外的所有输入和输出由1.7V至3.6V的IOVDD供电，与IOVDD成比例缩放。正确的电源旁路对于高频电路的稳定性至关重要。GPI至GPO延时为0.35ms（最大值），每次GPI传输之间的时间间隔至少为0.35ms。

电源表

电气特性表中所列的供电电流为AVDD、DVDD和IOVDD的电流之和，表14列出了每个电源的典型电流。

电缆和连接器

CML的连接器差分阻抗通常为100Ω。使用差分阻抗相匹配的电缆和连接器，以将阻抗突变降至最小。同轴电缆的特征阻抗通常为50Ω（如需驱动75Ω电缆，请联系厂商）。表15中给出了GMSL链路中推荐使用的电缆和连接器。

电路板布局

将LVCMOS逻辑信号与CML/同轴高速信号隔离开，以防串扰。采用四层PCB，电源、地、CML/同轴和LVCMOS逻辑信号分别布设在独立层。对于100Ω差分特征阻抗，使PCB走线彼此靠近。走线尺寸取决于使用的走线类型（微带或带状线）。注意，两条50Ω PCB走线靠在一起时的差分阻抗并非100Ω——走线靠近时阻抗变小。驱动同轴电缆时，单端输出使用50Ω走线。

表14. 典型电源电流(采用最差输入码型)

PCLK (MHz)	AVDD (mA)	DVDD (mA)	IOVDD (mA)
25	25.1	9.2	10.3
50	33.3	13.7	13.3

差分CML通道采用平行PCB走线，以维持差分特征阻抗，避免使用过孔。使组成差分线对的PCB走线等长，以避免差分线对的延迟。

ESD保护

器件提供人体模式ESD保护和IEC 61000-4-2、ISO 10605 ESD保护。ISO 10605和IEC 61000-4-2标准规定了电子设备的ESD保护能力，串行链路输入端具有ISO 10605 ESD保护及IEC 61000-4-2 ESD保护。所有引脚针对人体模式经过测试，人体模式下，放电元件为CS = 100pF及RD = 1.5kΩ（图32）；IEC 61000-4-2模式下，放电元件为CS = 150pF及RD = 330Ω（图33）；ISO 10605模式下，放电元件为CS = 330pF及RD = 2kΩ（图34）。

表15. 推荐GMSL连接器和电缆

SUPPLIER	CONNECTOR	CABLE	TYPE
Rosenberger	59S2AX-400A5-Y	RG174	Coax
JAE	MX38-FF	A-BW-Lxxxxx	STP
Nissei	GT11L-2S	F-2WME AWG28	STP
Rosenberger	D4S10A-40ML5-Z	Dacar 538	STP

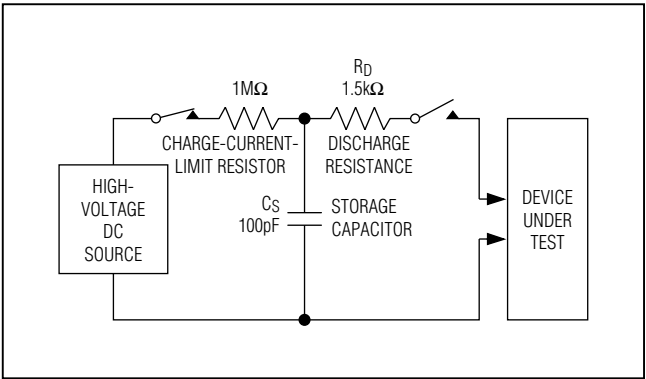


图32. 人体模式ESD测试电路

28位GMSL解串器用于同轴或STP电缆传输

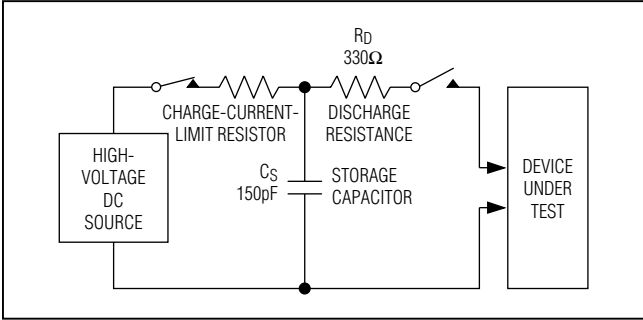


图33. IEC 61000-4-2接触放电ESD测试电路

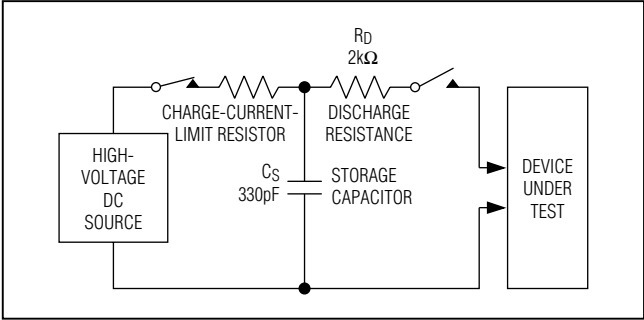


图34. ISO 10605接触放电ESD测试电路

表16. 寄存器表(见表1)

寄存器地址	位	名称	参数值	功能	默认值
0x00	D[7:1]	SERID	XXXXXXX	串行器器件地址。	1000000
	D0	—	0	保留。	0
0x01	D[7:1]	DESID	XXXXXXX	解串器器件地址，默认地址由CX/TP的输入状态确定(表8)。	1001000, 1001001
	D0	CFGBLOCK	0 1	常规工作。 寄存器0x00至0x1F为只读。	0
0x02	D[7:6]	SS	00	无扩频。	00
			01	±2%扩频。	
			10	无扩频。	
			11	±4%扩频。	
	D[5:4]	—	01	保留。	01
	D[3:2]	PRNG	00	12.5MHz至25MHz像素时钟。	11
			01	25MHz至50MHz像素时钟。	
			10	不使用。	
			11	自动检测像素时钟范围。	
	D[1:0]	SRNG	00	0.5至1Gbps串行码率。	11
			01	1至2Gps串行码率。	
			10	自动检测串行码率。	
			11	自动检测串行码率。	
0x03	D[7:6]	AUTOFM	00	仅在锁定后校准一次扩频调制率。	00
			01	锁定后，每2ms校准扩频调制率。	
			10	锁定后，每16ms校准扩频调制率。	
			11	锁定后，每256ms校准扩频调制率。	
	D5	—	0	保留。	0
	D[4:0]	SDIV	00000	自动校准锯齿分频器。	00000
			XXXXX	手动SDIV设置，参见手动设置扩频分频器部分。	

28位GMSL解串器用于同轴或STP电缆传输

表16. 寄存器表(见表1)(续)

寄存器地址	位	名称	参数值	功能	默认值
0x04	D7	LOCKED	0	LOCK输出低电平。	0 (read only)
			1	LOCK输出高电平。	
	D6	OUTENB	0	使能输出。	0
			1	禁止输出。	
	D5	PRBSEN	0	禁止PRBS测试。	0
			1	使能PRBS测试。	
	D4	SLEEP	0	常规模式。	0
			1	激活休眠模式。	
	D[3:2]	INTTYPE	00	I2CSEL = 0时, 本地控制通道使用I2C。	01
			01	I2CSEL = 0时, 本地控制通道使用UART。	
			10, 11	禁止本地控制通道。	
	D1	REVCCEN	0	关闭至串行器的反向控制通道(发送)。	1
			1	使能至串行器的反向控制通道(发送)。	
	D0	FWDCCEN	0	关闭自解串器的正向控制通道(接收)。	1
			1	使能自解串器的正向控制通道(接收)。	
0x05	D7	I2CMETHOD	0	将UART转换至I2C时, I2C转换发送寄存器地址。	0
			1	将UART转换至I2C时, 禁止发送I2C寄存器地址(仅命令字节模式)。	
	D6	DCS	0	并行输出驱动器标称电流。	0
			1	提升后并行输出驱动器电流。	
	D5	HVTRMODE	0	部分周期跟踪HS/VS。	1
			1	全周期跟踪HS/VS。	
	D4	ENEQ	0	均衡器禁止, 上电默认状态。	0
			1	均衡器使能。	
	D[3:0]	EQTUNE	0000	2.1dB均衡器提升增益。	1001
			0001	2.8dB均衡器提升增益。	
			0010	3.4dB均衡器提升增益。	
			0011	4.2dB均衡器提升增益。	
			0100	5.2dB均衡器提升增益。	
			0101	6.2dB均衡器提升增益。	
			0110	7dB均衡器提升增益。	
			0111	8.2dB均衡器提升增益。	
			1000	9.4dB均衡器提升增益。	
			1001	10.7dB均衡器提升增益, 上电默认状态。	
			1010	11.7dB均衡器提升增益。	
			1011	13dB均衡器提升增益。	
			11XX	不使用。	

28位GMSL解串器用于同轴或STP电缆传输

表16. 寄存器表(见表1)(续)

寄存器地址	位	名称	参数值	功能	默认值
0x06	D[7:0]	—	00000010	保留。	00000010
0x07	D7	DBL	0	单输入模式。LCCEN = 高电平或GPIO0/DBL = 低电平时的上电默认值。	0, 1
			1	双输入模式。LCCEN = 低电平且GPIO0/DBL = 高电平时的上电默认值。	
	D6	DRS	0	高数据率模式。	0
			1	低数据率模式。	
	D5	BWS	0	24位模式。LCCEN = 高电平或GPIO1/BWS = 低电平时的默认值。	0, 1
			1	32位模式。LCCEN = 低电平且GPIO1/BWS = 高电平时的默认值。	
	D4	ES	0	输出数据在PCLKOUT的上升沿有效。LCCEN = 高电平或TX/SCL/ES = 低电平时，上电的默认状态。像素时钟工作时不要更改该值。	0, 1
			1	输出数据在PCLKOUT的上升沿有效。LCCEN = 高电平或TX/SCL/ES = 低电平时，上电的默认状态。像素时钟工作时不要更改该值。	
	D3	HVTRACK	0	禁止HS/VS跟踪，LCCEN = 高电平或MS/HVEN = 低电平时的上电默认值。	0, 1
			1	使能HS/VS跟踪，LCCEN = 低电平且MS/HVEN = 高电平时的上电默认值。	
	D2	HVEN	0	禁止HS/VS编码。LCCEN = 高电平或MS/HVEN = 低电平时的上电默认值。	0, 1
			1	使能HS/VS编码。LCCEN = 低电平且MS/HVEN = 高电平时的上电默认值。	
	D[1:0]	EDC	00	1位奇偶校验误码检测(GMSL兼容)。LCCEN = 高电平或RX/SDA/EDC = 低电平时的上电默认值。	00, 10
			01	6位CRC误码校验。	
			10	6位汉明码(单位纠错、双位检错)和16字交织编码。LCCEN = 低电平且RX/SDA/EDC = 高电平时的上电默认值。	
			11	不使用。	

28位GMSL解串器用于同轴或STP电缆传输

表16. 寄存器表(见[表1](#))(续)

寄存器地址	位	名称	参数值	功能	默认值
0x08	D7	INVVS	0	VS或DOUT0不反相。	0
			1	HVEN = 1时, 反相VS。 HVEN = 0时, 反相DOUT0。 如果解串器中DBL = 0及串行器中DBL = 1, 不使用。	
	D6	INVHS	0	HS或DOUT1不反相。	0
			1	HVEN = 1时, 反相HS。 HVEN = 0时, 反相DOUT1。 如果解串器中DBL = 0及串行器中DBL = 1, 不使用。	
	D5	—	0	保留。	0
	D4	UNEQDBL	0	串行器DBL与解串器不同。	0
			1	串行器DBL与解串器相同(仅当HVEN = 0、HVTRACK = 1时, 置1)。	
	D3	DISSTAG	0	使能交错输出。	0
			1	关闭交错输出。	
	D2	AUTORST	0	不自动复位误码寄存器和输出。	0
			1	触发ERR报警1μs后, 自动复位DETERR和CORRERR寄存器。	
	D[1:0]	ERRSEL	00	仅当DETERR大于DETTNR时, 触发ERR报警。	00
			01	当CORRERR大于CORRTHR时, 触发ERR报警。	
			10, 11	DETERR大于DETTNR, 或CORRERR大于CORRTHR时, 触发ERR报警。	
0x09	D[7:1]	I2CSRCA	XXXXXXX	I ² C地址转换器源A。	0000000
	D0	—	0	保留。	0
0x0A	D[7:1]	I2CDSTA	XXXXXXX	I ² C地址转换器目标A。	0000000
	D0	—	0	保留。	0
0x0B	D[7:1]	I2CSRCA	XXXXXXX	I ² C地址转换器源B。	0000000
	D0	—	0	保留。	0
0x0C	D[7:1]	I2CDSTB	XXXXXXX	I ² C地址转换器目标B。	0000000
	D0	—	0	保留。	0

28位GMSL解串器用于同轴或STP电缆传输

表16. 寄存器表(见表1)(续)

寄存器地址	位	名称	参数值	功能	默认值
0x0D	D7	I2CLOCKACK	0	正向通道可用时，不产生应答。	0
			1	正向通道可用时，I ² C至I ² C从机产生本地应答。	
	D[6:5]	I2CSLVSH	00	352ns/117ns I ² C建立/保持时间。	01
			01	469ns/234ns I ² C建立/保持时间。	
			10	938ns/352ns I ² C建立/保持时间。	
			11	1046ns/469ns I ² C建立/保持时间。	
	D[4:2]	I2CMSTBT	000	8.47kbps (典型值) I ² C-I ² C主机码率设置。	101
			001	28.3kbps (典型值) I ² C-I ² C主机码率设置。	
			010	84.7kbps (典型值) I ² C-I ² C主机码率设置。	
			011	105kbps (典型值) I ² C-I ² C主机码率设置。	
			100	173kbps (典型值) I ² C-I ² C主机码率设置。	
			101	339kbps (典型值) I ² C-I ² C主机码率设置。	
			110	533kbps (典型值) I ² C-I ² C主机码率设置。	
			111	837kbps (典型值) I ² C-I ² C主机码率设置。	
	D[1:0]	I2CSLVTO	00	64μs (典型值) I ² C-I ² C从机远端超时。	10
			01	256μs (典型值) I ² C-I ² C从机远端超时。	
			10	1024μs (典型值) I ² C-I ² C从机远端超时。	
			11	没有I ² C-I ² C从机远端超时。	
0x0E	D[7:6]	—	01	保留。	01
	D5	GPIEN	0	禁止GPI至GPO信号传送到串行器。	1
			1	使能GPI至GPO信号传送到串行器。	
	D4	GPIIN	0	GPI输入为低电平。	0 (read only)
			1	GPI输入为高电平。	
	D3	GPIO1OUT	0	设置GPIO1为低电平。	1
			1	设置GPIO1为高电平。	
	D2	GPIO1IN	0	GPIO1输入为低电平。	0 (read only)
			1	GPIO1输入为高电平。	
	D1	GPIO0OUT	0	设置GPIO0为低电平。	1
			1	设置GPIO0为高电平。	
0x0F	D0	GPIO0IN	0	GPIO0输入为低电平。	0 (read only)
			1	GPIO0输入为高电平。	
0x0F	D[7:0]	DETHR	XXXXXXXX	用于误码检测的门限。	00000000
0x10	D[7:0]	DETRR	XXXXXXXX	误码检测计数器。	00000000 (read only)
0x11	D[7:0]	CORRTHR	XXXXXXXX	用于误码校验的误码检测门限。	00000000
0x12	D[7:0]	CORRERR	XXXXXXXX	修正后的误码计数器。	00000000 (read only)

28位GMSL解串器用于同轴或STP电缆传输

表16. 寄存器表(见表1)(续)

寄存器地址	位	名称	参数值	功能	默认值
0x13	D[7:0]	PRBSERR	XXXXXXXX	PRBS误码计数。	00000000 (read only)
0x14	D7	PRBSOK	0	没有完成PRBS测试。	0 (read only)
			1	成功完成PRBS测试。	
	D[6:0]	—	000000	保留。	0000000 (read only)
0x15	D[7:0]	—	00100XXX	保留。	00100XXX
0x16	D[7:0]	—	00110000	保留。	00110000
0x17	D[7:0]	—	01010100	保留。	01010100
0x18	D[7:0]	—	00110000	保留。	00110000
0x19	D[7:0]	—	11001000	保留。	11001000
0x1A	D[7:0]	—	XXXXXXXX	保留。	00000000 (read only)
0x1B	D[7:0]	—	XXXXXXXX	保留。	00000000 (read only)
0x1C	D[7:0]	—	XXXXXXXX	保留。	00000000 (read only)
0x1D	D7	CXTIP	0	CXTIP输入为低电平。	0 (read only)
			1	CXTIP输入为高电平。	
	D6	CXSEL	0	CXSEL is 0.	0 (read only)
			1	CXSEL is 1.	
	D5	I2CSEL	0	输入为低电平。	0 (read only)
			1	输入为高电平。	
	D4	LCCEN	0	输入为低电平。	0 (read only)
			1	输入为高电平。	
	D[3:0]	—	XXXX	保留。	0000 (read only)
0x1E	D[7:0]	ID	00001010	器件标识(MAX9272 = 0x0A)。	1010 (read only)
0x1F	D[7:5]	—	000	保留。	000 (read only)
	D4	CAPS	0	不支持HDCP。	0 (read only)
			1	支持DCP。	
	D[3:0]	REVISION	XXXX	器件版本。	(read only)

X = 无关。

28位GMSL解串器用于同轴或STP电缆传输

The diagram illustrates a camera application setup. On the left, a **CAMERA** block is connected to the **MAX9271** block. The connections are: PCLK to PCLKIN, RGBHV to DINO-DIN15, and SHDN to GPO. The MAX9271 also has CONF1 and CONF0 pins, which are connected to a pull-up resistor network. The RX/SDA/EDC and TX/SCL/DBL pins are connected to a 4-wire bus labeled "TO PERIPHERALS". The MAX9271's OUT+ and OUT- pins are connected to the IN+ and IN- pins of the **MAX9272** block via a twisted-pair cable. The MAX9272's PCLKOUT and DOUT0-DOUT15 pins are connected to a **GPU** block. The RX/SDA/EDC and TX/SCL/ES pins are connected to a **UART** block (TX and RX). The GPI, LOCK, and CX/TP pins are connected to a common ground through a pull-down resistor network. The MAX9272 is also connected to an **ECU** block.

器件	温度范围	引脚-封装
MAX9272GTM+	-40°C至+105°C	48 TQFN-EP*
MAX9272GTM/V+**	-40°C至+105°C	48 TQFN-EP*

封装类型	封装编码	外形编号	焊盘布局编号
48 TQFN-EP	T4877+4	21-0144	90-0130

46

MAX9272

28位GMSL解串器用于同轴或STP电缆传输

修订历史

修订号	修订日期	说明	修改页
0	6/12	最初版本。	—
1	11/12	在订购信息中增加了非汽车应用封装信息。	46

Maxim北京办事处

北京8328信箱 邮政编码100083
免费电话：800 810 0310
电话：010-6211 5199
传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。