

高速数据转换器评估平台 (HSDCEP)用户指南

评估: RF-DAC ($\geq 1.5\text{Gpsps}$)和DUC

概述

特性

高速数据转换器评估平台(HSDCEP)是基于PC的平台,提供评估Maxim RF数/模转换器(RF-DAC,支持更新速率 $\geq 1.5\text{Gpsps}$)和Maxim数字上变频器(DUC)的齐全工具。HSDCEP可以在每对数据引脚产生速率高达1.25Gbps的测试码型,支持多达4条并行16位LVDS总线。通过USB 2.0端口将最长64兆字(Mw)、每字16位宽的数据码型装载至HSDCEP存储器。HSDCEP采用高速Xilinx® Virtex®-5 FPGA向需要评估的DAC或DUC回送数据码型。

HSDCEP采用5V、6A单电源工作。

HSDCEP软件运行于Windows XP® (SP2或更新版本)操作系统,PC需要具备一个空闲的USB 2.0接口。

- ◆ 评估Maxim RF-DAC ($\geq 1.5\text{Gpsps}$)和DUC
- ◆ 四条并行16位输出总线(LVDS)
- ◆ 八个时钟端口(LVDS)
- ◆ 每条输出总线可支持高达1.25Gwps (LVDS)的输出速率
- ◆ 储存64M x 16位字码型
- ◆ FPGA配置储存在PC内,可通过USB端口下载
- ◆ USB 2.0通信(480Mbps)
- ◆ 5V单电源供电(含电源)
- ◆ LED显示DUT和FPGA状态
- ◆ 简单的命令行提示软件界面(支持通过脚本执行命令序列)
- ◆ FPGA温度监测

订购信息在数据资料的最后给出。

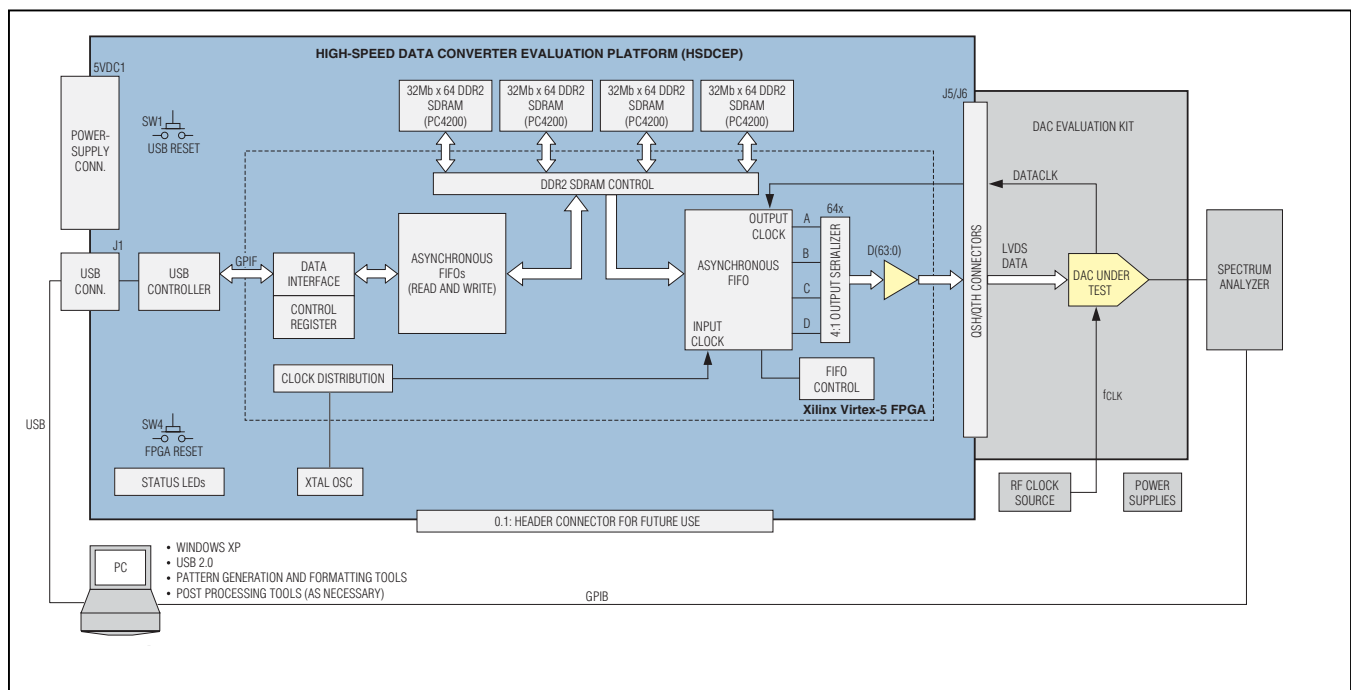


图1. HSDCEP框图(显示电路板功能)和DAC评估板

Xilinx和Virtex是Xilinx, Inc.的注册商标。

Windows和Windows XP均是Microsoft Corporation.的注册商标和注册服务标志。

本文是英文数据资料的译文,文中可能存在翻译上的不准确或错误。如需进一步确认,请在您的设计中参考英文资料。有关价格、供货及订购信息,请联络Maxim亚洲销售中心: 10800 852 1249 (北中国区), 10800 152 1249 (南中国区),或访问Maxim的中文网站: china.maximintegrated.com。

高速数据转换器评估平台 (HSDCEP)用户指南

评估：RF-DAC ($\geq 1.5\text{Gps}$)和DUC

ABSOLUTE MAXIMUM RATINGS

5V _{DC1}	5.5V	Operating Temperature Range	0°C to +35°C
Continuous Power Dissipation (T _A = +25°C)	33W	Storage Temperature Range	-60°C to +125°C

Stresses beyond those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(5V_{DC1} = 5V, data output word rate = 4.6Gwps.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum DATACLK Rate					120	MHz
Maximum DATACLK Rate			625			MHz
Maximum Output Word Rate		4 port	5.0			Gwps
Output Bus Width				16		Bits
Pattern Length			256		64M	Words
Pattern Block Resolution				256		Words
Output Data Jitter				200		psp-p
Supply Voltage Range	5V _{DC1}		4.75	5.0	5.25	V
Supply Current		(Note 1)		5.2		A

Note 1: HSDCEP-powered, Maxim-supplied FPGA firmware loaded, and active heat sink operating.

Table 1. Board Connector and Switch Description

DESIGNATION	DESCRIPTION
5V _{DC1}	External 5.0V power-supply connection. Connect a 5V, 6A power supply to this connector.
J1	USB 2.0 port.
J2, J3, J8–J13	Do not connect—for future use.
J5, J6	High-speed output bus connector. The pinout of this connector is EV Kit/FPGA-firmware specific.
SW1	USB communications reset.
SW4	FPGA reset. Memory patterns must be reloaded after reset.

高速数据转换器评估平台 (HSDCEP)用户指南

评估：RF-DAC ($\geq 1.5\text{Gps}$)和DUC

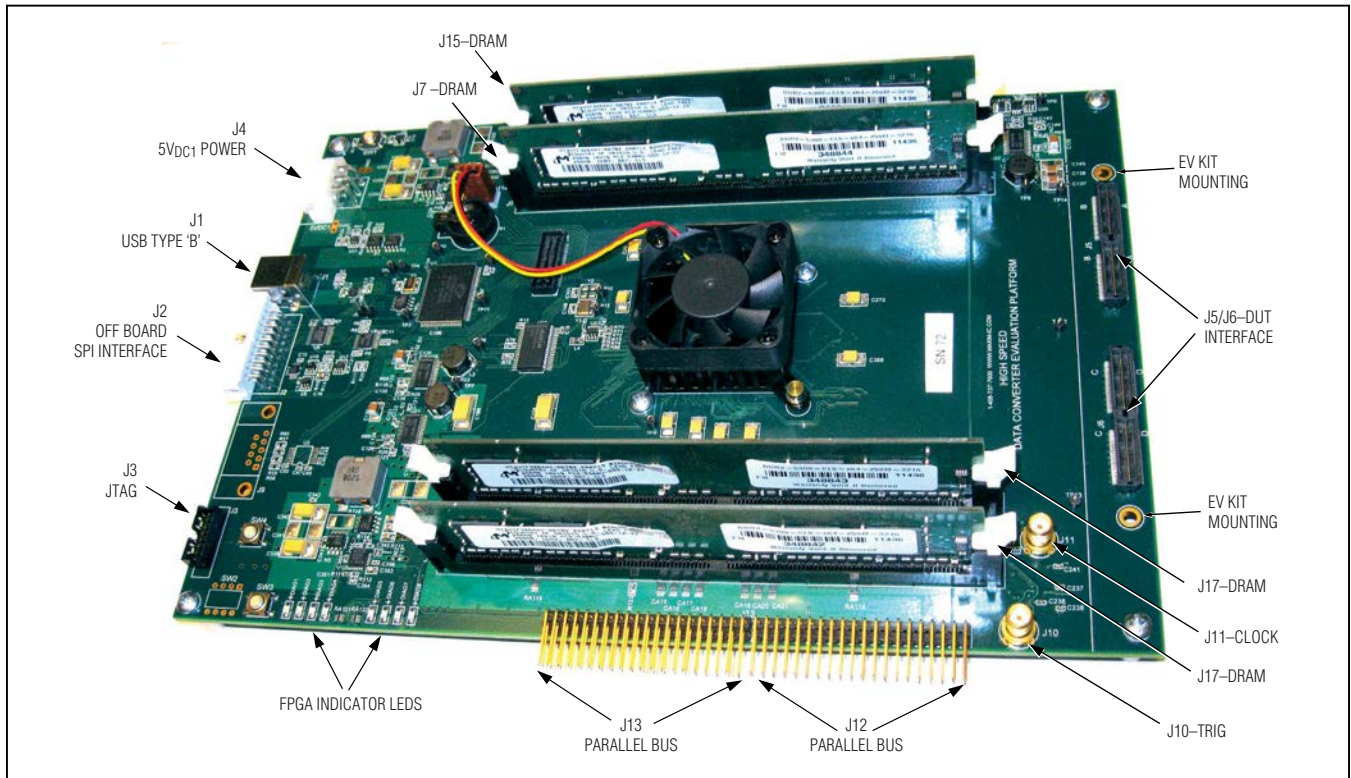


图2. 高速数据转换器评估平台(PCB照片)

快速入门

所需设备

- HSDCEP电路板
- 5V、6A直流电源(已含)
- 具有1个空闲USB 2.0端口、操作系统为Windows XP (SP2或更新版本)的PC，用户提供

HSDCEP评估板为测试码型源，支持Maxim RF数/模转换器(RF-DAC，更新速率 $\geq 1.5\text{Gps}$)和Maxim数字上变频器(DUC)。

注：以下章节中，与软件相关的条目用粗体字表示。粗体字表示直接由HSDCEP软件提供的条目。**粗体字加下划线**表示与Windows操作系统相关的条目。

硬件安装步骤

按照以下步骤验证评估板工作是否正常。**注意：**完成全部连接之前，请勿向电路板加电。

- 1) 完成软件安装，参见软件安装部分。
- 2) 将电源电缆连接至连接器5VDC1。
- 3) 将USB电缆连接至PC以及HSDCEP的J1。PC显示**Maxim Data Converter Evaluation**，说明HSDCEP已连接，并要求安装硬件驱动(请参考驱动安装部分)。
- 4) 将与DAC/DUC相关的子板通过J5和J6连接至HSDCEP。关于正确连接方法，请参见相应DAC/DUC评估板的数据资料。
- 5) 给DAC/DUC评估板上电。
- 6) 给HSDCEP电路板供电。
- 7) 现在，即可发送命令，要求电路板测试指定的DAC/DUC。

高速数据转换器评估平台 (HSDCEP)用户指南

评估：RF-DAC ($\geq 1.5\text{Gps}$)和DUC

基本的DAC命令行控制

图3所示为使用HSDCEP及Maxim RF DAC所需的最小命令集，所示命令行包括电路板上电、装载FPGA配置、上传测试码型，以及开始回传数据。

硬件详细说明

HSDCEP通过LVDS数据接口连接至高速Maxim DAC评估板，通过CMOS接口连接至Maxim DUC评估板。

HSDCEP由运行Windows XP SP2 (或兼容操作系统)的PC通过USB 2.0端口和Maxim专用软件控制。软件使用简单的命令行界面，使用户能够编写DOS风格的批处理文件，或利用脚本或兼容的编程语言(例如MATLAB或C++)进行系统调用。每套HSDCEP都提供安装软件，包括USB端口驱动和命令行软件。

需要5V、6A单电源供电。HSDCEP软件控制电路板电平的设置，可通过软件独立开启和关断输出总线，无需断开HSDCEP的电源即可切换DAC评估板。

提供产品相关的FPGA固件，以配合HSDCEP使用。固件设置从PC储存以及向DAC回送码型的接口。

图2标出了HSDCEP的连接器、开关和状态指示LED的位置。主板电源通过标有5VDC1的连接器提供。J1为USB电缆连接器，J5和J6为DUT接口连接头。

输出接口连接器

J5和J6将HSDCEP连接至被测件DAC/DUC。输出接口包含四组来自FPGA的18对LVDS数据，每组信号包括两个时钟支持线对，用于时钟输入和输出。

J5和J6为Samtec QTH-060-01-L-D-A连接器。提供固定HSDCEP和DAC/DUC评估板的机械连接过孔。为确保连接平直、可靠，建议采取机械固定措施。配对连接器为Samtec QSH-060-01-L-D-A。

USB接口连接器

HSDCEP通过PC的USB 2.0端口进行通信，实现高速数据传输。HSDCEP的USB端口为连接器J1 (B型USB连接器)。HSDCEP从J1消耗电流小于100mA，为HSDCEP的USB接口电路供电。



图3. 运行DAC所需的命令屏幕截图

MATLAB是MathWorks, Inc.的注册商标。

高速数据转换器评估平台 (HSDCEP)用户指南

评估：RF-DAC ($\geq 1.5\text{Gsps}$)和DUC

5V_{DC1}电源连接器

主板电源通过标有5V_{DC1}的连接器提供，标称电压为5V。通过连接器消耗的电流取决于装载的FPGA固件和FPGA时钟速率。所有电路开启、工作在4.6Gwps时，HSDCEP的典型电流为5.2A。

开关

HSDCEP上带有四个开关。SW1复位USB通信电路，SW4复位FPGA (与固件有关)；复位FPGA后，必须重新装载测试码型。

SW2和SW3执行DAC相关的功能(详细信息参考相应DAC IC的数据资料)。

状态LED

HSDCEP包含两组LED，用于指示FPGA的状态，具体定义与固件相关。表2给出了基本说明(具体信息请参考DAC固件资料)。

软件详细说明

软件安装

HSDCEP提供两个安装文件：HSDCEP.msi安装文件包括硬件驱动和HSDCEP程序，运行软件安装程序，将软件装载至本地计算机并设置系统环境变量；MAXyyyyy.msi安装文件包含放在HSDCEP安装目录下的FPGA固件(MAXyyyyy为被测器件的Maxim部件号)。

按照常规的安装说明安装程序和FPGA固件。

注：首次使用时，**New Hardware Wizard**将安装驱动，参见驱动安装部分。

驱动安装

首次将HSDCEP连接至计算机时，Windows要求安装硬件驱动。驱动安装步骤请参见图4、5和6，并按照每幅图中的说明执行。

表2. 基本的LED定义

LED LABEL	FUNCTION		
DIAG1	Vector-done status (normally on), except when the patterns are being loaded into memory.		
DIAG2	Data destination.		
DIAG3, DIAG4	DIAG3	DIAG4	DRAM STATUS
	Off	Off	NOP
	Off	On	FPGA write mode
	On	Off	FPGA read mode
DIAG5	DAC clock error. The FPGA's DCM has not locked to the DAC data clock. Stop and restart the data pattern after verification of data clock to FPGA.		
DIAG6–DIAG8	Internal FPGA error. Reset FPGA with SW4 and reload data pattern.		

高速数据转换器评估平台 (HSDCEP)用户指南

评估：RF-DAC ($\geq 1.5\text{Gpsps}$)和DUC

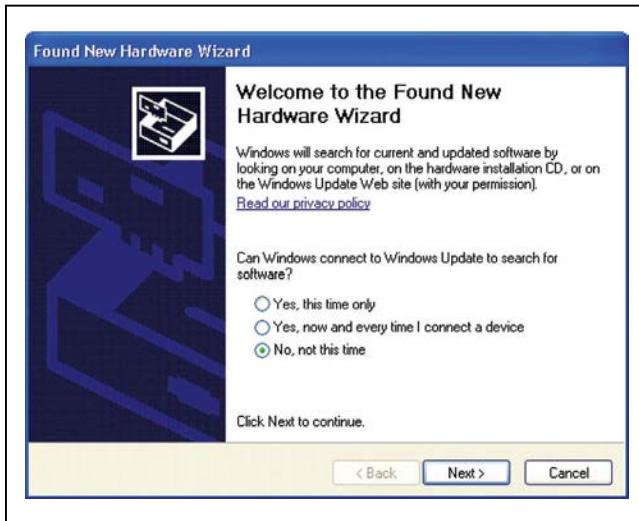


图4. 发现新硬件——开始安装硬件驱动(选择No, not this time, 然后点击Next继续), 让Windows自动安装软件。

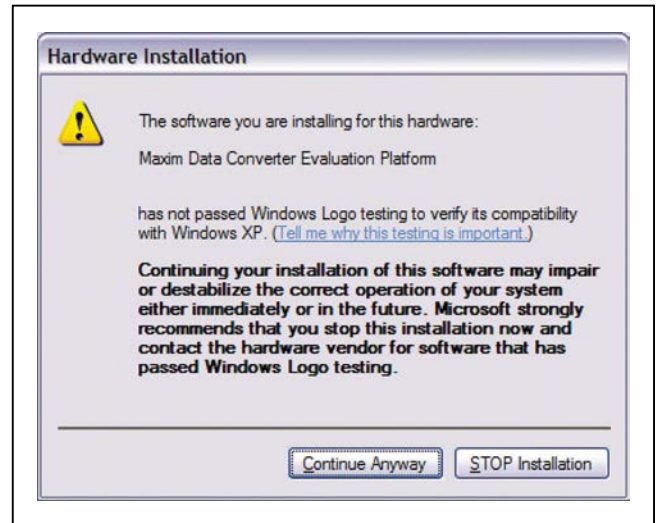


图6. 驱动警告消息(点击Continue Anyway完成安装)

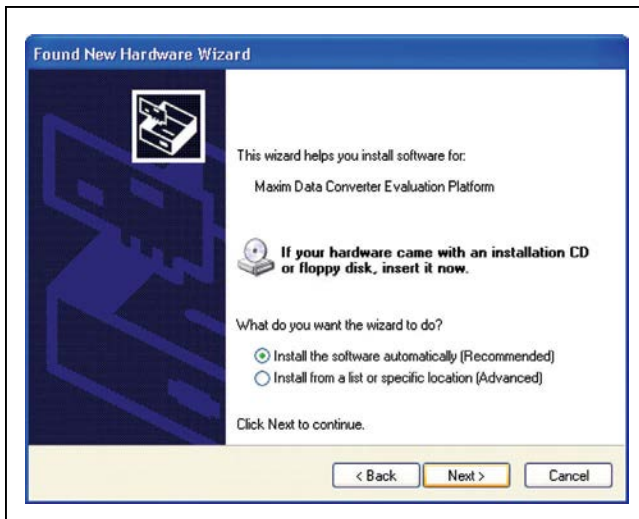


图5. 自动安装软件(点击Next继续)
注：驱动未经Microsoft注册，所以接下来会显示一条警告消息。

软件控制

本节介绍HSDCEP的软件界面。HSDCEP电路板的软件界面为Windows命令提示行风格，使用诸如hsdcep / lfpga MAXyyyyy_DDR.bit的简单命令装载FPGA固件文件。其它应用程序可通过系统调用控制HSDCEP。

命令结果、FPGA和电路板的状态记录在status.txt文件中，该文件位于执行HSDCEP命令所在的目录，记录最后一次调用的状态。

高速数据转换器评估平台 (HSDCEP)用户指南

评估：RF-DAC ($\geq 1.5\text{Gps}$)和DUC

HSDCEP程序命令清单

表3中所列为HSDCEP的命令，命令采用**粗体字**，必需的命令参数采用**粗斜体字**，可选的命令参数采用斜体字。清单底部提供了命令示例。

例(使用MAX5882)

以下的命令序列用于初始化HSDCEP、装载FPGA配置、装载测试码型，以及启动测试码型。

HSDCEP /powerup	(HSDCEP上电)
HSDCEP /lfpfga MAX5882_DDR_rev00.bit	(装载FPGA配置)
HSDCEP /lm MAX5882EVK_8C_399920141_fs_4.604701Gpsps.txt	(装载测试码型文件)
HSDCEP /setreg 6 6	(使能MAX5882 DLL)
HSDCEP /start	(开始循环运行测试码型)

表3. HSDCEP编程命令

COMMAND	FUNCTION
/powerup	Powers on the HSDCEP board.
/lfpfga fw_file	Loads the FPGA firmware file. This allows the user to specify which configuration to download to the FPGA. fw_file is the name of the file that contains the FPGA configuration. The status/success of the command is written to status.txt.
/lm pattern_file	Writes a data pattern to the HSDCEP DRAM modules. The pattern is read from pattern_file , which must be in the current directory or include the path to the file. For example, pattern_file can be MyTestPattern.txt or C:/MyTestPattern.txt , or similar. The pattern length must be an integer multiple of 256 16-bit words. The maximum pattern length is 64Mvectors. See the <i>Data Pattern File Format</i> section for details on the pattern file requirements.
/start	Starts the playback of the pattern to the DAC.
/stop	Stops the playback of the pattern to the DAC.
/lopowerdown	Powers down only the output interface. Use this command when switching DUTs.
/lopowerup	Powers up only the output interface. Use this command when switching DUTs.
/powerdown	Powers down the FPGA and DRAM supplies on the HSDCEP.
/powerupset VIOSupply	Sets the FPGA I/O supply level to VIOSupply . Valid values for VIOSupply are 1.5, 1.8, 2.5, and 3.3. LVDS interfaces require 2.5V, which is the default (VIOSupply = 2.5). Typical CMOS levels use 1.8V.
/dm output_file	Reads from the HSDCEP the contents of the DRAM and writes the value in decimal format to output_file . The first line of the file contains the number of words downloaded. The status/success of the command is written to status.txt.
/swreset	Executes the FPGA's software reset. The /lm command must be executed after this command prior to executing a /start command.
/status	Reads the status of the HSDCEP and writes the results to the local file status.txt.
/setreg RegAdd RegVal	Sets the contents of register address RegAdd to RegVal .

高速数据转换器评估平台 (HSDCEP)用户指南

评估：RF-DAC ($\geq 1.5\text{Gps}$)和DUC

数据码型文件格式

用于装载和下载存储器的码型文件的首行包含文件中的字数，写入存储器的字数必须是256的整数倍。首行之后的每行为作为码型的整型字。每个字为相应码型的偏移二进制值的整形表示(16位字宽为MSB对齐)，所以当HSDCEP与12位器件配合使用时，每个数据字左移4位(乘以16)。每行必须以回车换行符结束。

文件中数据	文件行号 (文件中不含行号)
4096	1 (字数)
0	2
16	3
32	4
.	.
.	.
.	.
16,520	4097 (文件的最后一行)

文件示例，包含12位MSB对齐输出的缓变数据。

代码示例，MATLAB程序写数据至文件：

```
function success=HSDCEP_File (filename,data,datawidth)
% Function to write data file for loading into HSDCEP
% using command
% line programs.
% Input:
%   Filename: Name of file to be written.
%   data: Data vector to be written.
%   datawidth: Width of the data vector. This is used to
%   MSB justify the
%   data for proper format from the FPGA/DUT interface
% Output:
%   Function returns a 1 if the datafile was properly written.
%
success=0;
fid=fopen(filename,'w');
dataLen=length(data);
if (mod(dataLen,256) == 0)
    if (fid ~= -1) % Success in opening file
        fprintf(fid,'%d\\n\\n',length(data));
        % Shift for MSB justification
        fprintf(fid,'%d\\n\\n',data*2^(16-datawidth));
        fclose(fid);
        success=1;
    else
        disp(['Can not open output file: ' filename]);
    end
else
    disp(['Data length must be a multiple of 256']);
end
end
```


高速数据转换器评估平台 (HSDCEP)用户指南

评估：RF-DAC ($\geq 1.5\text{Gsps}$)和DUC

订购信息

器件	温度范围	引脚-封装
HSDCEP	0°C至+35°C	BOARD

高速数据转换器评估平台 (HSDCEP)用户指南

评估：RF-DAC ($\geq 1.5\text{Gsps}$)和DUC

修订历史

修订号	修订日期	说明	修改页
0	12/12	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

10

© 2013 Maxim Integrated

Maxim标志和Maxim Integrated是Maxim Integrated Products, Inc.的商标。