

# 用于高速ADC的串行接口

Serial Interfaces for High Speed ADCs

Alison Steer 凌力尔特公司 产品市场经理

摘要：在诸如核磁共振成像(MRI)、超声波、CT扫描仪、

数字X射线等医疗应用中，经常需要使用多通道的模数转换器(ADC)来对大量数据采样。用串行接口来获取采样数据可减少ADC与FPGA的引脚数并节省电路板空间。目前有串行LVDS和JESD204接口标准可供选择。本文将就这两种类型进行探讨。

关键词：ADC；CDF；串行LVDS；JESD204

DOI: 10.3969/j.issn.1005-5517.2011.09.003

对于高速数据转换器的串行接口来说，目前有两种选择：第一种选择是串行时钟-数据-帧(CDF)接口，该接口整合了串行化LVDS(低压差分信号)数据流以及差分时钟和帧时钟，其中差分时钟用于准确地收集数据，帧时钟用于建立数据采样的边沿。第二种选择是采用JESD204标准，在该标准中，时钟嵌入到Gbps级高速双线串行数据流中。这两种接口均有各自的优缺点。由于用来驱动高速JESD204接

口的电流模式逻辑对(CML)需要较大的功率，所以串行LVDS是实现功率较低且有大量通道的便携式设计的首选。但是在串行LVDS不适用的场合，JESD204接口就可以发挥作用。

## 串行LVDS的优势

串行LVDS输出格式减少了ADC和FPGA之间所需的数字I/O数量，节省了FPGA引脚、电路板面积和成本。此外，通过在数据转换器上采用

串行接口，数据转换器所需的引脚数量也大大减少了，从而可实现尺寸小得多的封装尺寸。这种优势在有多通道的设计中得到了充分的显现。采用串行LVDS接口还是采用并行接口则取决于应用能否承受较大的功耗，以及FPGA是否有能力处理高速数据流。LTC2195是一款16位、125Msps双通道ADC，具串行LVDS输出，每通道功耗仅为216mW。不过，与使用双通道并行输出版本LTC2185(参见图1中的完整产品系列图)相比，串行LVDS接口每通道多消耗31mW功率。这个16位高速ADC系列提供了卓越的76.8dB基带SNR性能以及90dB SFDR，同时在使用1.8V电源时，功耗非常低。

就高速ADC而言，协调数据时钟、帧时钟和数据时，通常发送器和接收器均需要一个锁相环(PLL)，以正确协调数据时钟。在GHz速率时，这种协调非常困难，而且数据传输速率主要受到接收器的限制。所以，在高于1GHz时，一般不采用这种6线串行发送方法，从而限制了ADC的速率或说限制了ADC的分辨率。

就一个16位高速ADC而言，这就会将采样频率限制到62.5Msps。为了

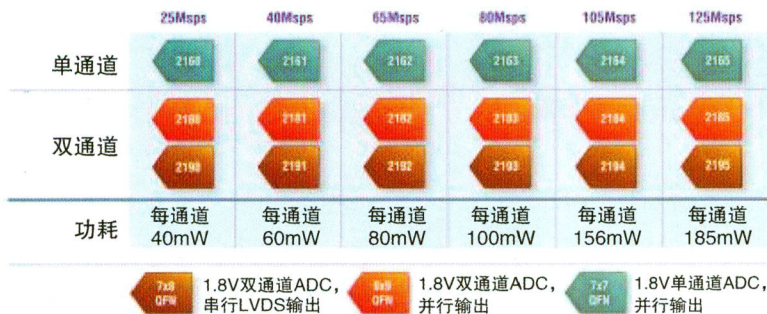


图1 凌力尔特的16位低功率、高速ADC系列

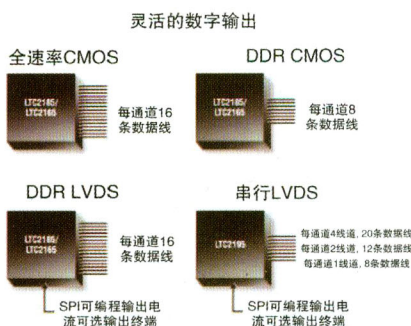


图2 16位低功率ADC系列的数字输出配置



实现更高的采样频率,每个ADC通道可以采用两个或4个“线道”。使用双“线道”时,串行数据速率减半,奇数位和偶数位分开,进入两个串行数据流差分对。采用双“线道”模式时,16位125Msps ADC将提供1Gbps的串行输出数据速率。LTC2195串行LVDS系列多提供一种4“线道”模式,允许低得多的500Mbps数据传输速率,在该模式时,每通道使用4个差分对,总共有20条线,其中包括差分帧和时钟对(参见图2)。这允许与廉价低速的FPGA连接。为了正确理

解所需的数字输出线数量,再看一下采用并行LVDS输出的情况,这时每通道将需要32条线。现在,市面上已经有具双数据速率(DDR)LVDS输出的ADC了,这类ADC每通道

仅需要16条线。使用这种器件,输出端的数据速率将是采样频率的两倍。诸如LTC2185等双通道16位ADC还提供可供选择的DDR CMOS输出,这将所需数据线的数量减少到每通道仅为8条。当考虑使用诸如16位125Msps LTC2165这类单通道高速ADC时,提供串行LVDS接口就不再有意义了,因为在所需数据线的数量上没有差别。DDR CMOS采用8条并行输出线,而双“线道”串行LVDS(由于采样率高于62.5Msps,所以需要)也采用8条线(4条线用于数据,4条线用于数

据时钟和帧时钟)。此外,串行LVDS增大了设备的功耗,这是便携式应用担忧的一个问题。

就高通道密度医疗应用而言,凌力尔特现在提供8通道14位125Msps ADC LTM9011-14,这款新的低功耗器件采用紧凑型140引脚11.25mm x 9mm BGA封装,提供73.1dB的信噪比(SNR)性能以及高于-90dBc的通道隔离。为了实现最佳性能,也为了节省空间,该器件还靠近芯片集成了所有必要的旁路电容。

对于在ADC和逻辑器件之间布

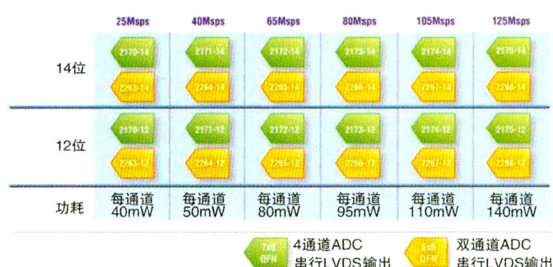


图3 具串行LVDS输出的14位/12位、25Msps至125Msps四通道/双通道ADC系列

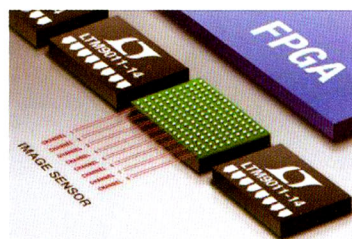


图4 14位、80Msps至125Msps、8通道ADC提供直通式引出脚,以易于布设至FPGA的走线

设高速数字线的挑战,数字设计师也许太熟悉了。设计师必须极其小心地确保在高速走线之间有足够的间隔,以及确保数字信号不跨越模拟边界。布局不佳会导致数字开关噪声反馈回ADC的模拟输入,从而引起系统总体性能下降。LTM9011系列提供了直通式引出脚配置,从而减少了布设数据I/O线所需占用的电路板面积,并简化了布局,可最大限度地减少与数字反馈相关的问题(参见图4)。

## JESD204高速串行接口

8B/10B编码最初是由IBM于1980年发明的,该编码无需帧时钟和数据时钟,这使得在高于2GHz的串行数据速率时,能实现单条传输线对通信。8B/10B编码的独特特性允许将数据时钟嵌入于数据本身之中,并通过初始帧同步,用COMMA(逗号)字符与帧一起保持。为了以标准化方式实现这种编码的数据转换器接口,JEDEC规范JESD204定义了所需的协议和电特性,这使得新一代更快、更准确的串行ADC得以实现,如凌力尔特公司具

77.6dB SNR和100dB SFDR的16位、105Msps ADC LTC2274。

JESD204接口利用很多高性能FPGA上提

供的SerDes端口,腾出了通用I/O用于其他功能。缺点是ADC上的电流模式逻辑驱动器的电流消耗比LVDS驱动器大得多。另外,还必须有足够的SerDes端口可用,以容纳所有ADC接口。

## 结论

选择串行LVDS还是选择JESD204接口标准,将取决于FPGA上SerDes端口的功耗要求和可用性。如果考虑到便携性,那么串行LVDS最适合采样率高达125Msps、分辨率高达16位的多通道ADC。EW